

目 录	
2017-2018 学年第二学期期中考试试卷 .....	1
2016-2017 学年第二学期期中考试试卷 .....	11
2015-2016 学年第二学期期中考试试卷 .....	21
2011-2012 学年第二学期期中考试试卷 .....	32
2017-2018 学年第二学期期中考试试卷参考答案 .....	38
2016-2017 学年第二学期期中考试试卷参考答案 .....	49
2015-2016 学年第二学期期中考试试卷参考答案 .....	59
2011-2012 学年第二学期期中考试试卷参考答案 .....	70

北京邮电大学 2017 —— 2018 学年 第二学期

《数字电路与逻辑设计》期中考试试题

学院\_\_\_\_\_姓名\_\_\_\_\_班级\_\_\_\_\_班内序号\_\_\_\_\_

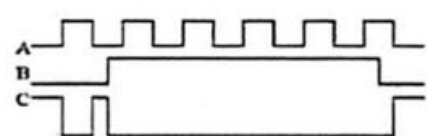
题号	一	二	三	四								总分
				1	2	3	4	5	6	7	8	
满分	12	10	14	8	10	8	8	8	8	8	6	100
得分												
阅卷教师												

所有答案（包括选择题和计算题）一律写在试卷纸上，如果卷面位置不够，请写在试卷的背面，否则不计成绩；

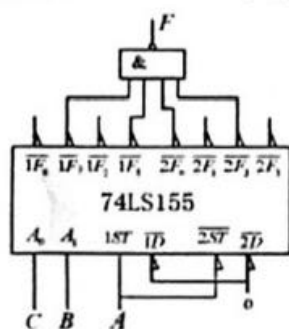
一、单项选择题（每题 1 分，共 12 分）（答案填入本题最后的表格中）

- E 为逻辑变量，2 个 E 进行与运算，其结果为\_\_\_\_\_。  
A)  $E^2$       B) 1      C) 0      D) E
- 对于一个逻辑函数，其任意两个最小项的与为\_\_\_\_\_，所有最大项的与为\_\_\_\_\_。  
A) 0      B) 1      C) 函数自身      D) 不能确定
- 已知  $F(A, B, C, D, E) = \sum_m(2, 3, 4, 7)$ ,  $G(A, B, C, D, E) = \prod_M(2, 3, 4, 7)$ ，则  $F(A, B, C, D, E)$  和  $G(A, B, C, D, E)$  之间的关系为\_\_\_\_\_。  
A) 相等      B) 互补      C) 对偶      D) 无关
- 对于功能冒险，在下面几种说法中，只有\_\_\_\_\_是正确的。  
A) 只有一个变量发生变化时，会发生功能冒险。  
B) 可以通过增加冗余项的方法，消除功能冒险。  
C) 输入变量发生变化，发生了功能冒险，变化前后的输出逻辑值不同。  
D) 可以通过增加选通脉冲消除功能冒险的影响。
- 函数  $F(A, B, C) = \overline{A}B + BC + A\overline{B}C$  的标准与或表达式为\_\_\_\_\_。

- A)  $\Sigma m(2,3,4)$  B)  $\Sigma m(1,5,6)$  C)  $\Sigma m(2,3,4,7)$  D) 以上都不对
6. TTL 逻辑门电路的输入端悬空, \_\_\_\_\_; CMOS 电路的输入端悬空, \_\_\_\_\_。
- A) 相当于接高电平  
B) 相当于接低电平  
C) 既不能相当于高电平, 也不能相当于低电平
7. \_\_\_\_\_系数反映了逻辑门的带负载能力, 是指一个逻辑门能够驱动同类型门的个数。
- A) 输入 B) 输出 C) 扇入 D) 扇出
8. 某门电路的实测波形如下图所示, 其中 C 为输出, AB 为输入, 则该门电路是\_\_\_\_\_。
- A) 与门 B) 或门 C) 或非门 D) 与非门



9. 运用逻辑代数的反演规则, 函数  $F = A[\bar{B} + (\bar{C}D + \bar{E}G)]$  的反函数  $\bar{F} =$ \_\_\_\_\_。
- A)  $\bar{A} + B(C + \bar{D})(E + \bar{G})$  B)  $A + \bar{B}C + \bar{D}E + \bar{G}$  C)  $A + \bar{B}(\bar{C} + D)(\bar{E} + G)$
10. 下图是用双 1 线至 4 线数据分配器 74LS155 实现函数, 则  $F =$ \_\_\_\_\_。
- A)  $\Sigma m(1,3,4)$   
B)  $\Sigma m(1,3,4,6)$   
C)  $\Sigma m(0,2,5,7)$   
D) 以上都不对



## 二、判断题 (每题 1 分, 共 10 分)

- [ ] 1. 连续 20180421 个 1 的异或运算, 结果是 1。
- [ ] 2. 已知 01101 为带有校验位的 8421BCD 码, 由此可推出, 该 BCD 码采用奇校验。
- [ ] 3. 和 CMOS 电路相比, ECL 电路具有工作速度快的优势。
- [ ] 4. 四位超前进位加法器的工作速度比由 4 个全加器组成的串行进位加法器快。
- [ ] 5. 若 3-8 译码器 74LS138 的使能端无效, 则全部输出呈高阻。
- [ ] 6. 数据分配器是将多路输入信号分配到一路输出中, 具体分配哪一路由地址码来决定。

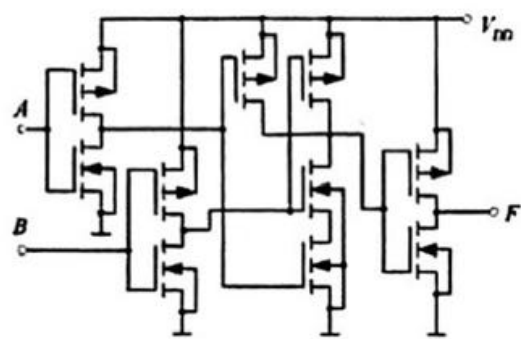
- [ ] 7. 在二进制数的补码表示中, 零的编码唯一; 而在反码表示中, 零的编码不唯一。
- [ ] 8. ECL 门的输出端可以直接相连, 实现“线或”逻辑。
- [ ] 9. CMOS 反相器的静态功耗比 TTL 反相器低。
- [ ] 10. 优先编码器各个输入信号的优先权是不同的, 若几个输入同时有信号到来, 输出端给出优先权最高的那个输入所对应的编码。

## 三、填空题 (每空 1 分, 共 14 分)

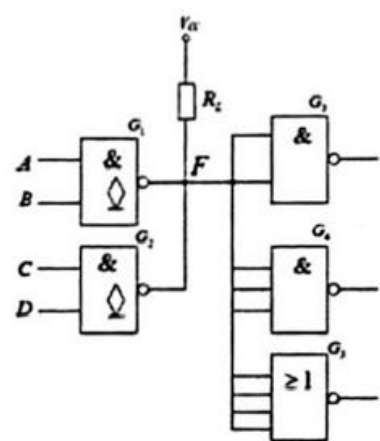
1. 二进制数  $(11101.1101)_2$  表示成八进制数为 \_\_\_\_\_, 表示成十六进制为 \_\_\_\_\_。
2. 十进制数  $(456)_{10}$  用 8421BCD 码表示, 为 \_\_\_\_\_。
3. 已知  $F = A \oplus B$ , 当  $B=1$  时,  $F =$ \_\_\_\_\_。
4. 已知  $ABCD$  是逻辑变量,  $F = \bar{A}\bar{B} + \bar{C}\bar{D}$ , 则  $F$  的对偶式  $F' =$ \_\_\_\_\_。
5. 已知逻辑函数  $F(A, B, C)$ , 其最小项  $m_3 =$ \_\_\_\_\_, 最大项  $M_3 =$ \_\_\_\_\_。
6. 表达式  $F(A, B, C, D) = \bar{A}\bar{D} + \bar{A}B\bar{C} + ABC + ACD$ , 当变量 \_\_\_\_\_ 发生变化时, 存在偏 \_\_\_\_\_ 型逻辑冒险, 可以通过增加冗余项 \_\_\_\_\_ 消除此冒险。
7. 根据逻辑电路的负载连接情况, 负载电流是流入还是流出输出端, 可分为 \_\_\_\_\_ 负载和 \_\_\_\_\_ 负载。
8. 由 TTL 与非门构成的两级逻辑门电路, 其前级与非门的输出低电平最大值  $V_{OLMax} = 0.4V$ , 后级与非门的关门电平  $V_{off} = 1V$ , 则低电平噪声容限为 \_\_\_\_\_ V; 其前级输出高电平的最小值  $V_{OHmin} = 2.7V$ , 后级与非门的开门电平  $V_{on} = 1.8V$ , 则其高电平噪声容限为 \_\_\_\_\_ V。

## 四、计算和分析题

1. 某器件的内部电路如下图所示, A、B 为输入, F 为输出。(8 分)
- (1) 写出  $F$  与输入 A、B 的逻辑关系表达式。
- (2) 画出该器件的逻辑符号。



2. TTL 逻辑电路如下图所示，已知 OC 门输出低电平时允许灌入的最大负载电流  $I_{OL}=12\text{mA}$ ，输出高电平时的漏电流  $I_{OH}=200\mu\text{A}$ ；与非门的高电平输入电流  $I_{IH}=50\mu\text{A}$ ，输入短路电流  $I_{IS}=1.4\text{mA}$ ； $V_{CC}=5\text{V}$ ， $R_L=1\text{k}\Omega$ 。请回答以下问题：（10 分）
- (1) OC 门的输出高电平为多少？
  - (2) 为保证 OC 门输出低电平不大于  $0.35\text{V}$ ，F 点最多可以再接几个 TTL 反相器？
  - (3) 为保证 OC 门的输出高电平不低于  $3\text{V}$ ，F 点最多可以再接几个 TTL 反相器？
  - (4) 正常使用时，写出第一级输出 F 和输入变量 A、B、C、D 之间的逻辑关系表达式。

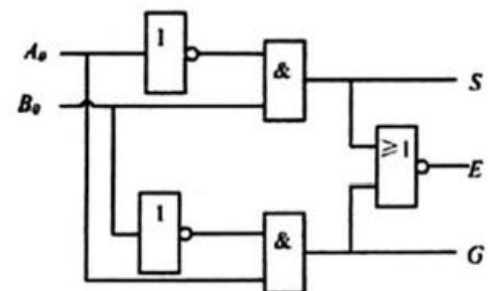


3. 按要求化简逻辑函数（8 分）

- (1) 化简函数  $F = AB + A\bar{C} + \bar{B}C + \bar{B}D + B\bar{C} + ADEF + ADEG$  为最简与或式。
- (2) 化简函数  $F(A, B, C, D) = \sum_m(0, 2, 3, 5, 7, 8, 10, 11, 13, 15)$  为最简或与式。

AB	00	01	11	10
CD				
00				
01				
11				
10				

4. 逻辑电路如下图所示，其输入变量为  $A_0$ 、 $B_0$ ，输出函数为  $S$ 、 $E$ 、 $G$ 。写出  $S$ 、 $E$ 、 $G$  的逻辑表达式并简化为最简与或式，并说明该电路的逻辑功能。(8分)



5. 只用一个与或非门设计一个 8421BCD 码的四舍五入电路(输出用 1 表示舍去)。(8分)
- (1) 将真值表补充完整

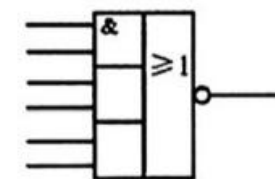
ABCD	F	ABCD	F
0000		1000	
0001		1001	
0010		1010	
0011		1011	

0100		1100	
0101		1101	
0110		1110	
0111		1111	

- (2) 填写卡诺图并求出最简与或非式

$\begin{matrix} AB \\ \diagdown \\ CD \end{matrix}$	00	01	11	10
00				
01				
11				
10				

- (3) 画出该电路



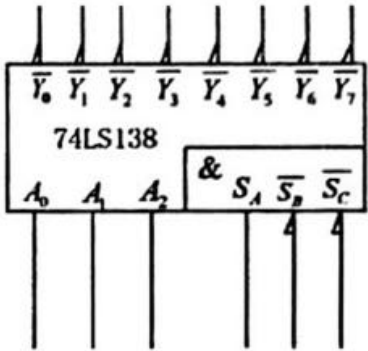
- (2) 填写卡诺图并求出最简与或非式

(3)

6. 试用一片 3-8 译码器 74LS138 和一个与非门设计一个奇偶校验电路，输入数据为三位二进制数  $A_2A_1A_0$ ，当输入数据为奇数个 1 时，输出为 1，否则输出为 0，要求电路最简。请做出真值表，并直接在下面的电路上实现。(8 分)

表 7-1 译码器 74LS138 的功能表

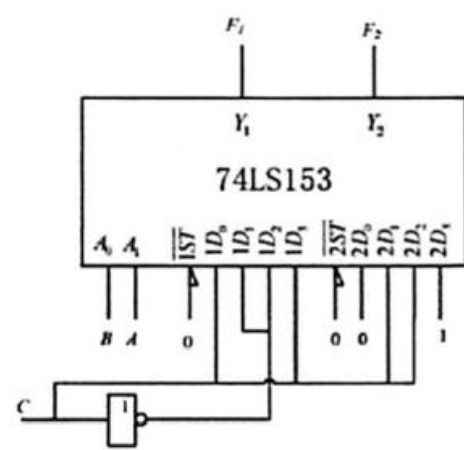
$S_A$	$\overline{S_B} + \overline{S_C}$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	1	0	1	1	1	1
1	0	1	1	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	1	1	0	1	1
1	1	1	1	1	1	1	1	1	1	1	1	0



7. 双四选一数据选择器 74LS153 的功能表如表 6-2 所示，用该集成电路构成的组合逻辑电路如图 6-1 所示，输入变量为  $A$ 、 $B$ 、 $C$ ，输出逻辑函数为  $F_1$ 、 $F_2$ 。写出  $F_1$  和  $F_2$  的最简与或式，并分析该电路的逻辑功能。(8 分)

表 7-2 74LS153 功能表

$\overline{ST}$	$A_1$	$A_0$	$D_3-D_0$	$Y$
1	x	x	x	0
0	0	0	$D_3-D_0$	$D_0$
0	0	1	$D_3-D_0$	$D_1$
0	1	0	$D_3-D_0$	$D_2$
0	1	1	$D_3-D_0$	$D_3$



8. 用FPGA实现某电路的Verilog代码如下，按要求回答问题。(6分)

(1) 画出该电路的门级逻辑电路图。

(2) 说明该电路的逻辑功能。

```

module muxtwo (out, a, b, sl)
input a, b, sl;
output out;
wire nsl, sela, selb;
assign nsl=~sl;
assign sela=a&nsl;
assign selb=b&sl;
assign out=sela|selb;
endmodule

```

## 《数字电路与逻辑设计》期中考试试题

2017.4

得分									

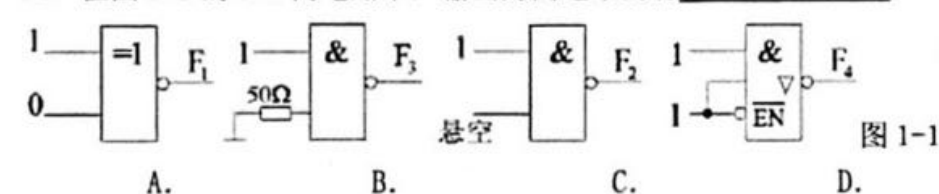
注意：所有答案（包括选择题和计算题）一律写在试卷纸上，如果卷面位置不够，请写在试卷的背后，否则不计成绩。

一、(每题2分，共28分)单项选择题(答案填入本题后面的表格中)

(请先在本试卷上答题之后，将全部答案汇总到本题末尾的表格中。)

- ECL逻辑门(与CMOS门相比)主要优点是\_\_\_\_\_。  
A. 抗干扰能力强 B. 集成度高 C. 功耗低 D. 工作速度快
- 均为5V供电时，TTL逻辑门(与CMOS门相比)主要优点是\_\_\_\_\_。  
A. 噪声容限大 B. 功耗低 C. 工作速度快 D. 集成度高
- 若对4位二进制码( $B_3B_2B_1B_0$ )进行奇校验编码，则校验位 $C$ =\_\_\_\_\_。  
A.  $B_3+B_2+B_1+B_0+1$  B.  $B_3\oplus B_2\oplus B_1\oplus B_0\oplus 1$   
C.  $B_3 B_2 B_1 B_0 1$  D.  $B_3B_2B_1B_01$
- 可以用来构成双向逻辑信号传输的逻辑器件是\_\_\_\_\_。  
A. 三态输出门 B. OC门 C. ECL门 D. OD门
- 逻辑函数 $F=A\oplus B$ 和 $G=A\odot B$ 满足关系\_\_\_\_\_。  
A.  $F=G\oplus 0$  B.  $F+G=0$  C.  $F\cdot G=1$  D.  $F=G$
- 均为5V供电时，需接上拉电阻才能满足电平驱动要求的方式是\_\_\_\_\_。  
A. CMOS门驱动TTL门 B. TTL门驱动CMOS门  
C. TTL门驱动TTL门 D. CMOS门驱动CMOS门
- 输入变量仅A、B全为1时，输出 $F=1$ ，输入与输出的关系是\_\_\_\_\_。  
A. 或非 B. 同或 C. 与 D. 异或
- 逻辑表达式 $(A+B)(A+C)=$ \_\_\_\_\_。  
A.  $AB+AC$  B.  $C+AB$  C.  $B+AC$  D.  $A+BC$
- 最小项 $\overline{A}BCD$ 的相邻项是\_\_\_\_\_。

10.          输出直接连接可以实现“线或”功能。  
A. TTL 门 B. OC 门 C. ECL 门 D. 三态门
11. 下面关于 74HC 与 74HCT 系列芯片正确的描述是        。  
A. 分别为 CMOS、TTL 工艺 B. 分别为 CMOS、TTL 电平  
C. 分别为商用级和工业级芯片 D. 分别为三态门和 OC 门
12.          输出直接连接可以实现“线与”功能。  
A. OD 门 B. 全部 TTL 逻辑门 C. ECL 门 D. 三态门
13. 引起组合逻辑电路中竞争与冒险的主要原因是：        。  
A. 电路延时 B. 干扰信号 C. 逻辑关系错 D. 电源不稳定
14. 在图 1-1 的 TTL 门电路中，输出为高电平的有        。



1	2	3	4	5	6	7
D	C	B	A	A	B	C
8	9	10	11	12	13	14
D	D	C	B	A	A	B

- 二. (10 分) 简化函数  $F(A,B,C,D) = ABC + \overline{AC}(B+D)CD + CD$  的反函数  $\overline{F(A,B,C,D)}$  为最简与或表达式 (要求步骤: 1. 将  $F$  写成与或表达式; 2. 填入图 2-1 的卡诺图, 圈画合并圈; 3. 写出  $\overline{F}$  的最简与或表达式)。

$\backslash AB$ $CD$	00	01	11	10
00				
01				
11				
10				

图 2-1

- 三. (10 分) 输入为 8421BCD 码的某两输出函数卡诺图如图 3-1 所示。请用最少的两级与非门实现该多输出函数 (双轨输入)。(要求: 1. 正确圈画出简化圈和公用圈, 并写出函数  $F_1$  和  $F_2$  对应的最简与或表达式, 2. 画出逻辑图)

$\backslash AB$ $CD$	00	01	11	10
00	1	1	×	1
01	0	1	×	0
11	0	1	×	×
10	0	1	×	×

$F_1$

$\backslash AB$ $CD$	00	01	11	10
00	1	0	×	1
01	0	1	×	0
11	0	1	×	×
10	0	0	×	×

$F_2$

图 3-1



0 1 0 1		1 1 0 1	
0 1 1 0		1 1 1 0	
0 1 1 1		1 1 1 1	

四、(10 分) 请用最少的或非门设计一个检出 8421BCD 码奇偶校验电路，当输入为奇数个 1 时输出 F=1，否则 F=0（输入变量为 ABCD，且提供反变量）：

(1) 根据功能需求完成表 4-1 真值表的填写；

(2) 将真值表填入图 4-1 的卡诺图，并用卡诺图法简化为最简或与式；

(3) 根据简化的卡诺图，该函数是否存在静态逻辑冒险？应加什么冗余项加以消除？

表 4-1

输入	输出	输入	输出
A B C D	F	A B C D	F
0 0 0 0		1 0 0 0	
0 0 0 1		1 0 0 1	
0 0 1 0		1 0 1 0	
0 0 1 1		1 0 1 1	
0 1 0 0		1 1 0 0	

		AB			
		00	01	11	10
CD	00				
	01				
	11				
	10				

图4-1



- 五、(11 分) 某肖特基逻辑器件的内部电路如图 5-1 所示, A, B, C 为输入端, 输入高电平为 5V, 低电平为 0V。F 为输出端。设肖特基二极管  $D_1$ 、 $D_2$  的正向压降为 0.3V, 所有晶体三极管的 PN 结正向压降为 0.7V, 忽略所有反向饱和电流、穿透电流, 晶体管的反向电流放大系数为 0。
1. 当  $C=0V$ , 且  $A=B=5V$  时, L 点对地电位为 \_\_\_\_\_ V。M 点对地电位为 \_\_\_\_\_ V。N 点对地电位为 \_\_\_\_\_ V。此时流出 C 输入端的电流为 \_\_\_\_\_ mA。此时流入 A 输入端的电流为 \_\_\_\_\_ mA。
  2. 当  $C=5V$  时, 输出 F 与输入 A、B 的逻辑关系为 \_\_\_\_\_。
  3. 当  $C=0V$  时, 输出 F 与输入 A、B 的逻辑关系为 \_\_\_\_\_。

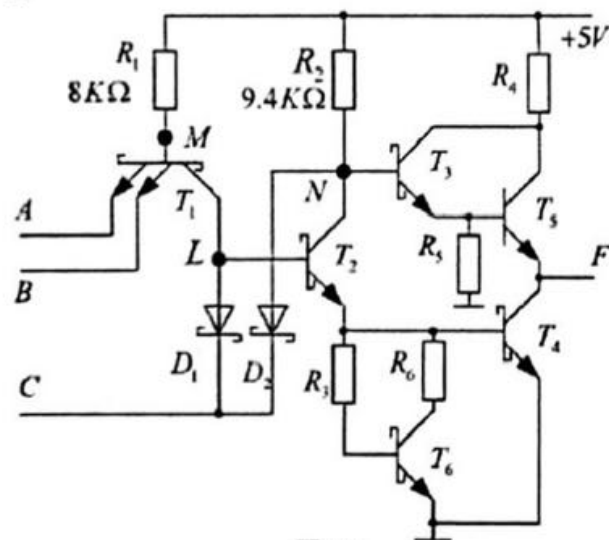


图 5-1

- 六、(11 分) TTL 门构成的电路如图 6-1 所示, 已知 OC 门输出管截止时的漏电流为  $I_{OL}=100\mu A$ , OC 门输出管导通时允许的最大负载电流为  $I_{OLmax}=10mA$ ; 负载门的低电平输入电流为  $I_{IL}=0.5mA$ , 高电平输入电流为  $I_{IH}=50\mu A$ ,  $V_{CC}'=5V$ , 要求 OC 门的输出高电平  $V_{OH}\geq 3.4V$ , 输出低电平  $V_{OL}\leq 0.4V$ 。

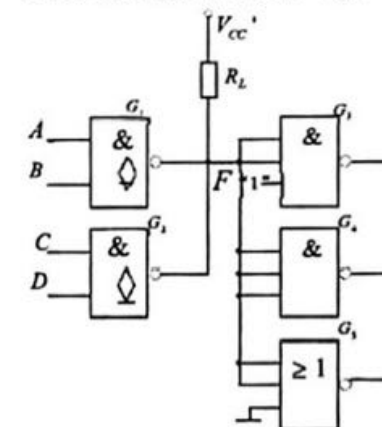


图 6-1

1. 写出 OC 门输出点 F 与输入 A、B、C、D 的逻辑表达式
2. 确定电阻  $R_L$  的阻值范围 ( $R_L$  的最大值和最小值)。
3. 若输入信号  $C=A$ ,  $D=B$  (即两个 OC 门的输入信号相同), 重新确定电阻  $R_L$  的阻值范围。

七、(10分) 74LS155 双一线至四线数据分配器和译码器 74LS138 的功能表见表 7-1 和表 7-2。

1. 在图 7-1 上通过适当连接和高低电平标注(不加任何门)将 74LS155 与 74LS138 一起构成四线至十六线输出低电平有效的 4-16 线译码器, 并将 16 个输出端分别 — —

用  $F_0 \sim F_{15}$  标注(提示: 当地址输入端高位  $A_3=0$  时 74LS138 处于不工作状态, 译码输出由 74LS155 完成)。

2. 实现函数(要求使用最少的与非门, 直接在图 7-1 上画出逻辑电路)。

$$F_1(A_3,A_2,A_1,A_0)=\sum m(0,15)$$

$$F_2(A_3,A_2,A_1,A_0)=\prod M(15)$$

表 7-1 双一线至四线数据分配器 74LS155 功能表

1ST	$A_1$	$A_0$	$1F_0$	$1F_1$	$1F_2$	$1F_3$
0	x	x	1	1	1	1
1	0	0	$\overline{1D}$	1	1	1
1	0	1	1	$\overline{1D}$	1	1
1	1	0	1	1	$\overline{1D}$	1
1	1	1	1	1	1	$\overline{1D}$

$\overline{2ST}$	$A_1$	$A_0$	$\overline{2F_0}$	$\overline{2F_1}$	$\overline{2F_2}$	$\overline{2F_3}$
1	x	x	1	1	1	1
0	0	0	$\overline{2D}$	1	1	1
0	0	1	1	$\overline{2D}$	1	1
0	1	0	1	1	$\overline{2D}$	1
0	1	1	1	1	1	$\overline{2D}$

表 7-2 译码器 74LS138 的功能表

$S_A$	$\overline{S_B + S_C}$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	0	1	1	1	1	1	1	1
1	0	0	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

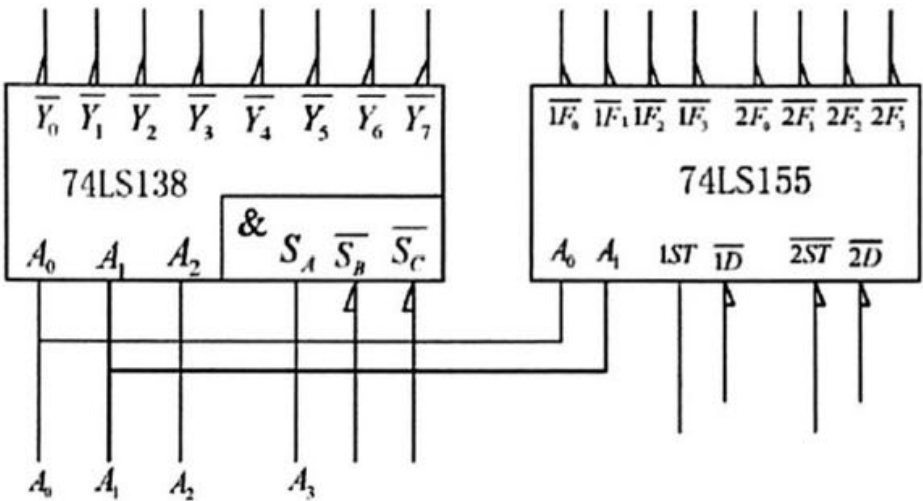


图 7-1

八、(8分) 由正、负逻辑器件组成的逻辑电路见图 8-1。写出输出  $F_1$ 、 $F_2$  的逻辑表达式, 并简化为最简与或式。

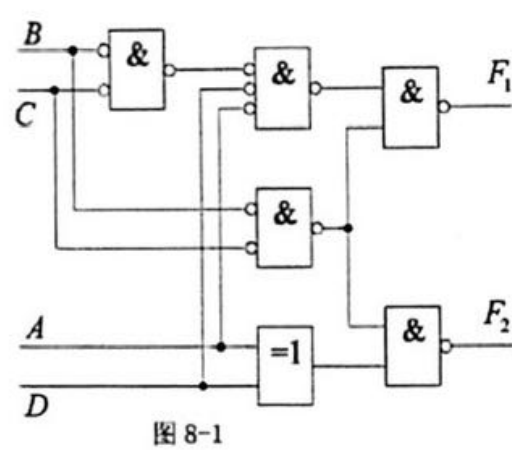


图 8-1

北京邮电大学  
《数字电路与逻辑设计》期中考试试题

2016.4.11

班级\_\_\_\_\_ 姓名\_\_\_\_\_ 班内序号\_\_\_\_\_

题号	一	二	三	四	五	六	七	八	总成绩
分数	20	12	10	10	10	20	10	8	
得分									

注意：所有答案（包括选择题和计算题）一律写在试卷纸上，如果卷面位置不够，请在试卷的背后，否则不计成绩。

一、（每题1分，共20分）判断（填√或×）、单项选择题

（请先在本试卷上答题之后，将全部答案汇总到本题末尾的表格中。）

1. ECL逻辑门与TTL门相比，主要优点是抗干扰能力强。（ ）
2. CMOS门电路在使用时允许输入端悬空，并且悬空的输入端相当于输入逻辑“1”。（ ）
3. 若对4位二进制码(B<sub>3</sub>B<sub>2</sub>B<sub>1</sub>B<sub>0</sub>)进行奇校验编码，则校验位C=B<sub>3</sub>⊕B<sub>2</sub>⊕B<sub>1</sub>⊕B<sub>0</sub>⊕1。（ ）
4. 根据表1-1，用CMOS4000系列的逻辑门驱动TTL74系列的逻辑门，驱动门与负载门之间的电平匹配不存在问题（ ）
5. 根据表1-1，用CMOS4000系列的逻辑门驱动TTL74系列的逻辑门，驱动门与负载门之间的电流驱动能力不存在问题（ ）

表1-1 常用的TTL和CMOS门的典型参数

	TTL 74系列	TTL 74LS系列	CMOS 4000系列	高速CMOS 74HC系列	高速CMOS 74HCT系列
V <sub>OH(min)</sub> /V	2.4	2.7	4.6	4.4	4.4
V <sub>OL(max)</sub> /V	0.4	0.5	0.05	0.1	0.1
I <sub>OH(max)</sub> /mA	-0.4	-0.4	-0.51	-4	-4
I <sub>OL(max)</sub> /mA	16	8	0.51	4	4
V <sub>IH(min)</sub> /V	2	2	3.5	3.5	2
V <sub>IL(max)</sub> /V	0.8	0.8	1.5	1	0.8
I <sub>IH(max)</sub> /μA	40	20	0.1	0.1	0.1
I <sub>IL(max)</sub> /μA	-1.6	-0.4	-0.1×10 <sup>-3</sup>	-0.1×10 <sup>-3</sup>	-0.1×10 <sup>-3</sup>

6. 当  $i \neq j$  时, 必有两个最小项之和  $m_i + m_j = 0$ 。( )
7. CMOS 门电路的静态功耗很低, 但在输入信号动态转换时会有较大的电流, 工作频率越高, 静态功耗越大。( )
8. 逻辑函数的表达式是不唯一的, 但其标准的最小项之和的表达式是唯一的。( )
9. 用数据分配器加上门电路可以实现任意的逻辑函数。( )
10. 格雷 BCD 码具有单位距离特性 (任意两个相邻的编码之间仅有一位不同) 且是无权代码。( )
11. 关于函数  $F = \overline{A}C + B\overline{C}D + A\overline{B}g\overline{C}$ , 下列说法中正确的有\_\_\_\_\_。
- A. 不存在冒险;  
B. 存在静态逻辑冒险, 需要加冗余项  $\overline{A}BD$  和  $A\overline{C}D$  进行消除;  
C. 存在静态功能冒险, 需要加冗余项  $\overline{A}BD$  和  $A\overline{C}D$  进行消除;  
D. 当输入 ABCD 从 0001  $\rightarrow$  0100 变化时存在静态逻辑冒险。
12. 逻辑函数  $F=A \oplus B$  和  $G=A \odot B$  满足关系\_\_\_\_\_。
- A.  $F=G$       B.  $F+G=0$       C.  $F \oplus G=1$       D.  $F=G \oplus 0$
13. 若逻辑函数  $F(A,B,C) = \sum m(1,2,3,6)$   $G(A,B,C) = \sum m(0,2,3,4,5,7)$  则  $F \bullet G =$ \_\_\_\_\_。
- A.  $m_2 + m_3$       B. 1      C.  $AB$       D.  $AB$
14. 若干个具有三态输出的电路输出端接到一点工作时, 必须保证\_\_\_\_\_。
- A. 任何时刻最多只能有一个电路处于高阻态, 其余应处于工作态。  
B. 任何时刻最多只能有一个电路处于工作态, 其余应处于高阻态。  
C. 任何时刻至少有一个电路处于高阻态, 其余应处于工作态。  
D. 任何时刻至少有一个电路处于工作态, 其余应处于高阻态。
15. 可以用来传输连续变化的模拟信号的电路是\_\_\_\_\_。
- A. 三态输出的门电路。;      B. 漏极开路的 CMOS 门电路;  
C. ECL 门电路;      D. CMOS 传输门
16. 逻辑表达式  $F = [(\overline{A}B + C)\overline{D} + E] \cdot B$  的对偶式为\_\_\_\_\_。

- A.  $F = [(\overline{A+B} \cdot C) + \overline{D} \cdot E] + B$       B.  $F = (\overline{A+B} \cdot C + \overline{D}) \cdot E + B$   
C.  $F = (A+B)\overline{C} + D \cdot \overline{E} + \overline{B}$       D.  $F = [(AB + \overline{C})D + \overline{E}] \cdot \overline{B}$

17. 下列说法中正确的是\_\_\_\_\_。
- A. 三态门的输出端可以直接并联, 实现线或逻辑功能。  
B. OC 门的输出端可以直接并联, 实现线或逻辑功能。  
C. OD 门的输出端可以直接并联, 实现线或逻辑功能。  
D. ECL 门的输出端可以直接并联, 实现线或逻辑功能。
18. 某集成电路芯片, 查手册知其最大输出低电平  $U_{OLmax}=0.5V$ , 最大输入低电平  $U_{ILmax}=0.8V$ , 最小输出高电平  $U_{OHmin}=2.7V$ , 最小输入高电平  $U_{IHmin}=2.0V$ , 则其低电平噪声容限  $U_{LN}$  和高电平噪声容限  $U_{HN}$  分别是\_\_\_\_\_。
- A. 1.5V、2.2V      B. 2.2V、1.2V      C. 0.3V、0.7V      D. 1.9V、1.5V
19. 下列说法中不属于组合电路的特点的是\_\_\_\_\_。
- A. 组合电路由逻辑门构成;  
B. 组合电路不含记忆存储单元;  
C. 组合电路的输出到输入有反馈回路;  
D. 任何时刻组合电路的输出只与当时的输入有关, 而与电路过去的输入无关。

20. 在图 1-1 的 CMOS 门电路中, 输出为高电平的有\_\_\_\_\_。

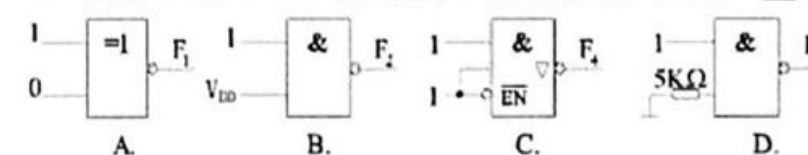


图 1-1

答案汇总:

1	2	3	4	5	6	7	8	9	10
×	×	√	√	×	×	×	√	√	√
11	12	13	14	15	16	17	18	19	20
B	D	A	B	D	B	D	C	C	D

二、(共 12 分) 器件的内部电路如图 2-1 所示, A、B 为输入, F 为输出。(1), 写出 L、M、N、O、F 点与输入 A、B 间的相对逻辑关系表达式。(2), 画出该器件的符号。

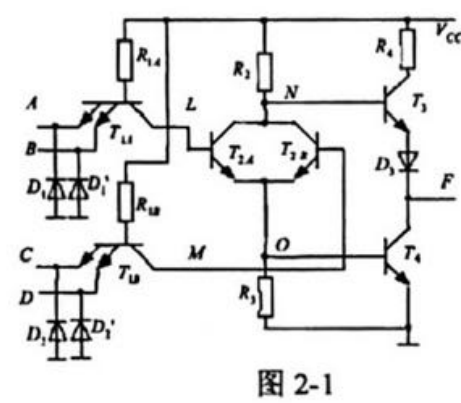


图 2-1


三、(10 分) 请用最少的或非门设计一个检出 8421BCD 码能被 4 整除的逻辑电路 (输入变量为 ABCD, 且提供反变量):

- (1) 根据功能需求完成表 3-1 真值表的填写;
- (2) 并写出该函数的标准与或表达式 (使用:  $F = \sum + \sum$  形式);
- (3) 将真值表填入图 3-1 的卡诺图, 并用卡诺图法简化为最简或与式;
- (4) 用或非门实现该函数, 画出逻辑图。

表 3-1

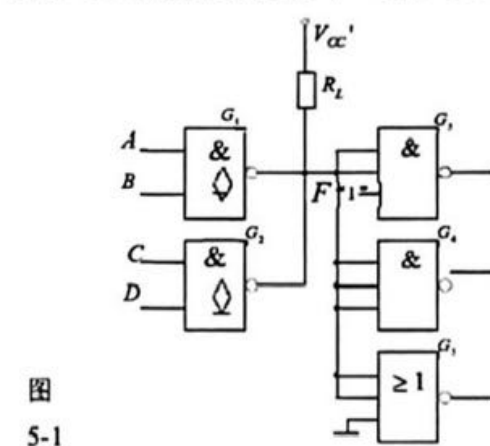
输入	输出
A B C D	F

AB \ CD	00	01	11	10
00				
01				
11				
10				

图 3-1

四、(10 分) 请用代数法化简函数  $F = \overline{AB} + A \oplus B(ABD + C + D + E)$  为最简与或表达式, 画出实现此逻辑函数的最简 CMOS 电路。

五、(10 分) TTL 门构成的电路如图 5-1 所示, 请给电阻  $R_L$  选择合适的阻值。已知 OC 门输出管截止时的漏电流为  $I_{OH}=200\mu A$ , OC 门输出管导通时允许的最大负载电流为  $I_{OLmax}=16mA$ ; 负载门的低电平输入电流为  $I_{IL}=1mA$ , 高电平输入电流为  $I_{IH}=40\mu A$ ,  $V_{CC}'=5V$ , 要求 OC 门的输出高电平  $V_{OH}\geq 3.0V$ , 输出低电平  $V_{OL}\leq 0.4V$ 。



六、(20 分) 求函数  $F = (A+B)(B+C)(A+C)$  的标准与或表达式, 并分别用译码器 74LS138 (输出低电平有效, 功能表见 6-1)、数据选择器 75LS153 (功能表见 6-2)、数据分配器 74LS155 (功能表见 6-3) 和最少的门电路实现此函数 (输入不提供反变量, 在图 6-1 所给的符号图上完成)。

表 6-1 74LS138 功能表

表 6-2 74LS153 功能表

$\overline{ST}$	$A_1$	$A_0$	$D_3-D_0$	$Y$
1	×	×	×	0
0	0	0	$D_3-D_0$	$D_0$
0	0	1	$D_3-D_0$	$D_1$
0	1	0	$D_3-D_0$	$D_2$
0	1	1	$D_3-D_0$	$D_3$

$S_3, S_2, S_1, S_0$	$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	x	x	x	x	1	1	1	1
x	1	x	x	x	1	1	1	1
1	0	0	0	0	0	1	1	1
1	0	0	0	1	1	0	1	1
1	0	0	1	0	1	1	0	1
1	0	0	1	1	1	1	0	1
1	0	1	0	0	1	1	1	0
1	0	1	0	1	1	1	1	0
1	0	1	1	0	1	1	1	1
1	0	1	1	1	1	1	1	0

表 6-3 74LS155 功能表

1ST	$A_1$	$A_0$	$1F_0$	$1F_1$	$1F_2$	$1F_3$	2ST	$A_1$	$A_0$	$2F_0$	$2F_1$	$2F_2$	$2F_3$
0	x	x	1	1	1	1	1	x	x	1	1	1	1
1	0	0	1D	1	1	1	0	0	0	2D	1	1	1
1	0	1	1	1D	1	1	0	0	1	1	2D	1	1
1	1	0	1	1	1D	1	0	1	0	1	1	2D	1
1	1	1	1	1	1	1D	0	1	1	1	1	1	2D

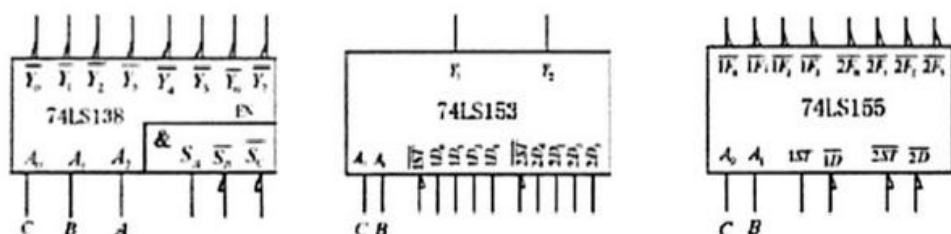


图 6-1

七、(10 分) 逻辑函数  $F(A, B, C, D) = \overline{A}BD + A\overline{C}D + AB\overline{C}D$ 。已知该函数的约束条

件为  $\overline{A} \cdot \overline{B} \cdot \overline{C} + ABCD = 0$ 。(1) 将逻辑函数及约束条件填入图 7-1，利用卡诺图将函数化简为最简与或表达式；(2) 将逻辑函数及约束条件填入图 7-2，利用卡诺图简化为最简与或非表达式。

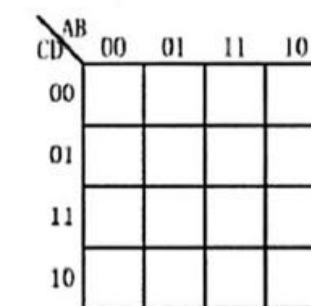


图 7-1

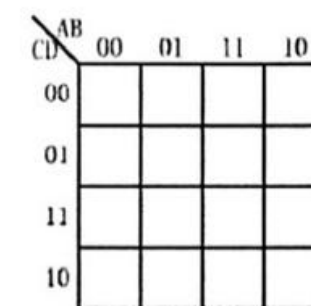


图 7-2



八、(8分)由四位数码比较器 7485(功能表见表 8-1)和四位加法器 74283 构成的电路如图 8-1 所示,若输入为 2421BCD 码,(1)在真值表 8-2 中完成输出的填写;(2)说明该电路完成什么编码的转换。

表 8-1 7485 的功能表

比 较 输 入				置数输入		输 出		
$a_3 b_3$	$a_2 b_2$	$a_1 b_1$	$a_0 b_0$	$G, S, E'$		$A > B$	$A < B$	$A = B$
$a_3 > b_3$	x	x	x	x x x	1	0	0	0
$a_3 < b_3$	x	x	x	x x x	0	1	0	0
$a_3 = b_3$	$a_2 > b_2$	x	x	x x x	1	0	0	0
$a_3 = b_3$	$a_2 < b_2$	x	x	x x x	0	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 > b_1$	x	x x x	1	0	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 < b_1$	x	x x x	0	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 > b_0$	x x x	1	0	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 < b_0$	x x x	0	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	1 0 0	1	0	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	0 1 0	0	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	0 0 1	0	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	x x 1	0	0	0	1
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	1 1 0	0	0	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	0 0 0	1	1	1	0

表 8-2		
十进制数	2421BCD 码 $I_1 I_2 I_3 I_4$	8421BCD 码 $Y_3 Y_2 Y_1 Y_0$
0	0000	
1	0001	
2	0010	
3	0011	
4	0100	
5	1011	
6	1100	
7	1101	
8	1110	
9	1111	

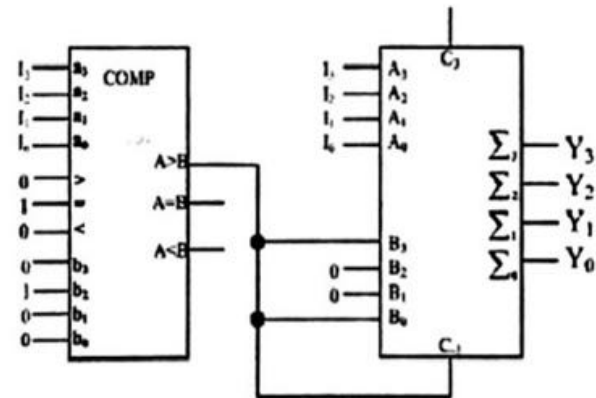


图 8-1

# 北京邮电大学《数字电路与逻辑设计》期中考试试题

2012.3

班级\_\_\_\_\_ 姓名\_\_\_\_\_ 班内序号\_\_\_\_\_

注意：所有答案（包括选择题和计算题）一律写在试卷纸上，如果卷面位置不够，请写在试卷的背后，否则不计成绩。

## 一、（每题1分，共20分）判断（填√或×）、选择（单项选择）题

（请先在本试卷上答题之后，将全部答案汇总到本题末尾的表格中。）

1. 组合逻辑电路中不存在记忆单元。（ ）
2. 晶体管的饱和越深，其对灌电流负载的驱动能力越强，但工作速度越慢。（ ）
3. TTL 门的某输入端通过 100KΩ 电阻接电源端时，可认为该输入是逻辑“1”。（ ）
4. 为了增加驱动能力，相同输入时的相同逻辑门输出可以互连在一起使用。（ ）
5. 当两个或两个以上输入信号同时变化，变化前后输出相同，而在输入信号变化时可能出现输出瞬间逻辑错误，称为静态逻辑冒险。（ ）
6. 正逻辑的或非门，对应负逻辑的与非门。（ ）
7. TTL 与非门的关门电平  $V_{on}$  越接近阈值电压  $V_T$ ，其噪声容限越大。（ ）
8. 当  $i \neq j$  时，必有两个最大项之积  $M_i \cdot M_j = 0$ 。（ ）
9. 用最简与或式表示一个函数时，其表达式可能不是唯一的。（ ）
10. 反相器的拉电流负载电阻过小时，主要对输出的高电平产生影响。（ ）
11. 逻辑项  $AB\bar{C}D$  的相邻项有：\_\_\_\_\_。

- A.  $\bar{A}BC\bar{D}$  B.  $\bar{A}BCD$  C.  $ABC\bar{D}$  D.  $\bar{A}\bar{B}C\bar{D}$

12. 判断下列两个函数式中，是否存在逻辑冒险。\_\_\_\_\_。

$$Y_1(A,B,C) = A + \bar{B}C \quad Y_2(A,B,C) = \bar{A}BC + A\bar{B}C$$

- A. 不存在，存在 B. 不存在，不存在 C. 存在，不存在 D. 存在，存在

13. 通过适当连接和控制，可以实现数据双向传输的门电路是\_\_\_\_\_。

- A. 集电极开路输出的 TTL 门电路； B. 互补式输出的 TTL 门电路；  
C. ECL 门电路； D. 三态输出的门电路。

14. 若某 TTL 门电路的输出端最大灌电流负载能力为 16mA，最大拉电流负载能力为 -12mA（流出输出端）。其输入端低电平的输入最大电流为 -1mA（流入输入端），输入端高电平时的输入最大电流为 0.1mA（流入输入端），该门电路的扇出系数为：\_\_\_\_\_。

- A. 16 B. 120 C. 12 D. 160

15. 图 1.1 中电路为 TTL 电路。不能实现对应逻辑功能的电路有\_\_\_\_\_。

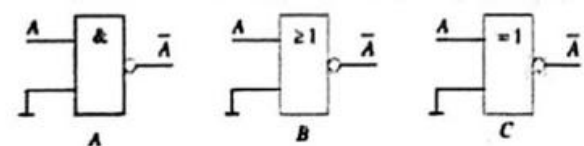


图 1.1

16. 逻辑函数为  $F(A,B,C,D) = \sum_m(1,3,4,5,6,8,9,12,14)$ ，判断当输入变量 ABCD 分别从 0000→0110 及 0110→1100 时是否存在冒险：\_\_\_\_\_。

- A. 不存在，存在 B. 存在，存在 C. 存在，不存在 D. 不存在，不存在

17. 根据反演规则，函数  $F = A[B + (\bar{C}D + \bar{E}G)]$  的反函数  $\bar{F} =$ \_\_\_\_\_。

- A.  $\bar{A} + B(C + \bar{D})(E + \bar{G})$  B.  $A + \bar{B}C + \bar{D}E + \bar{G}$  C.  $A + \bar{B}(\bar{C} + D)(\bar{E} + G)$

18. 函数  $F(A,B,C) = A \cdot B$  的标准最小项表达式为：\_\_\_\_\_。

- A.  $\sum_m(2, 3, 4, 5)$  B.  $\sum_m(2, 3, 6, 7)$  C.  $\sum_m(0, 1, 6, 7)$  D.  $\sum_m(0, 1, 4, 5)$

19. 函数  $F = AC + \bar{A}\bar{B}CD + ABC + \bar{C}D + ABD$  的最简与或式为：\_\_\_\_\_。

- A.  $F = (A + B + \bar{C})(\bar{A} + D)(C + D)$  B.  $F = AC + \bar{C}D$

- C.  $F = ABC + \bar{A}D + \bar{C}D$

20. ECL 逻辑门与 TTL 门相比，主要优点有：\_\_\_\_\_。

- A. 抗干扰能力强 B. 功耗低 C. 工作速率快

答案汇总：

1	2	3	4	5	6	7	8	9	10
√	√	√	√	×	√	√	×	√	√
11	12	13	14	15	16	17	18	19	20
C	B	D	A	A	D	A	C	B	C

## 二、（共10分）某器件的内部电路简图如图 2.1 所示。

- （1），说明当输入端 C 分别 0 和 1 时，电路的输出 F 与输入 A、B 的逻辑关系。（2），画出该器件的符号。

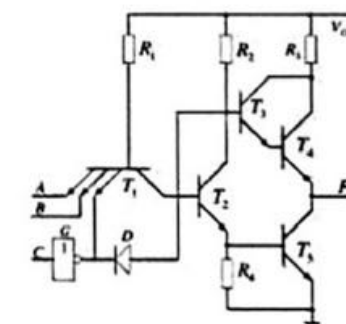
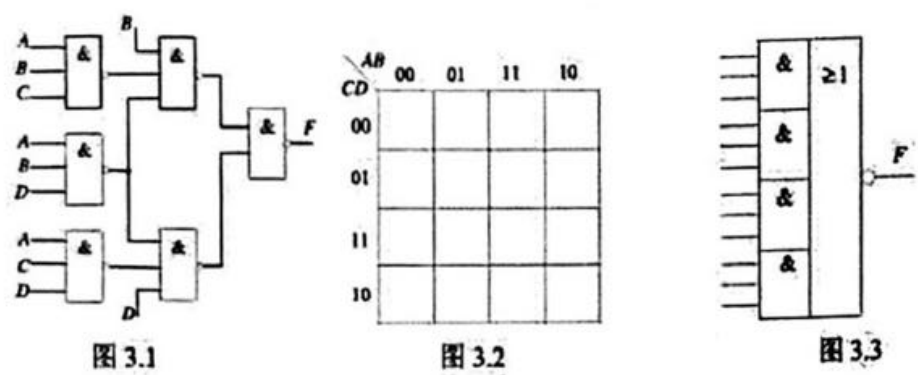


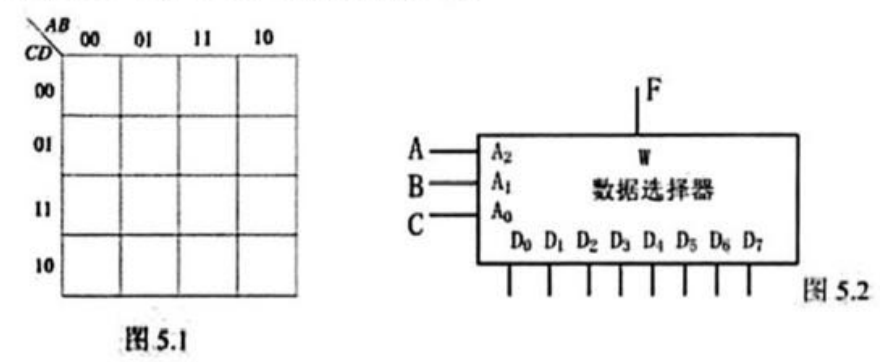
图 2.1

- 三、（10分）逻辑电路如图 3.1 所示。（1）按照图示电路写出 F 的原始表达式；（2）将表达式简化为与或式，并填入图 3.2 的卡诺图；（3）写出用与非门实现该函数的最简表达式；（4）在图 3.3 中标明输入信号（未用输入端不许悬空）。

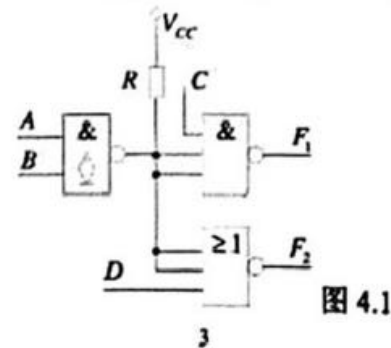


五、(10分) 用 8 选 1 数据选择器设计一个函数发生电路，实现  
 $F(A,B,C,D) = \sum m(1,3,5,7,8,9,10,11)$ 。8 选 1 数据选择器的输出逻辑函数式为：  
 $W = D_0(A_2 \cdot A_1 \cdot A_0) + D_1(A_2 \cdot A_1 \cdot A_0) + D_2(A_2 \cdot A_1 \cdot A_0) + D_3(A_2 \cdot A_1 \cdot A_0) + D_4(A_2 \cdot A_1 \cdot A_0) + D_5(A_2 \cdot A_1 \cdot A_0) + D_6(A_2 \cdot A_1 \cdot A_0) + D_7(A_2 \cdot A_1 \cdot A_0)$

(1)，将函数 F 填入卡诺图 (图 5.1)，按照图 5.2 的地址要求圈出 8 个子图。(2)，在片脚图 (图 5.2) 中标明  $D_0-D_7$  的输入信号。



四、(10分) 图 4.1 中，已知 OC 门的输出晶体管截止时的漏电流为  $I_{OH}=200\mu A$ ，导通时允许的最大负载电流为  $I_{OL(max)}=10mA$  (输出电压不大于 0.5V 时)；负载门 (与门及或门) 的低电平 (0.5V 时) 输入电流为  $I_{IL}=-1mA$ ，高电平 (3V 时) 输入电流为  $I_{IH}=50\mu A$ ， $V_{CC}=5V$ ，要求 OC 门的输出高电平  $V_{OH} \geq 3.0V$ ，输出低电平  $V_{OL} \leq 0.5V$ 。求 R 的范围。



六、(10分) 74LS155 是地址端公用的双数据分配器，功能表如表 6-1 所示，请附加最少的门实现如下两输出函数 (在给出的图 6.1 上完成设计，A 为高位)。

$$F_1(A,B,C) = A \cdot \overline{B} \cdot C + \overline{A} \cdot \overline{B} \cdot \overline{C} + B \cdot C$$

$$F_2(A,B,C) = \sum m(0,1,2,3,5,6,7)$$

表 6-1 74LS155 功能表

1ST	A <sub>1</sub>	A <sub>0</sub>	1F <sub>0</sub>	1F <sub>1</sub>	1F <sub>2</sub>	1F <sub>3</sub>	2ST	A <sub>1</sub>	A <sub>0</sub>	2F <sub>0</sub>	2F <sub>1</sub>	2F <sub>2</sub>	2F <sub>3</sub>
0	0	0	1	1	1	1	1	0	0	0	0	0	0
1	0	0	1	1	1	1	0	0	0	0	0	0	0
1	0	1	1	1	1	1	0	0	1	1	1	1	1
1	1	0	1	1	1	1	0	1	0	1	1	1	1
1	1	1	1	1	1	1	0	1	1	1	1	1	1

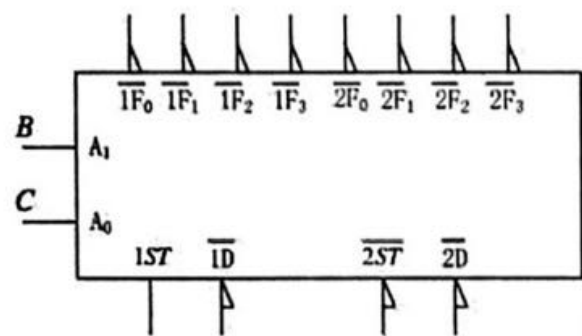


图 6.1

七、(10 分) 试用两片 4 位数比较器 74LS85 组成三个数的判断电路。要求能够判别三个 4 位二进制数  $A(a_3a_2a_1a_0)$ 、 $B(b_3b_2b_1b_0)$ 、 $C(c_3c_2c_1c_0)$  相等 (输出  $F_1=0$ ,  $F_2=1$ ) 及 A 最大 (输出  $F_1=1$ ,  $F_2=0$ )。在图 7.1 上完成设计, 可附加与门。(芯片 74LS85 的 3 个输出端, 分别表示在  $A>B$  时  $Y_{A>B}=1$ ;  $A=B$  时  $Y_{A=B}=1$ ;  $A<B$  时  $Y_{A<B}=1$ )。

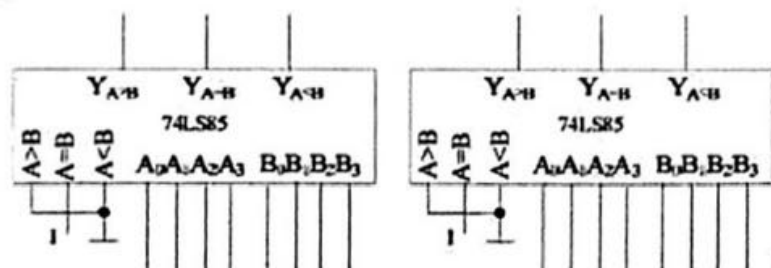


图 7.1

八、(10 分) 用或非门实现函数  $F(A,B,C,D) = \overline{AC} + \overline{A} \cdot \overline{BD} + \overline{ACD}$ , 要求没有逻辑冒险。(1), 将函数填入图 8.1 的卡诺图; (2), 画出逻辑电路。

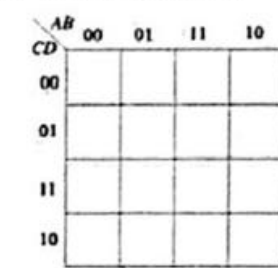


图 8.1

九、应用问题简答:

已知供电电压为 5V 的 74S 系列器件的  $I_{OH}=1mA$ ,  $I_{OL}=20mA$ , 74LS 系列器件的  $I_{OH}=0.4mA$ ,  $I_{OL}=8mA$ 。

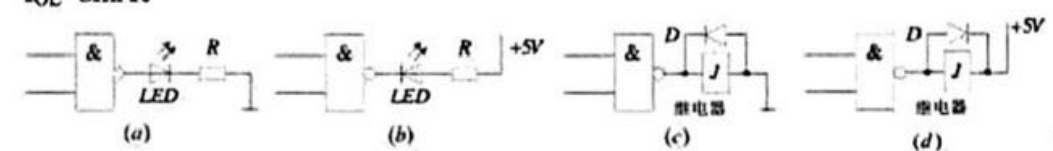


图 9.1

- 现需驱动一个发光二极管 (正向压降为 1.5V), 要求发光时的电流  $I_{LED}=10mA$ 。
  - 应使用 74S 系列还是 74LS 系列器件?
  - 应使用图 9.1 (a) 电路还是 (b) 电路?
  - 简述图中 R 的作用。
- 若需驱动一个 5V 继电器, 继电器的电流为  $I_J=5mA$ 。(图中 D 的作用是抑制自感生的高电压, 起到保护器件的作用)。
  - 可以选择哪个系列的器件?
  - 应使用图 9.1 (c) 电路还是 (d) 电路?

北京邮电大学 2017——2018 学年 第二学期

《数字电路与逻辑设计》期中考试试题

学院\_\_\_\_\_姓名\_\_\_\_\_班级\_\_\_\_\_班内序号\_\_\_\_\_

题号	一	二	三	四								总分
满分	12	10	14	8	10	8	8	8	8	8	6	100
得分												
阅卷教师												

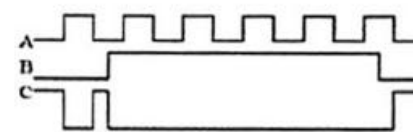
所有答案（包括选择题和计算题）一律写在试卷纸上，如果卷面位置不够，请写在试卷的背面，否则不计成绩；

一、单项选择题（每题 1 分，共 12 分）（答案填入本题最后的表格中）

- E 为逻辑变量，2 个 E 进行与运算，其结果为 D。  
A)  $E^2$  B) 1 C) 0 D) E
- 对于一个逻辑函数，其任意两个最小项的与为 A，所有最大项的与为 A。  
A) 0 B) 1 C) 函数自身 D) 不能确定
- 已知  $F(A, B, C, D, E) = \sum_m(2, 3, 4, 7)$ ,  $G(A, B, C, D, E) = \prod_M(2, 3, 4, 7)$ ，则  $F(A, B, C, D, E)$  和  $G(A, B, C, D, E)$  之间的关系为 B。  
A) 相等 B) 互补 C) 对偶 D) 无关
- 对于功能冒险，在下面几种说法中，只有 D 是正确的。  
A) 只有一个变量发生变化时，会发生功能冒险。  
B) 可以通过增加冗余项的方法，消除功能冒险。  
C) 输入变量发生变化，发生了功能冒险，变化前后的输出逻辑值不同。  
D) 可以通过增加选通脉冲消除功能冒险的影响。
- 函数  $F(A, B, C) = \overline{A}B + BC + A\overline{B}C$  的标准与或表达式为 C。

- A)  $\sum_m(2, 3, 4)$  B)  $\sum_m(1, 5, 6)$  C)  $\sum_m(2, 3, 4, 7)$  D) 以上都不对

- TTL 逻辑门电路的输入端悬空，A；CMOS 电路的输入端悬空，C。  
A) 相当于接高电平  
B) 相当于接低电平  
C) 既不能相当于高电平，也不能相当于低电平
- D 系数反映了逻辑门的带负载能力，是指一个逻辑门能够驱动同类型门的个数。  
A) 输入 B) 输出 C) 扇入 D) 扇出
- 某门电路的实测波形如下图所示，其中 C 为输出，AB 为输入，则该门电路是 C。  
A) 与门 B) 或门 C) 或非门 D) 与非门

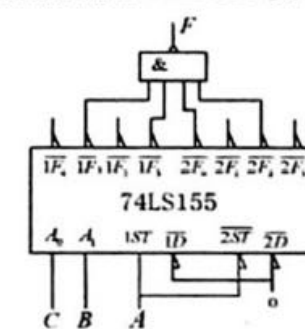


- 运用逻辑代数的反演规则，函数  $F = A[\overline{B} + (\overline{C}D + \overline{E}G)]$  的反函数  $\overline{F} =$  A。

- A)  $\overline{A} + B(C + \overline{D})(E + \overline{G})$  B)  $A + \overline{B}C + \overline{D}E + \overline{G}$  C)  $A + \overline{B}(\overline{C} + D)(\overline{E} + G)$

- 下图是用双 1 线至 4 线数据分配器 74LS155 实现函数，则  $F =$  C。

- A)  $\sum_m(1, 3, 4)$   
B)  $\sum_m(1, 3, 4, 6)$   
C)  $\sum_m(0, 2, 5, 7)$   
D) 以上都不对



题号	1	2	3	4	5	6	7	8	9	10
答案	D	A	A	B	D	C	A	C	D	C

二、判断题（每题 1 分，共 10 分）

- [√] 1. 连续 20180421 个 1 的异或运算，结果是 1。  
[√] 2. 已知 01101 为带有校验位的 8421BCD 码，由此可推出，该 BCD 码采用奇校验。  
[√] 3. 和 CMOS 电路相比，ECL 电路具有工作速度快的优势。  
[√] 4. 四位超前进位加法器的工作速度比由 4 个全加器组成的串行进位加法器快。  
[×] 5. 若 3-8 译码器 74LS138 的使能端无效，则全部输出呈高阻。  
[×] 6. 数据分配器是将多路输入信号分配到一路输出中，具体分配哪一路由地址码来决定。



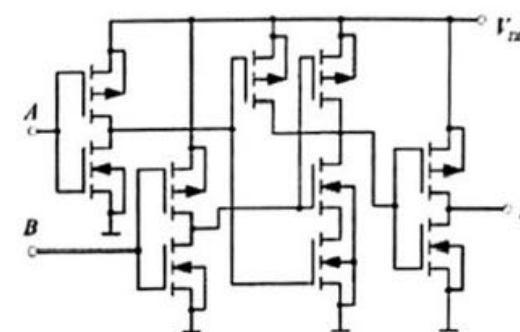
- [✓] 7. 在二进制数的补码表示中，零的编码唯一；而在反码表示中，零的编码不唯一。
- [✓] 8. ECL 门的输出端可以直接相连，实现“线或”逻辑。
- [✓] 9. CMOS 反相器的静态功耗比 TTL 反相器低。
- [✓] 10. 优先编码器各个输入信号的优先权是不同的，若几个输入同时有信号到来，输出端给出优先权最高的那个输入所对应的编码。

### 三、填空题（每空 1 分，共 14 分）

- 二进制数  $(11101.1101)_2$  表示成八进制数为  $(35.64)_8$ ，表示成十六进制为  $(1D.D)_{16}$ 。
- 十进制数  $(456)_{10}$  用 8421BCD 码表示，为  $(010001010110)_{8421BCD}$ 。
- 已知  $F = A \oplus B$ ，当  $B=1$  时， $F = \underline{\bar{A}}$ 。
- 已知  $ABCD$  是逻辑变量， $F = \bar{A}\bar{B} + \bar{C}\bar{D}$ ，则  $F$  的对偶式  $F = \underline{(\bar{A} + \bar{B})(\bar{C} + \bar{D})}$ 。
- 已知逻辑函数  $F(A, B, C)$ ，其最小项  $m_3 = \underline{\bar{A}BC}$ ，最大项  $M_3 = \underline{A + B + \bar{C}}$ 。
- 表达式  $F(A, B, C, D) = \bar{A}\bar{D} + \bar{A}\bar{B}\bar{C} + ABC + ACD$ ，当变量  $A$  发生变化时，存在偏 1 型逻辑冒险，可以通过增加冗余项  $BC\bar{D}$  消除此冒险。
- 根据逻辑电路的负载连接情况，负载电流是流入还是流出输出端，可分为 灌电流 负载和 拉电流 负载。
- 由 TTL 与非门构成的两级逻辑门电路，其前级与非门的输出低电平最大值  $V_{OLMax} = 0.4V$ ，后级与非门的关门电平  $V_{off} = 1V$ ，则低电平噪声容限为 0.6 V；其前级输出高电平的最小值  $V_{OHmin} = 2.7V$ ，后级与非门的开门电平  $V_{on} = 1.8V$ ，则其高电平噪声容限为 0.9 V。

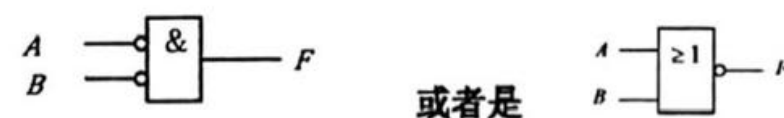
### 四、计算和分析题

- 某器件的内部电路如下图所示， $A$ 、 $B$  为输入， $F$  为输出。（8 分）
  - 写出  $F$  与输入  $A$ 、 $B$  的逻辑关系表达式。
  - 画出该器件的逻辑符号。



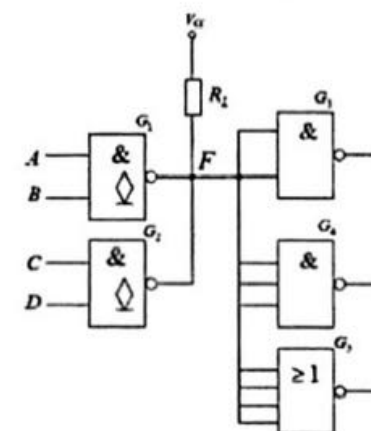
答：1)  $F = \bar{A} + \bar{B}$  （4 分）

2)



（4 分）

- TTL 逻辑电路如下图所示，已知 OC 门输出低电平时允许灌入的最大负载电流  $I_{OL} = 12mA$ ，输出高电平时的漏电流  $I_{OH} = 200\mu A$ ；与非门的高电平输入电流  $I_{IH} = 50\mu A$ ，输入短路电流  $I_{IS} = 1.4mA$ ； $V_{CC} = 5V$ ， $R_L = 1k\Omega$ 。请回答以下问题：（10 分）
  - OC 门的输出高电平为多少？
  - 为保证 OC 门输出低电平不大于 0.35V，F 点最多可以再接几个 TTL 反相器？
  - 为保证 OC 门的输出高电平不低于 3V，F 点最多可以再接几个 TTL 反相器？
  - 正常使用时，写出第一级输出  $F$  和输入变量  $A$ 、 $B$ 、 $C$ 、 $D$  之间的逻辑关系表达式。



- 答：1) 高电平时电阻上的电压降为  $(2 \times 0.2 + 9 \times 0.05) \times 1 = 0.85V$ ，此时输出高电平为  $5 - 0.85 = 4.15V$ 。(2分)
- 2)  $(5 - 0.35) / 1 + 1.4 \times n = 12 \times 1$ ，解得  $n = 5.25$ ，取 5 个(2分)。可以再接零个 TTL 反相器(1分)。
- 3)  $((5 - 3) / 1 - 2 \times 0.2) / 0.05 = 32$  个(2分)。可以再接 23 个 TTL 反相器(1分)。
- 4)  $F = \overline{AB} \cdot \overline{CD}$  (2分)

如果  $G_5$  减少一个输入端子

- 答：1) 高电平时电阻上的电压降为  $(2 \times 0.2 + 8 \times 0.05) \times 1 = 0.8V$ ，此时输出高电平为  $5 - 0.8 = 4.2V$ 。(2分)
- 2)  $(5 - 0.35) / 1 + 1.4 \times n = 12 \times 1$ ，解得  $n = 5.25$ ，取 5 个(2分)。可以再接零个 TTL 反相器(1分)。
- 3)  $((5 - 3) / 1 - 2 \times 0.2) / 0.05 = 32$  个(2分)。可以再接 24 个 TTL 反相器(1分)。
- 4)  $F = \overline{AB} \cdot \overline{CD}$  (2分)

3. 按要求化简逻辑函数(8分)

- (1) 化简函数  $F = AB + A\overline{C} + \overline{B}C + \overline{B}D + B\overline{C} + ADEF + ADEG$  为最简与或式。

答： $F = \overline{A}\overline{B}\overline{C} + \overline{B}C + \overline{B}D + B\overline{C} + ADEF + ADEG$  (2分)

$= A + \overline{B}C + \overline{B}D + B\overline{C} + ADEF + ADEG = A + \overline{B}C + \overline{B}D + B\overline{C}$  (2分)

- (2) 化简函数  $F(A, B, C, D) = \Sigma_m(0, 2, 3, 5, 7, 8, 10, 11, 13, 15)$  为最简或式。

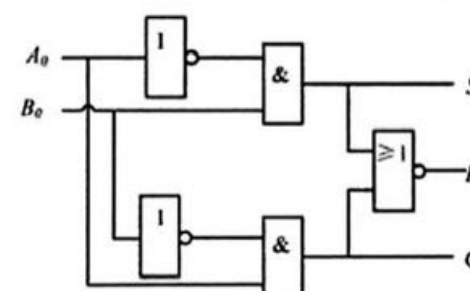
$\overline{AB}$ $CD$	00	01	11	10
00				
01				
11				
10				

$\overline{AB}$ $CD$	00	01	11	10
00	1	0	0	1
01	0	1	1	0
11	1	1	1	1
10	1	0	0	1

(2分)

$F(A, B, C, D) = (\overline{B} + D)(B + C + \overline{D})$  (2分)

4. 逻辑电路如下图所示，其输入变量为  $A_0$ 、 $B_0$ ，输出函数为  $S$ 、 $E$ 、 $G$ 。写出  $S$ 、 $E$ 、 $G$  的逻辑表达式并简化为最简与或式，并说明该电路的逻辑功能。(8分)



答： $S = \overline{A_0}B_0$  (1分)， $E = \overline{A_0}B_0 + A_0\overline{B_0} = \overline{A_0}B_0 + A_0\overline{B_0}$  (2分)， $G = A_0\overline{B_0}$  (1分)

逻辑功能：为一位二进制数比较器 (1分)。S、E、G 分别输出小于、等于、大于的结果 (3分)。

5. 只用一个与或非门设计一个 8421BCD 码的四舍五入电路(输出用 1 表示舍去)。(8分)

(1) 将真值表补充完整

ABCD	F	ABCD	F
0000		1000	
0001		1001	
0010		1010	
0011		1011	

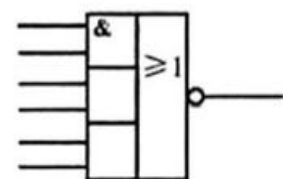


0100		1100	
0101		1101	
0110		1110	
0111		1111	

(2) 填写卡诺图并求出最简与或非式

	AB	00	01	11	10
CD	00				
	01				
	11				
	10				

(3) 画出该电路



答：(1) 将真值表补充完整

ABCD	F	ABCD	F
0000	1	1000	0
0001	1	1001	0
0010	1	1010	×
0011	1	1011	×
0100	1	1100	×
0101	0	1101	×
0110	0	1110	×
0111	0	1111	×

(2 分)

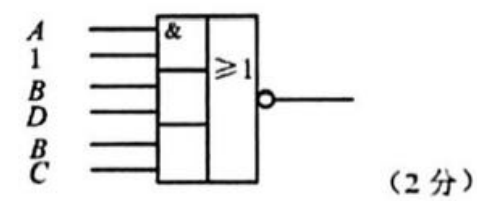
(2) 填写卡诺图并求出最简与或非式

	AB	00	01	11	10
CD	00	1	1	×	0
	01	1	0	×	0
	11	1	0	×	×
	10	1	0	×	×

(2 分)

$$F = \overline{A} + BD + \overline{BC} \quad (2 \text{ 分})$$

(3)

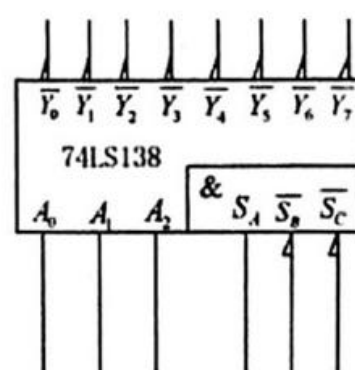


(2 分)

6. 试用一片 3-8 译码器 74LS138 和一个与非门设计一个奇偶校验电路，输入数据为三位二进制数  $A_2A_1A_0$ ，当输入数据为奇数个 1 时，输出为 1，否则输出为 0。要求电路最简。请做出真值表，并直接在下面的电路上实现。(8 分)

表 7-1 译码器 74LS138 的功能表

$S_A$	$S_B + S_C$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1	1
1	0	1	1	0	1	1	1	1	1	0	1	1
1	0	1	1	1	1	1	1	1	1	1	0	1

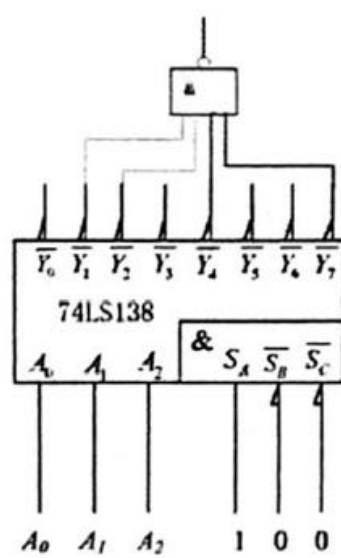


答：真值表如下

$A_2A_1A_0$	$F$
000	0
001	1
010	1
011	0
100	1
101	0
110	0
111	1

(3分)

实现的电路如下图所示

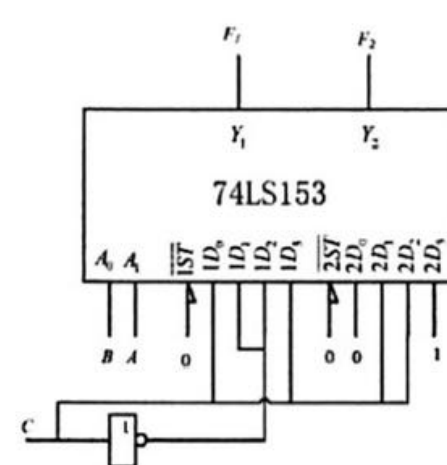


(5分, 10根接线, 每根半分)

7. 双四选一数据选择器 74LS153 的功能表如表 6-2 所示, 用该集成电路构成的组合逻辑电路如图 6-1 所示, 输入变量为  $A$ 、 $B$ 、 $C$ , 输出逻辑函数为  $F_1$ 、 $F_2$ , 写出  $F_1$  和  $F_2$  的最简与或式, 并分析该电路的逻辑功能。(8分)

表 7-2 74LS153 功能表

$\overline{ST}$	$A_1$	$A_0$	$D_3-D_0$	$Y$
1	x	x	x	0
0	0	0	$D_3-D_0$	$D_0$
0	0	1	$D_3-D_0$	$D_1$
0	1	0	$D_3-D_0$	$D_2$
0	1	1	$D_3-D_0$	$D_3$



答:  $F_1 = \overline{A}BC + \overline{A}B\overline{C} + A\overline{B}C + ABC$  (2分)

$F_2 = \overline{A}BC + A\overline{B}C + AB=BC + AC + AB$  (2分)

全加器 (4分)

8. 用 FPGA 实现某电路的 Verilog 代码如下, 按要求回答问题。(6分)

(1) 画出该电路的门级逻辑电路图。

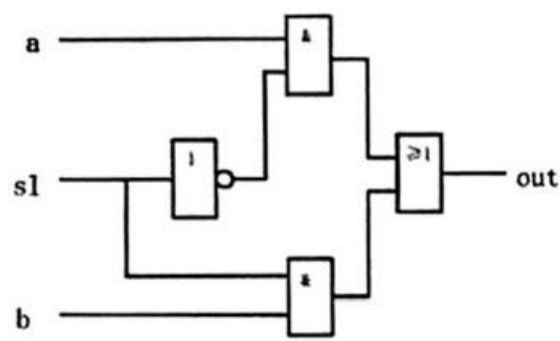
(2) 说明该电路的逻辑功能。

```

module muxtwo (out, a, b, sl)
    input a, b, sl;
    output out;
    wire nsl, sela, selb;
    assign nsl=~sl;
    assign sela=a&nsl;
    assign selb=b&sl;
    assign out=sela|selb;
endmodule

```

答:



(3 分)  
二选一数据选择器 (多路选择器) (3 分)

《数字电路与逻辑设计》期中考试试题

2017.4

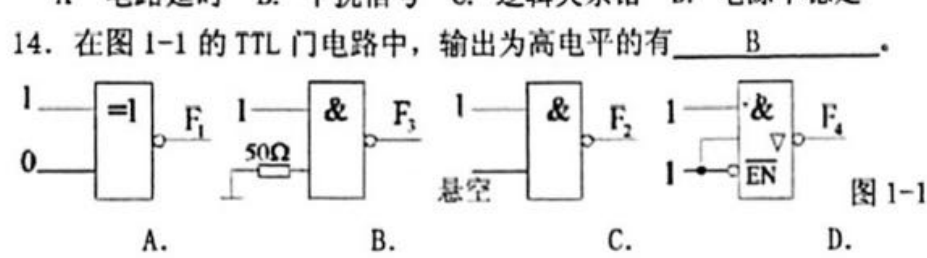
得分									

注意: 所有答案 (包括选择题和计算题) 一律写在试卷纸上, 如果卷面位置不够, 请写在试卷的背后, 否则不计成绩。

一、(每题 2 分, 共 28 分) 单项选择题 (答案填入本题后面的表格中)  
(请先在本试卷上答题之后, 将全部答案汇总到本题末尾的表格中。)

- ECL 逻辑门 (与 CMOS 门相比) 主要优点是 D。
  - 抗干扰能力强
  - 集成度高
  - 功耗低
  - 工作速度快
- 均为 5V 供电时, TTL 逻辑门 (与 CMOS 门相比) 主要优点是 C。
  - 噪声容限大
  - 功耗低
  - 工作速度快
  - 集成度高
- 若对 4 位二进制码 ( $B_3, B_2, B_1, B_0$ ) 进行奇校验编码, 则校验位  $C =$  B。
  - $B_3 + B_2 + B_1 + B_0 + 1$
  - $B_3 \oplus B_2 \oplus B_1 \oplus B_0 \oplus 1$
  - $B_3 \ B_2 \ B_1 \ B_0 \ 1$
  - $B_3 B_2 B_1 B_0 1$
- 可以用来构成双向逻辑信号传输的逻辑器件是 A。
  - 三态输出门
  - OC 门
  - ECL 门
  - OD 门
- 逻辑函数  $F = A \oplus B$  和  $G = A \odot B$  满足关系 A。
  - $F = G \oplus 0$
  - $F + G = 0$
  - $F \cdot G = 1$
  - $F = G$
- 均为 5V 供电时, 需接上拉电阻才能满足电平驱动要求的方式是 B。
  - CMOS 门驱动 TTL 门
  - TTL 门驱动 CMOS 门
  - TTL 门驱动 TTL 门
  - CMOS 门驱动 CMOS 门
- 输入变量仅 A、B 全为 1 时, 输出  $F = 1$ , 输入与输出的关系是 C。
  - 或非
  - 同或
  - 与
  - 异或
- 逻辑表达式  $(A + B)(A + C) =$  D。
  - $AB + AC$
  - $C + AB$
  - $B + AC$
  - $A + BC$
- 最小项  $\overline{A}\overline{B}CD$  的相邻项是 D。
  - $\overline{A}\overline{B}C\overline{D}$
  - $\overline{A}B\overline{C}D$
  - $A\overline{B}CD$
  - $\overline{A}\overline{B}C\overline{D}$

- A.  $ABCD$  B.  $\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$  C.  $\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$  D.  $ABCD$
11. C 输出直接连接可以实现“线或”功能。  
 A. TTL 门 B. OC 门 C. ECL 门 D. 三态门
12. 下面关于 74HC 与 74HCT 系列芯片正确的描述是 B。  
 A. 分别为 CMOS、TTL 工艺 B. 分别为 CMOS、TTL 电平  
 C. 分别为商用级和工业级芯片 D. 分别为三态门和 OC 门
13. A 输出直接连接可以实现“线与”功能。  
 A. OD 门 B. 全部 TTL 逻辑门 C. ECL 门 D. 三态门
14. 引起组合逻辑电路中竞争与冒险的主要原因是：A。  
 A. 电路延时 B. 干扰信号 C. 逻辑关系错 D. 电源不稳定



1	2	3	4	5	6	7
D	C	B	A	A	B	C
8	9	10	11	12	13	14
D	D	C	B	A	A	B

二. (10 分) 简化函数  $F(A,B,C,D) = ABC + \overline{AC}(B+D)CD + CD$  的反函数  $\overline{F(A,B,C,D)}$  为最简与或表达式 (要求步骤: 1. 将  $F$  写成与或表达式; 2. 填入图 2-1 的卡诺图, 圈画合并圈; 3. 写出  $\overline{F}$  的最简与或表达式)。

答案:

$$F(A,B,C,D) = ABC + \overline{AC}(B+D)CD + CD$$

$$1. = ABC + ((AC) + (B+D))CD + CD$$

$$= ABC + ACD + B \cdot DCD + CD$$

$$= ABC + ACD + CD$$

2. (4 分)
3.  $\overline{F(A,B,C,D)} = \overline{C} + \overline{A}D$  (3 分)

三. (10 分) 输入为 8421BCD 码的某两输出函数卡诺图如图 3-1 所示。请用最少的两级与非门实现该多输出函数 (双轨输入)。(要求: 1. 正确圈画出简化圈和公用圈, 并写出函数  $F_1$  和  $F_2$  对应的最简与或表达式, 2. 画出逻辑图)

图 3-1

答案:

$AB \backslash CD$	00	01	11	10
00	1	1	x	1
01	0	1	x	0
11	0	1	x	x
10	0	1	x	x

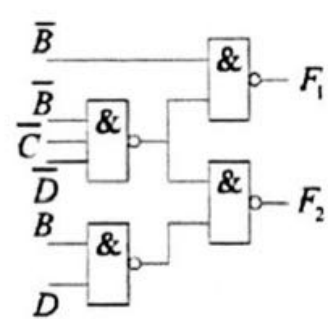
$F_1$

$AB \backslash CD$	00	01	11	10
00	1	0	x	1
01	0	1	x	0
11	0	1	x	x
10	0	0	x	x

$F_2$

$$F_1 = B + \bar{B} \cdot \bar{C} \cdot \bar{D} \quad (2 \text{分})$$

$$F_2 = BD + \bar{B} \cdot \bar{C} \cdot \bar{D} \quad (2 \text{分})$$



(2分)

四、(10分) 请用最少的或非门设计一个检出 8421BCD 码奇偶校验电路，当输入为奇数个 1 时输出  $F=1$ ，否则  $F=0$  (输入变量为 ABCD，且提供反变量)：

- (1) 根据功能需求完成表 4-1 真值表的填写；
- (2) 将真值表填入图 4-1 的卡诺图，并用卡诺图法简化为最简或与式；
- (3) 根据简化的卡诺图，该函数是否存在静态逻辑冒险？应加什么冗余项加以消除？

表 4-1

输入	输出	输入	输出
A B C D	F	A B C D	F
0 0 0 0		1 0 0 0	
0 0 0 1		1 0 0 1	
0 0 1 0		1 0 1 0	
0 0 1 1		1 0 1 1	
0 1 0 0		1 1 0 0	

$AB \backslash CD$	00	01	11	10
00				
01				
11				
10				

图4-1

0 1 0 1		1 1 0 1	
0 1 1 0		1 1 1 0	
0 1 1 1		1 1 1 1	

答案：真值表 (4分)

输入	输出	输入	输出
A B C D	F	A B C D	F
0 0 0 0	0	1 0 0 0	1
0 0 0 1	1	1 0 0 1	0
0 0 1 0	1	1 0 1 0	x
0 0 1 1	0	1 0 1 1	x
0 1 0 0	1	1 1 0 0	x
0 1 0 1	0	1 1 0 1	x
0 1 1 0	0	1 1 1 0	x
0 1 1 1	1	1 1 1 1	x

$AB \backslash CD$	00	01	11	10
00	0	1	x	1
01	1	0	x	0
11	0	1	x	x
10	1	0	x	x

(2分)

$$F = (A + B + C + D)(\bar{B} + C + \bar{D})(\bar{A} + \bar{D})(B + \bar{C} + \bar{D})(\bar{B} + \bar{C} + D) \quad (2 \text{分})$$

从表达式看：当  $A=B=C=1$  时有：  $F = \bar{D}D$

从卡诺图看：当 1111 与 1110 有相切圈

。结论为存在逻辑冒险。加  $(A + \bar{B} + \bar{C})$  冗余项

但实际上：  $A=B=C=1$  是不存在的输入，在此特定情况下无冒险。

因此：建议：

若答案为：存在逻辑冒险。加 $(\overline{A}+\overline{B}+\overline{C})$ 冗余

项及若答案为：不存在逻辑冒险

均可给分（共4分）

五、（11分）某肖特基逻辑器件的内部电路如图5-1所示，A、B、C为输入端，输入高电平为5V，低电平为0V。F为输出端。设肖特基二极管 $D_1$ 、 $D_2$ 的正向压降为0.3V，所有晶体三极管的PN结正向压降为0.7V，忽略所有反向饱和电流、穿透电流，晶体管的反向电流放大系数为0。

1. 当 $C=0V$ ，且 $A=B=5V$ 时，L点对地电位为\_\_\_\_V。M点对地电位为\_\_\_\_V。N点对地电位为\_\_\_\_V。此时流出C输入端的电流为\_\_\_\_mA。此时流入A输入端的电流为\_\_\_\_mA。
2. 当 $C=5V$ 时，输出F与输入A、B的逻辑关系为\_\_\_\_\_。
3. 当 $C=0V$ 时，输出F与输入A、B的逻辑关系为\_\_\_\_\_。

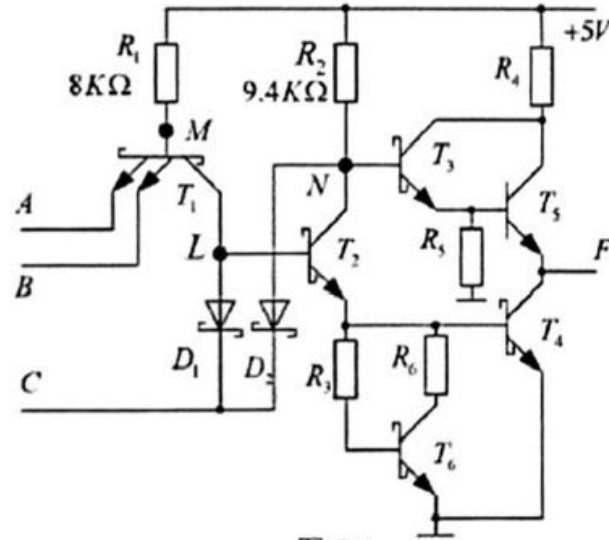


图 5-1

答案：

1. 当 $C=0V$ ，且 $A=B=5V$ 时，L点对地电位为 0.3V。M点对地电位为 1V。N点对地电位为 0.3V。此时流出C输入端的电流为 1mA。此时流入A输入端的电流为 0mA。（每空1分共5分）
2. 当 $C=5V$ 时，输出F与输入A、B的逻辑关系为  $F = \overline{AB}$ 。（3分）
3. 当 $C=0V$ 时，输出F与输入A、B的逻辑关系为 输出高阻，或 $F = z$ 。（3分）

六、（11分）TTL门构成的电路如图6-1所示，已知OC门输出管截止时的漏电流为 $I_{OL}=100\mu A$ ，OC门输出管导通时允许的最大负载电流为 $I_{OLmax}=10mA$ ；负载门的低电平输入电流为 $I_{IL}=0.5mA$ ，高电平输入电流为 $I_{IH}=50\mu A$ ， $V_{CC}'=5V$ ，要求OC门的输出高电平 $V_{OH}\geq 3.4V$ ，输出低电平 $V_{OL}\leq 0.4V$ 。

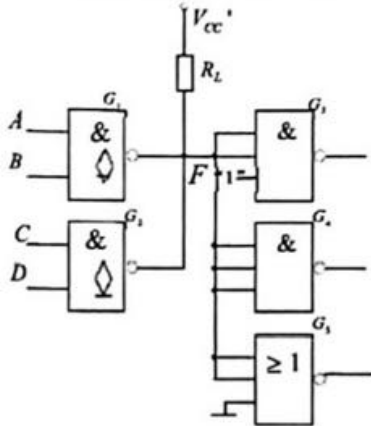


图 6-1

1. 写出OC门输出点F与输入A、B、C、D的逻辑表达式
2. 确定电阻 $R_L$ 的阻值范围（ $R_L$ 的最大值和最小值）。
3. 若输入信号 $C=A$ ， $D=B$ （即两个OC门的输入信号相同），重新确定电阻 $R_L$ 的阻值范围。

答案：

1.  $F = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$ （3分）
2.  $n=2$     $m=7$     $m'=4$

$$R_L \leq \frac{V_{CC}' - V_{OHmin}}{nI_{OH} + mI_{IH}}; \quad R_L \leq \frac{V_{CC}' - V_{OHmin}}{nI_{OH} + mI_{IH}} = \frac{5 - 3.4}{2 \times 0.1 + 7 \times 0.05} \approx 2.91K\Omega \quad (2分)$$
$$R_L \geq \frac{V_{CC}' - V_{OL}}{I_{OLmax} - m'I_{IL}}; \quad R_L \geq \frac{V_{CC}' - V_{OL}}{I_{OLmax} - m'I_{IL}} = \frac{5 - 0.4}{10 - 4 \times 0.5} \approx 0.575K\Omega \quad (2分)$$

3.

$$R_L \leq \frac{V_{CC}' - V_{OHmin}}{nI_{OH} + mI_{IH}}; \quad R_L \leq \frac{V_{CC}' - V_{OHmin}}{nI_{OH} + mI_{IH}} = \frac{5 - 3.4}{2 \times 0.1 + 7 \times 0.05} \approx 2.91K\Omega \quad (2分)$$
$$R_L \geq \frac{V_{CC}' - V_{OL}}{I_{OLmax} - m'I_{IL}}; \quad R_L \geq \frac{V_{CC}' - V_{OL}}{2I_{OLmax} - m'I_{IL}} = \frac{5 - 0.4}{20 - 4 \times 0.5} \approx 0.256K\Omega \quad (2分)$$



七. (10分) 74LS155 双一线至四线数据分配器和译码器 74LS138 的功能表见表 7-1 和表 7-2。

1. 在图 7-1 上通过适当连接和高低电平标注(不加任何门将 74LS155 与 74LS138 一起构成四线至十六线输出低电平有效的 4-16 线译码器, 并将 16 个输出端分别— —

用  $F_0 \sim F_{15}$  标注(提示: 当地址输入端高位  $A_3=0$  时 74LS138 处于不工作状态, 译码输出由 74LS155 完成)。

2. 实现函数(要求使用最少的与非门, 直接在图 7-1 上画出逻辑电路)。

$$F_1(A_3, A_2, A_1, A_0) = \sum m(0, 15)$$

$$F_2(A_3, A_2, A_1, A_0) = \prod M(15)$$

表 7-1 双一线至四线数据分配器 74LS155 功能表

1ST	$A_1$	$A_0$	$1F_0$	$1F_1$	$1F_2$	$1F_3$
0	X	X	1	1	1	1
1	0	0	$\overline{1D}$	1	1	1
1	0	1	1	$\overline{1D}$	1	1
1	1	0	1	1	$\overline{1D}$	1
1	1	1	1	1	1	$\overline{1D}$

$\overline{2ST}$	$A_1$	$A_0$	$\overline{2F_0}$	$\overline{2F_1}$	$\overline{2F_2}$	$\overline{2F_3}$
1	X	X	1	1	1	1
0	0	0	$\overline{2D}$	1	1	1
0	0	1	1	$\overline{2D}$	1	1
0	1	0	1	1	$\overline{2D}$	1
0	1	1	1	1	1	$\overline{2D}$

表 7-2 译码器 74LS138 的功能表

$S_A$	$\overline{S_B} + \overline{S_C}$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

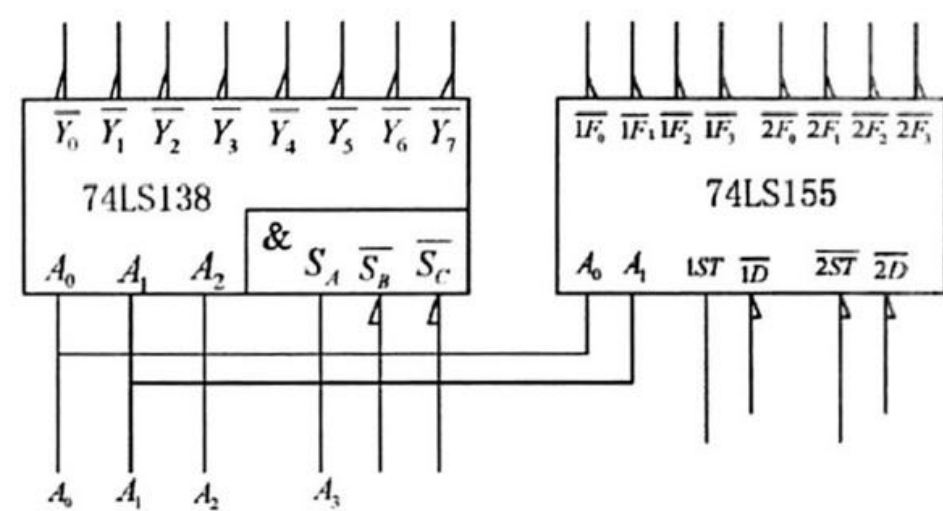
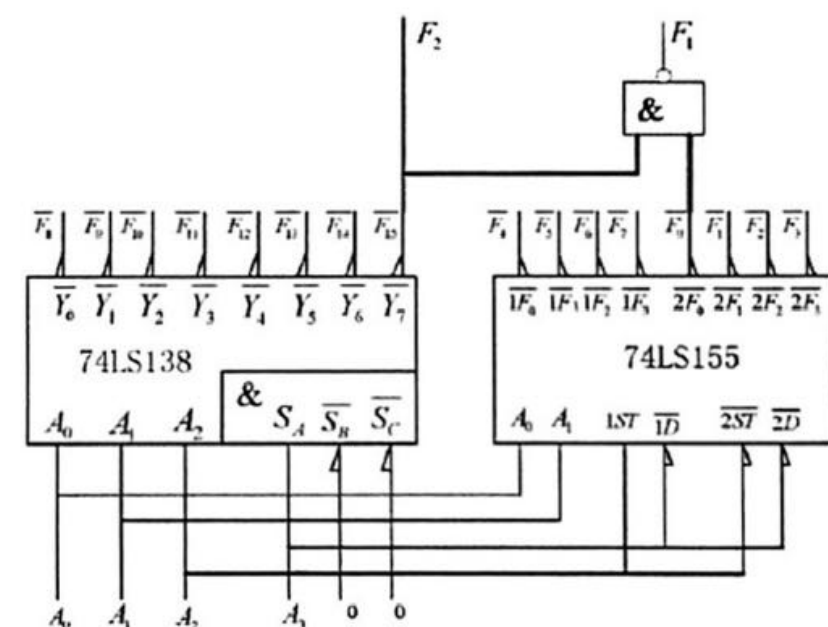


图 7-1

答案:



输入端两条线和两个0(或接地)正确, 各1分, 共4分

输出端  $\overline{F_0}$   $\overline{F_{15}}$  标注正确, 2分

F1 和 F2 正确, 各2分, 共4分

八、(8分) 由正、负逻辑器件组成的逻辑电路见图 8-1。写出输出  $F_1$ 、 $F_2$  的逻辑表达式, 并简化为最简与或式。



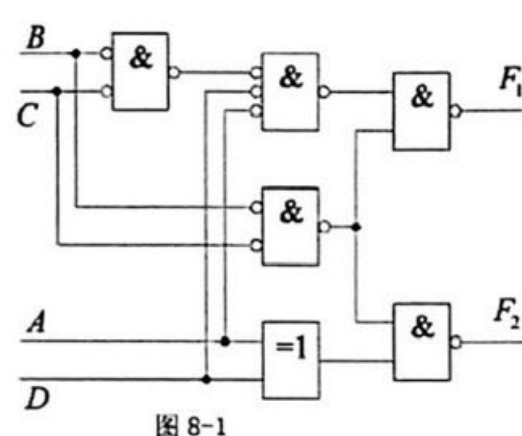


图 8-1

答案:

$$\begin{aligned}
 F_1 &= \overline{(B+C)} AD(B+C) \\
 &= \overline{(B+C+A+D)}(B+C) \\
 &= \overline{B+C+A+D+B+C} \\
 &= \overline{ABCD+B+C} \\
 &= \overline{BC}
 \end{aligned}$$

(各 4 分)

$$\begin{aligned}
 F_2 &= (B+C)(\overline{AD}+\overline{AD}) \\
 &= \overline{(B+C)}+\overline{AD}+AD \\
 &= \overline{BC}+\overline{AD}+AD
 \end{aligned}$$

北京邮电大学

《数字电路与逻辑设计》期中考试试题

2016.4.11

班级\_\_\_\_\_ 姓名\_\_\_\_\_ 班内序号\_\_\_\_\_

题号	一	二	三	四	五	六	七	八	总成绩
分数	20	12	10	10	10	20	10	8	
得分									

注意: 所有答案(包括选择题和计算题)一律写在试卷纸上, 如果卷面位置不够, 请写在试卷的背后, 否则不计成绩。

一、(每题 1 分, 共 20 分) 判断(填√或×)、单项选择题

(请先在本试卷上答题之后, 将全部答案汇总到本题末尾的表格中。)

- ECL 逻辑门与 TTL 门相比, 主要优点是抗干扰能力强。( × )
- CMOS 门电路在使用时允许输入端悬空, 并且悬空的输入端相当于输入逻辑“1”。( × )
- 若对 4 位二进制码(B<sub>3</sub>B<sub>2</sub>B<sub>1</sub>B<sub>0</sub>)进行奇校验编码, 则校验位 C=B<sub>3</sub>⊕B<sub>2</sub>⊕B<sub>1</sub>⊕B<sub>0</sub>⊕1。( √ )
- 根据表 1-1, 用 CMOS4000 系列的逻辑门驱动 TTL74 系列的逻辑门, 驱动门与负载门之间的电平匹配不存在问题 ( √ )
- 根据表 1-1, 用 CMOS4000 系列的逻辑门驱动 TTL74 系列的逻辑门, 驱动门与负载门之间的电流驱动能力不存在问题 ( × )

表 1-1 常用的 TTL 和 CMOS 门的典型参数

	TTL 74系列	TTL 74LS系列	CMOS 4000系列	高速CMOS 74HC系列	高速CMOS 74HCT系列
V <sub>OHmin</sub> /V	2.4	2.7	4.6	4.4	4.4
V <sub>OLmax</sub> /V	0.4	0.5	0.05	0.1	0.1
I <sub>OHmax</sub> /mA	-0.4	-0.4	-0.51	-4	-4
I <sub>OLmax</sub> /mA	16	8	0.51	4	4
V <sub>THmin</sub> /V	2	2	3.5	3.5	2
V <sub>TLmax</sub> /V	0.8	0.8	1.5	1	0.8
I <sub>THmax</sub> /uA	40	20	0.1	0.1	0.1
I <sub>TLmax</sub> /mA	-1.6	-0.4	-0.1×10 <sup>-3</sup>	-0.1×10 <sup>-3</sup>	-0.1×10 <sup>-3</sup>

6. 当  $i \neq j$  时, 必有两个最小项之和  $m_i + m_j = 0$ 。(X)
7. CMOS 门电路的静态功耗很低, 但在输入信号动态转换时会有较大的电流, 工作频率越高, 静态功耗越大。(X)
8. 逻辑函数的表达式是不唯一的, 但其标准的最小项之和的表达式是唯一的。(√)
9. 用数据分配器加上门电路可以实现任意的逻辑函数。(√)
10. 格雷 BCD 码具有单位距离特性 (任意两个相邻的编码之间仅有一位不同) 且是无权代码。(√)
11. 关于函数  $F = \overline{A}C + B\overline{C}D + A\overline{B}C$ , 下列说法中正确的有 B。
- A. 不存在冒险;  
B. 存在静态逻辑冒险, 需要加冗余项  $\overline{A}BD$  和  $A\overline{C}D$  进行消除;  
C. 存在静态功能冒险, 需要加冗余项  $\overline{A}BD$  和  $A\overline{C}D$  进行消除;  
D. 当输入 ABCD 从 0001 → 0100 变化时存在静态逻辑冒险。
12. 逻辑函数  $F = A \oplus B$  和  $G = A \odot B$  满足关系 D。
- A.  $F = G$       B.  $F + G = 0$       C.  $F \oplus G = 1$       D.  $F = G \oplus 0$
13. 若逻辑函数  $F(A, B, C) = \sum m(1, 2, 3, 6)$   $G(A, B, C) = \sum m(0, 2, 3, 4, 5, 7)$  则  $F \cdot G =$  A。
- A.  $m_2 + m_3$       B. 1      C.  $AB$       D.  $AB$
14. 若干个具有三态输出的电路输出端接到一点工作时, 必须保证 B。
- A. 任何时刻最多只能有一个电路处于高阻态, 其余应处于工作状态。  
B. 任何时刻最多只能有一个电路处于工作状态, 其余应处于高阻态。  
C. 任何时刻至少有一个电路处于高阻态, 其余应处于工作状态。  
D. 任何时刻至少有一个电路处于工作状态, 其余应处于高阻态。
15. 可以用来传输连续变化的模拟信号的电路是 D。
- A. 三态输出的门电路。;      B. 漏极开路的 CMOS 门电路;  
C. ECL 门电路;      D. CMOS 传输门
16. 逻辑表达式  $F = [(AB + C)\overline{D} + E] \cdot B$  的对偶式为 B。

- A.  $F = [(A + B \cdot C) + \overline{D} \cdot E] + B$       B.  $F = (\overline{A + B \cdot C + D}) \cdot E + B$   
C.  $F = (A + B)\overline{C} + D \cdot \overline{E} + \overline{B}$       D.  $F = [(AB + C)\overline{D} + E] \cdot \overline{B}$

17. 下列说法中正确的是 D。
- A. 三态门的输出端可以直接并联, 实现线或逻辑功能。  
B. OC 门的输出端可以直接并联, 实现线或逻辑功能。  
C. OD 门的输出端可以直接并联, 实现线或逻辑功能。  
D. ECL 门的输出端可以直接并联, 实现线或逻辑功能。
18. 某集成电路芯片, 查手册知其最大输出低电平  $U_{OLmax} = 0.5V$ , 最大输入低电平  $U_{ILmax} = 0.8V$ , 最小输出高电平  $U_{OHmin} = 2.7V$ , 最小输入高电平  $U_{IHmin} = 2.0V$ , 则其低电平噪声容限  $U_{NL}$  和高电平噪声容限  $U_{NH}$  分别是 C。
- A. 1.5V、2.2V      B. 2.2V、1.2V      C. 0.3V、0.7V      D. 1.9V、1.5V
19. 下列说法中不属于组合电路的特点的是 C。
- A. 组合电路由逻辑门构成;  
B. 组合电路不含记忆存储单元;  
C. 组合电路的输出到输入有反馈回路;  
D. 任何时刻组合电路的输出只与当时的输入有关, 而与电路过去的输入无关。
20. 在图 1-1 的 CMOS 门电路中, 输出为高电平的有 D。

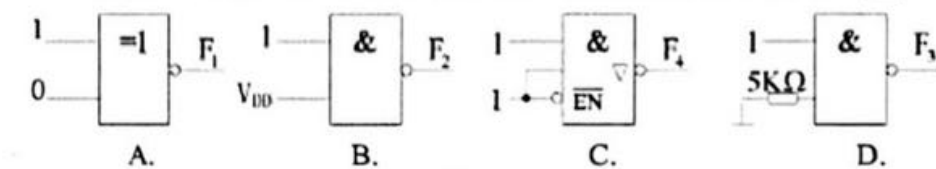


图 1-1

答案汇总:

1	2	3	4	5	6	7	8	9	10
X	X	√	√	X	X	X	√	√	√
11	12	13	14	15	16	17	18	19	20
B	D	A	B	D	B	D	C	C	D

二、(共 12 分) 器件的内部电路如图 2-1 所示, A, B 为输入, F 为输出。(1) 写出 L、M、N、O、F 点与输入 A、B 间的相对逻辑关系表达式。(2) 画出该器件的符号。  
解:

(1)  $L=AB$        $M=CD$   
 $N = \overline{AB + CD}$        $O = AB + CD$   
 $F = N = \overline{O} = \overline{AB + CD}$   
 (10分)

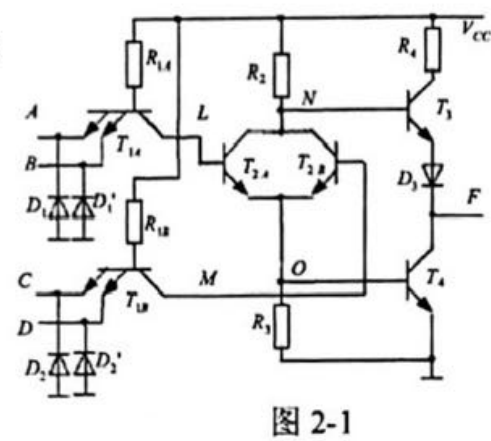
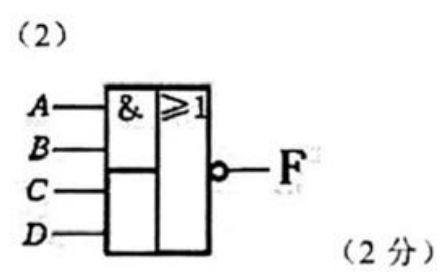


图 2-1



三、(10分) 请用最少的或非门设计一个检出 8421BCD 码能被 4 整除的逻辑电路 (输入变量为 ABCD, 且提供反变量):

- 根据功能需求完成表 3-1 真值表的填写;
- 并写出该函数的标准与或表达式 (使用:  $F = \Sigma + \Sigma$  形式);
- 将真值表填入图 3-1 的卡诺图, 并用卡诺图法简化为最简或与式;
- 用或非门实现该函数, 画出逻辑图。

表 3-1

输入	输出
A B C D	F

AB \ CD	00	01	11	10
00				
01				
11				
10				

图 3-1

解: 真值表 (2分)

输入	输出
ABCD	F
0000	1
0001	0
0010	0
0011	0
0100	1



$S_2, S_1, S_0$	$A_2$	$A_1$	$A_0$	$Y_7$	$Y_6$	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	0

表 6-3 74LS155 功能表

$1ST$	$A_1$	$A_0$	$1F_0$	$1F_1$	$1F_2$	$1F_3$	$2ST$	$A_1$	$A_0$	$2F_0$	$2F_1$	$2F_2$	$2F_3$
0	×	×	1	1	1	1	1	×	×	1	1	1	1
1	0	0	$\overline{1D}$	1	1	1	0	0	0	$\overline{2D}$	1	1	1
1	0	1	1	$\overline{1D}$	1	1	0	0	1	1	$\overline{2D}$	1	1
1	1	0	1	1	$\overline{1D}$	1	0	1	0	1	1	$\overline{2D}$	1
1	1	1	1	1	1	$\overline{1D}$	0	1	1	1	1	$\overline{2D}$	1

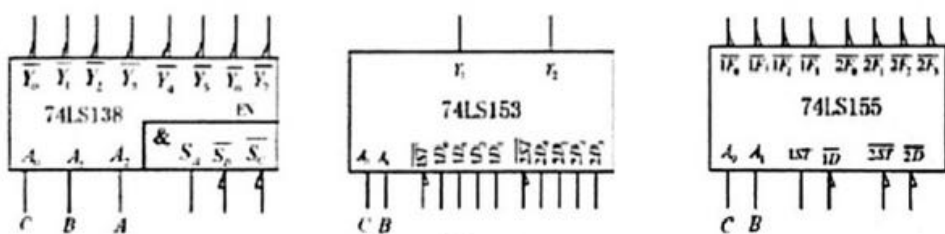
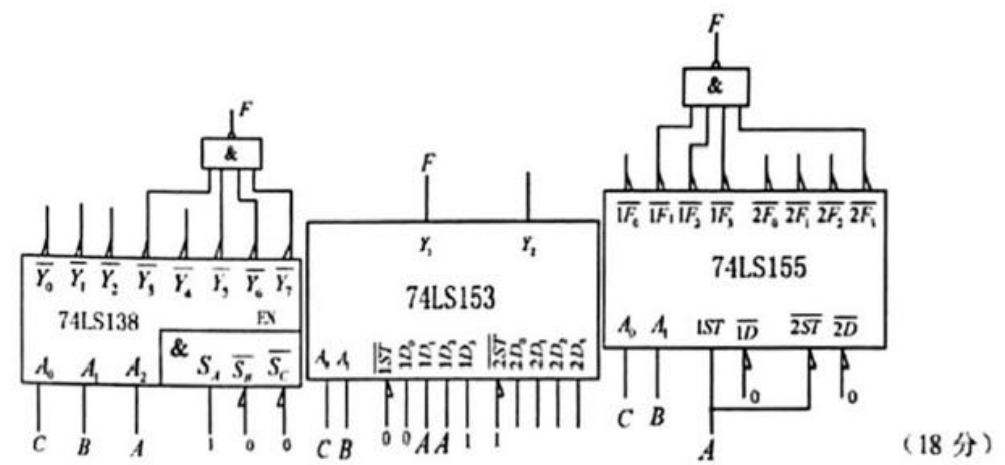


图 6-1

解:

$$\begin{aligned}
 F &= (A+B)(B+C)(A+C) \\
 &= ABC + ABC + ABC + ABC \\
 &= \sum m(3, 5, 6, 7) \quad (2 \text{分})
 \end{aligned}$$



(18 分)

七、(10 分) 逻辑函数  $F(A, B, C, D) = ABD + ACD + AB.C.D$ 。已知该函数的约束条

件为  $\overline{A} \cdot \overline{B} \cdot \overline{C} + AB\overline{C}D = 0$ 。(1) 将逻辑函数及约束条件填入图 7-1, 利用卡诺图将函数化简为最简与或表达式; (2) 将逻辑函数及约束条件填入图 7-2, 利用卡诺图简化为最简与非表达式。

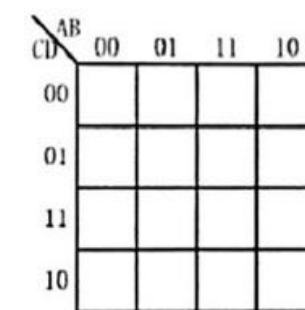


图 7-1

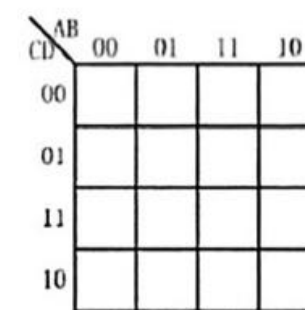


图 7-2

解:

(1)

AB \ CD	00	01	11	10
00	×	1	0	1
01	×	0	×	0
11	0	0	0	0
10	1	1	0	0

(2分)

$$F = \overline{A} \cdot \overline{D} + \overline{B} \cdot \overline{C} \cdot \overline{D}$$

(2)

AB \ CD	00	01	11	10
00	×	1	0	1
01	×	0	×	0
11	0	0	0	0
10	1	1	0	0

(2分)

$$F = \overline{AB} + \overline{AC} + \overline{D}$$

八、(8分) 由四位数码比较器 7485(功能表见表 8-1)和四位加法器 74283 构成的电路如图 8-1 所示，若输入为 2421BCD 码，(1) 在真值表 8-2 中完成输出的填写；(2) 说明该电路完成什么编码的转换。

表 8-1 7485 的功能表

比 较 输 入				控制输入		输 出		
a <sub>3</sub> b <sub>3</sub>	a <sub>2</sub> b <sub>2</sub>	a <sub>1</sub> b <sub>1</sub>	a <sub>0</sub> b <sub>0</sub>	G' S' E'		A>B	A<B	A=B
a <sub>3</sub> >b <sub>3</sub>	×	×	×	×	×	1	0	0
a <sub>3</sub> <b <sub>3</sub>	×	×	×	×	×	0	1	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> >b <sub>2</sub>	×	×	×	×	1	0	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> <b <sub>2</sub>	×	×	×	×	0	1	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> >b <sub>1</sub>	×	×	×	1	0	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> <b <sub>1</sub>	×	×	×	0	1	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> =b <sub>1</sub>	a <sub>0</sub> >b <sub>0</sub>	×	×	1	0	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> =b <sub>1</sub>	a <sub>0</sub> <b <sub>0</sub>	×	×	0	1	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> =b <sub>1</sub>	a <sub>0</sub> =b <sub>0</sub>	1	0	0	0	1
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> =b <sub>1</sub>	a <sub>0</sub> =b <sub>0</sub>	0	1	0	0	1
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> =b <sub>1</sub>	a <sub>0</sub> =b <sub>0</sub>	0	0	1	0	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> =b <sub>1</sub>	a <sub>0</sub> =b <sub>0</sub>	×	×	1	0	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> =b <sub>1</sub>	a <sub>0</sub> =b <sub>0</sub>	1	1	0	0	0
a <sub>3</sub> =b <sub>3</sub>	a <sub>2</sub> =b <sub>2</sub>	a <sub>1</sub> =b <sub>1</sub>	a <sub>0</sub> =b <sub>0</sub>	0	0	0	1	0

表 8-2

十进制数	2421BCD 码 I <sub>3</sub> I <sub>2</sub> I <sub>1</sub> I <sub>0</sub>	8421BCD 码 Y <sub>3</sub> Y <sub>2</sub> Y <sub>1</sub> Y <sub>0</sub>
0	0000	
1	0001	
2	0010	
3	0011	
4	0100	
5	1011	
6	1100	
7	1101	
8	1110	
9	1111	

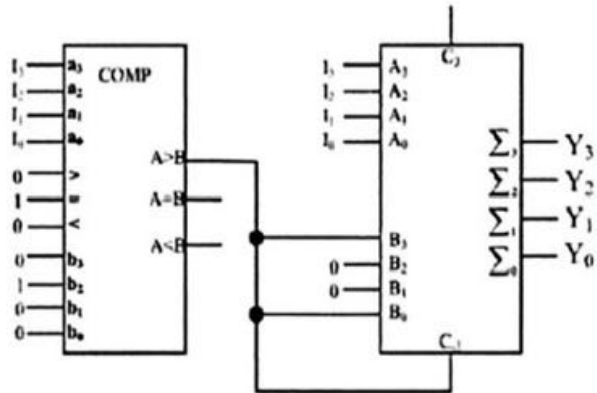


图 8-1

解：

(1) (5分)

十进制数	2421BCD 码 I <sub>3</sub> I <sub>2</sub> I <sub>1</sub> I <sub>0</sub>	8421BCD 码 Y <sub>3</sub> Y <sub>2</sub> Y <sub>1</sub> Y <sub>0</sub>
0	0000	0000
1	0001	0001
2	0010	0010
3	0011	0011

4	0100	0100
5	1011	0101
6	1100	0110
7	1101	0111
8	1110	1000
9	1111	1001

(2) 2421BCD----8421BCD(3分)



# 北京邮电大学《数字电路与逻辑设计》期中考试试题

2012.3

班级\_\_\_\_\_ 姓名\_\_\_\_\_ 班内序号\_\_\_\_\_

注意：所有答案（包括选择题和计算题）一律写在试卷纸上，如果卷面位置不够，请写在试卷的背后，否则不计成绩。

## 一、（每题1分，共20分）判断（填√或×）、选择（单项选择）题

（请先在本试卷上答题之后，将全部答案汇总到本题末尾的表格中。）

- 组合逻辑电路中不存在记忆单元。（ ）
- 晶体管的饱和越深，其对灌电流负载的驱动能力越强，但工作速度越慢。（ ）
- TTL门的某输入端通过100KΩ电阻接电源端时，可认为该输入是逻辑“1”。（ ）
- 为了增加驱动能力，相同输入时的相同逻辑门输出可以互连在一起使用。（ ）
- 当两个或两个以上输入信号同时变化，变化前后输出相同，而在输入信号变化时可能出现输出瞬间逻辑错误，称为静态逻辑冒险。（ ）
- 正逻辑的或非门，对应负逻辑的与非门。（ ）
- TTL与非门的关门电平 $V_{on}$ 越接近阈值电压 $V_T$ ，其噪声容限越大。（ ）
- 当 $i \neq j$ 时，必有两个最大项之积 $M_i \cdot M_j = 0$ 。（ ）
- 用最简与或式表示一个函数时，其表达式可能不是唯一的。（ ）
- 反相器的拉电流负载电阻过小时，主要对输出的高电平产生影响。（ ）
- 逻辑项 $AB\bar{C}D$ 的相邻项有：\_\_\_\_\_。

- A.  $\bar{A}BC\bar{D}$  B.  $\bar{A}BCD$  C.  $ABC\bar{D}$  D.  $\bar{A}\bar{B}CD$

12. 判断下列两个函数式中，是否存在逻辑冒险。\_\_\_\_\_。

$$Y_1(A,B,C) = A + \bar{B}C \quad Y_2(A,B,C) = \bar{A}BC + \bar{A}\bar{B}C$$

- A. 不存在，存在 B. 不存在，不存在 C. 存在，不存在 D. 存在，存在

13. 通过适当连接和控制，可以实现数据双向传输的门电路是\_\_\_\_\_。

- A. 集电极开路输出的TTL门电路； B. 互补式输出的TTL门电路；  
C. ECL门电路； D. 三态输出的门电路。

14. 若某TTL门电路的输出端最大灌电流负载能力为16mA，最大拉电流负载能力为-12mA（流出输出端）。其输入端低电平的输入最大电流为-1mA（流出输入端），输入端高电平时的输入最大电流为0.1mA（流入输入端），该门电路的扇出系数为：\_\_\_\_\_。

- A. 16 B. 120 C. 12 D. 160

15. 图1.1中电路为TTL电路。不能实现对应逻辑功能的电路有\_\_\_\_\_。

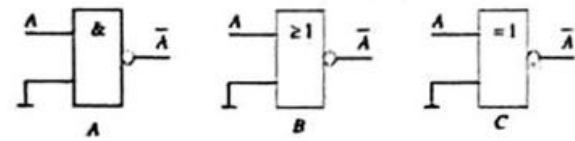


图 1.1

16. 逻辑函数为 $F(A,B,C,D) = \sum_m(1,3,4,5,6,8,9,12,14)$ ，判断当输入变量ABCD分别从：0000→0110及0110→1100时是否存在冒险：\_\_\_\_\_。

- A. 不存在，存在 B. 存在，存在 C. 存在，不存在 D. 不存在，不存在

17. 根据反演规则，函数 $F = A[B + (\bar{C}D + \bar{E}G)]$ 的反函数 $\bar{F} =$ \_\_\_\_\_。

- A.  $\bar{A} + B(C + \bar{D})(E + \bar{G})$  B.  $A + \bar{B}C + \bar{D}E + \bar{G}$  C.  $A + \bar{B}(\bar{C} + D)(\bar{E} + G)$

18. 函数 $F(A,B,C) = A$  B的标准最小项表达式为：\_\_\_\_\_。

- A.  $\sum_m(2,3,4,5)$  B.  $\sum_m(2,3,6,7)$  C.  $\sum_m(0,1,6,7)$  D.  $\sum_m(0,1,4,5)$

19. 函数 $F = AC + \bar{A}\bar{B}CD + ABC + \bar{C}D + ABD$ 的最简与或式为：\_\_\_\_\_。

- A.  $F = (A + B + \bar{C})(\bar{A} + D)(C + D)$  B.  $F = AC + \bar{C}D$

- C.  $F = ABC + \bar{A}D + \bar{C}D$

20. ECL逻辑门与TTL门相比，主要优点有：\_\_\_\_\_。

- A. 抗干扰能力强 B. 功耗低 C. 工作速率快

答案汇总：

1	2	3	4	5	6	7	8	9	10
√	√	√	√	×	√	√	×	√	√
11	12	13	14	15	16	17	18	19	20
C	B	D	A	A	D	A	C	B	C

## 二、（共10分）某器件的内部电路简图如图2.1所示。

- （1），说明当输入端C分别0和1时，电路的输出F与输入A、B的逻辑关系。（2），画出该器件的符号。

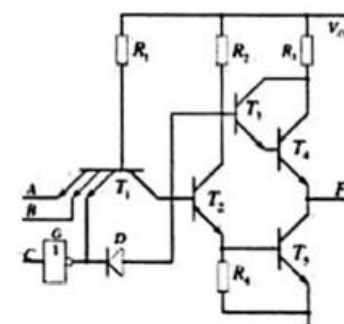
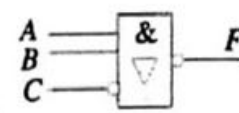


图 2.1

答案：

- （1），当C=1时，F=高阻；当C=0时， $F = \bar{A}\bar{B}$



- （2），

## 三、（10分）逻辑电路如图3.1所示。（1）按照图示电路写出F的原始表达式；（2）将表达式简化为与或式，并填入图3.2的卡诺图；（3）写出用与或非门实现该函数的最简表达式；（4）在图3.3中标明输入信号（未用输入端不许悬空）。



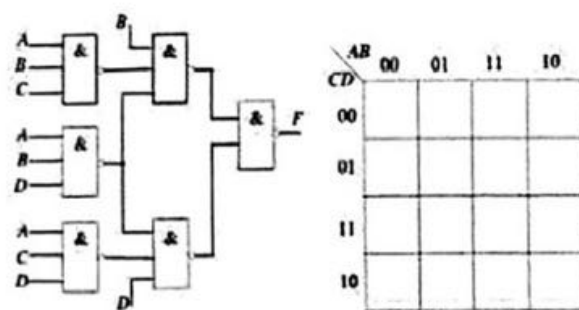


图 3.1

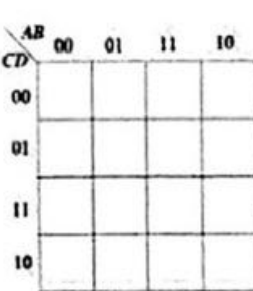


图 3.2

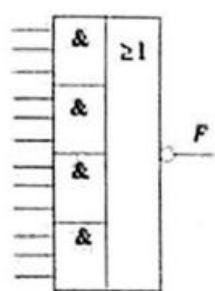
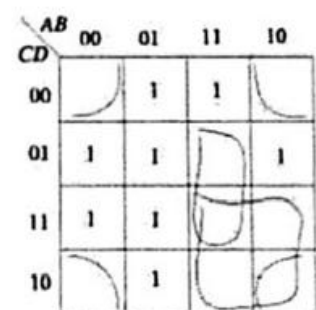


图 3.3

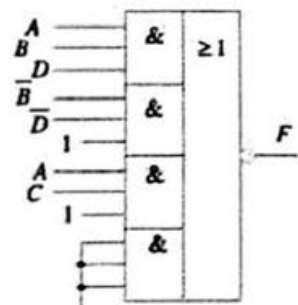
答案:

(1)  $F = \overline{ABC} \cdot \overline{B} \cdot \overline{ABD} \cdot \overline{ACD} \cdot \overline{D} \cdot \overline{ABD}$

(2)  $F = \overline{AB} + \overline{B} \cdot \overline{C} \cdot \overline{D} + \overline{AD} + \overline{B} \cdot \overline{C} \cdot D$



(3)  $F = \overline{B} \cdot \overline{D} + AC + ABD$



(4)

四、(10分) 图 4.1 中, 已知 OC 门的输出晶体管截止时的漏电流为  $I_{OH}=200\mu A$ , 导通时允许的最大负载电流为  $I_{OL(max)}=10mA$  (输出电压不大于 0.5V 时); 负载门 (与门及或门) 的低电平 (0.5V 时) 输入电流为  $I_{IL}=1mA$ , 高电平 (3V 时) 输入电流为  $I_{IH}=50\mu A$ ,  $V_{CC}=5V$ , 要求 OC 门的输出高电平  $V_{OH} \geq 3.0V$ , 输出低电平  $V_{OL} \leq 0.5V$ 。求 R 的范围。

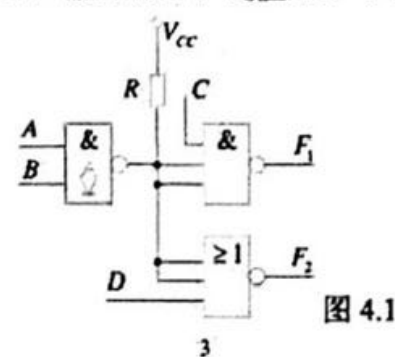


图 4.1

答案: 输出高电平:  $R \leq \frac{5-3}{0.2+0.2} = 5K\Omega$   
输出低电平:  $R \geq \frac{5-0.5}{10-3mA} = 643\Omega$

五、(10分) 用 8 选 1 数据选择器设计一个函数发生电路, 实现

$F(A, B, C, D) = \sum m(1, 3, 5, 7, 8, 9, 10, 11)$ 。8 选 1 数据选择器的输出逻辑函数式为:

$$W = D_0(A_2 \cdot A_1 \cdot A_0) + D_1(A_2 \cdot A_1 \cdot A_0) + D_2(A_2 \cdot A_1 \cdot A_0) + D_3(A_2 \cdot A_1 \cdot A_0) + D_4(A_2 \cdot A_1 \cdot A_0) + D_5(A_2 \cdot A_1 \cdot A_0) + D_6(A_2 \cdot A_1 \cdot A_0) + D_7(A_2 \cdot A_1 \cdot A_0)$$

(1), 将函数 F 填入卡诺图 (图 5.1), 按照图 5.2 的地址要求圈出 8 个子图。(2), 在片脚图 (图 5.2) 中标明  $D_0-D_7$  的输入信号。

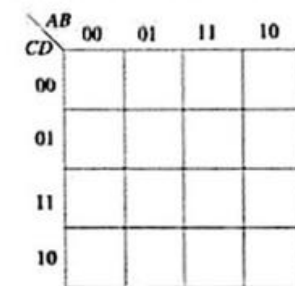
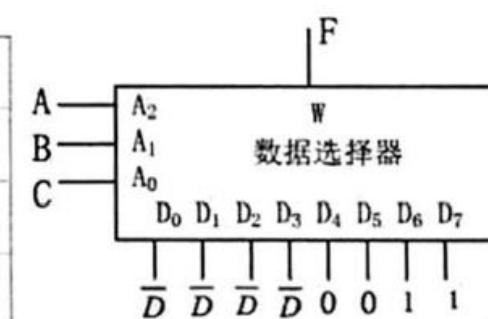
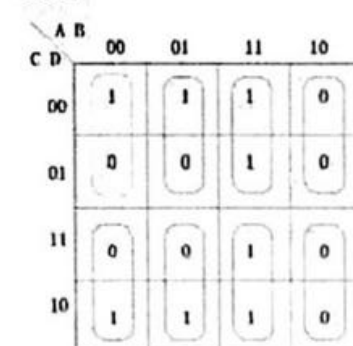


图 5.1



图 5.2

答案:



六、(10分) 74LS155 是地址端公用的双数据分配器, 功能表如表 6-1 所示, 请附加最少的门实现如下两输出函数 (在给出的图 6.1 上完成设计, A 为高位: )。

$$F_1(A, B, C) = A \cdot \overline{B} \cdot C + \overline{A} \cdot \overline{B} \cdot \overline{C} + B \cdot C$$

$$F_2(A, B, C) = \sum m(0, 1, 2, 3, 5, 6, 7)$$

表 6-1 74LS155 功能表

1ST	A <sub>1</sub>	A <sub>0</sub>	1F <sub>0</sub>	1F <sub>1</sub>	1F <sub>2</sub>	1F <sub>3</sub>	2ST	A <sub>1</sub>	A <sub>0</sub>	2F <sub>0</sub>	2F <sub>1</sub>	2F <sub>2</sub>	2F <sub>3</sub>
0	0	0	1	1	1	1	1	0	0	1	1	1	1
1	0	0	1	1	1	1	0	0	0	1	1	1	1
1	0	1	1	1	1	1	0	0	1	1	1	1	1
1	1	0	1	1	1	1	0	1	0	1	1	1	1
1	1	1	1	1	1	1	0	1	1	1	1	1	1

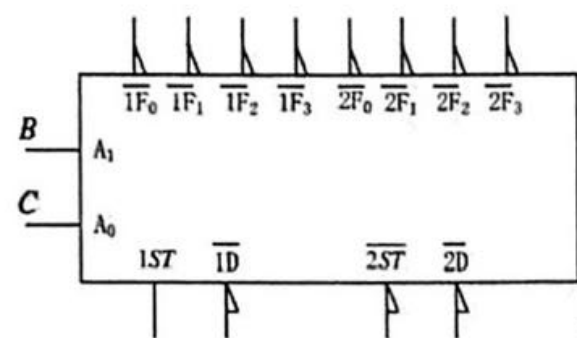
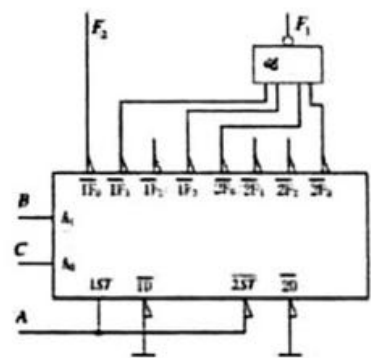


图 6.1

答案:



七、(10 分) 试用两片 4 位数码比较器 74LS85 组成三个数的判断电路。要求能够判别三个 4 位二进制数  $A(a_3a_2a_1a_0)$ 、 $B(b_3b_2b_1b_0)$ 、 $C(c_3c_2c_1c_0)$  相等 (输出  $F_1=0, F_2=1$ ) 及  $A$  最大 (输出  $F_1=1, F_2=0$ )。在图 7.1 上完成设计, 可附加与门。(芯片 74LS85 的 3 个输出端, 分别表示在  $A>B$  时  $Y_{A>B}=1$ ;  $A=B$  时  $Y_{A=B}=1$ ;  $A<B$  时  $Y_{A<B}=1$ )。

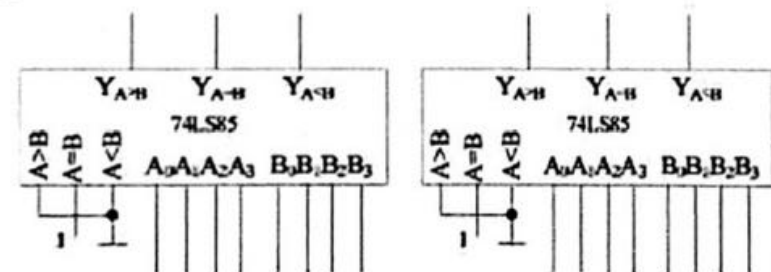
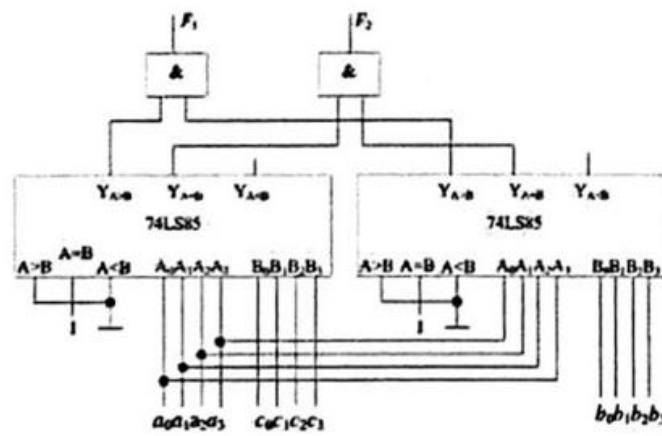


图 7.1

答案:



八、(10 分) 用或非门实现函数  $F(A,B,C,D) = \overline{AC} + \overline{A} \cdot \overline{B}D + \overline{AC}D$ , 要求没有逻辑冒险。(1), 将函数填入图 8.1 的卡诺图; (2), 画出逻辑电路。

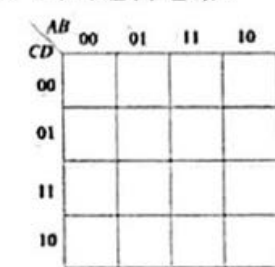
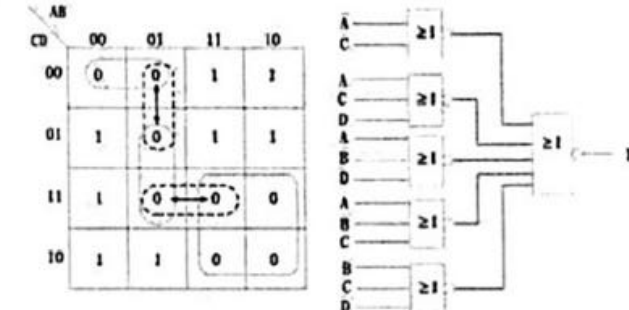


图 8.1

答案:



九、应用问题简答:

已知供电电压为 5V 的 74S 系列器件的  $I_{OH}=-1mA$ ,  $I_{OL}=20mA$ , 74LS 系列器件的  $I_{OH}=-0.4mA$ ,  $I_{OL}=8mA$ 。

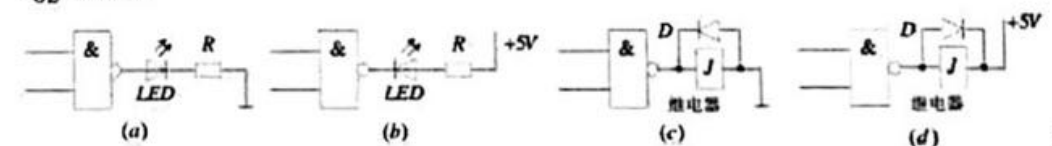


图 9.1

1. 现需驱动一个发光二极管 (正向压降为 1.5V), 要求发光时的电流  $I_{LED}=10mA$ 。  
(1) 应使用 74S 系列还是 74LS 系列器件? 74S 系列  
(2) 应使用图 9.1 (a) 电路还是 (b) 电路? (b) 电路  
(3) 简述图中 R 的作用。 限流
2. 若需驱动一个 5V 继电器, 继电器的电流为  $I_J=5mA$ 。(图中 D 的作用是抑制自感生的高压, 起到保护器件的作用)。  
(1) 可以选择哪个系列的器件? 74S 或 74LS  
(2) 应使用图 9.1 (c) 电路还是 (d) 电路? (d) 电路