

第八章：输入输出系统

▼ 外围设备速度分级

不同速度的外围设备，需要有不同的定时方式

速度极慢或简单的外围设备

机械开关、显示二极管等

无需进行查询与确认等交互操作，可直接进行数据传输

慢速或中速的外围设备

键盘等

采用**异步定时方式**

应答式数据交换

高速的外围设备

（恒定高速率）连续不断数据传输

采用**同步定时方式**

▼ 设备编制

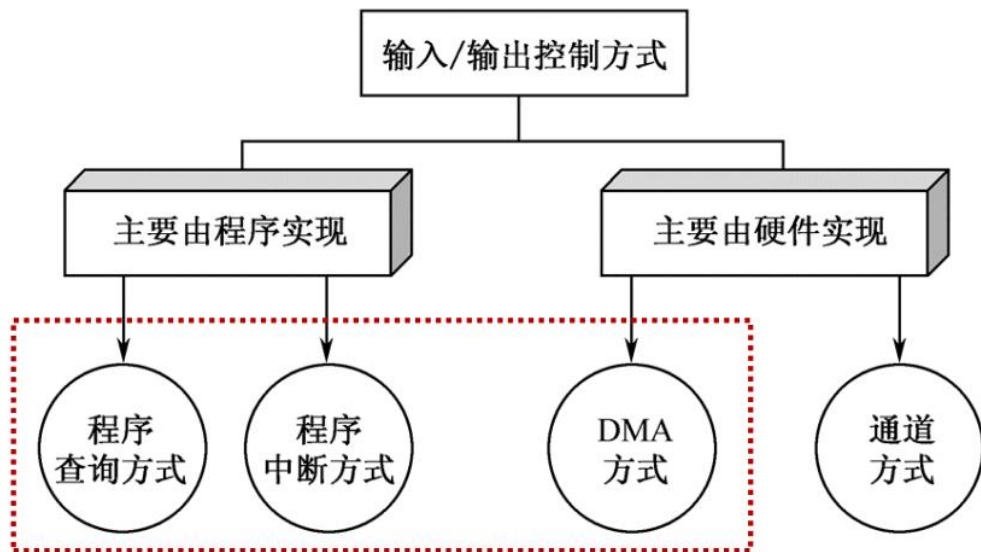
统一编制：无需单独命令，通过**地址**区分内存单元与外围设备

- 优点：编程灵活、无需访存指令
- 缺点：内存空间小、访问速度慢

独立编制：使用**不同操作码**的指令，**指令**区分内存与外围设备

- **可扩展内存实际使用空间**（地址线位数固定）
- 优点：译码速度快，内存空间大
- 缺点：指令集更复杂

▼ I/O方式



▼ 程序查询方式

数据在CPU和外围设备之间的传送完全**靠计算机程序控制**

CPU定期查询外围设备接口状态

优点：全部**编程控制**，灵活，无需**硬件配合**

缺点：CPU花费很多时间查询和等待，效率低；随机数据浪费CPU资源

程序查询接口：

1. 设备选择电路
2. 数据缓冲寄存器
3. 设备状态标志：标志设备工作状态

▼ 例题

程序查询系统中，假设不考虑处理时间，每一个查询操作需要100个时钟周期，CPU频率为50MHz。现有鼠标和硬盘两个设备，CPU每秒需对鼠标30次查询，硬盘以32位字长为单位传输数据，每32位被CPU查询一次，传输速率为 2×2^{20} B/s。求CPU对这两个设备查询所花费时间及占CPU比例

时间的角度：

一个时钟周期为 $1/50\text{MHz} = 20\text{ns}$

一个查询操作耗时 $100 \times 20\text{ns} = 2000\text{ns}$

1) 鼠标

每秒查询鼠标耗时 $30 \times 2000\text{ns} = 60000\text{ns}$

查询鼠标所花费的时间比率 = $60000\text{ns}/1\text{s} = 0.006\%$

对鼠标的查询基本不影响CPU的性能

2) 硬盘

每32位需要查询一次，每秒传送 $2 \times 2^{20}\text{B}$

每秒需要查询 $(2 \times 2^{20}\text{B})/4\text{B} = 2^{19}$ 次

查询硬盘耗时 $2^{19} \times 2000\text{ns} = 512 \times 1024 \times 2000\text{ns}$

$\approx 1.05 \times 10^9 \text{ ns}$

查询硬盘所花费的时间比率 = $(1.05 \times 10^9 \text{ ns})/1\text{s}$

$= 105\%$

CPU将全部时间都用于对硬盘的查询也不能满足磁盘传输的要求

频率的角度：

CPU的时钟频率为50MHz，即每秒 50×10^6 个时钟周期

1) 鼠标

每秒查询鼠标占用的时钟周期数 $30 \times 100 = 3000$

查询鼠标所花费的时间比率 = $3000/(50 \times 10^6) = 0.006\%$

对鼠标的查询基本不影响CPU的性能

2) 硬盘

每秒需要查询 $(2 \times 2^{20}\text{B})/4\text{B} = 2^{19}$ 次

每秒查询硬盘占用的时钟周期数 $2^{19} \times 100 \approx 5.24 \times 10^7$

查询硬盘所花费的时间比率 = $(5.24 \times 10^7)/(50 \times 10^6)$

$\approx 105\%$

CPU将全部时间都用于对硬盘的查询也不能满足磁盘传输的要求

▼ 程序中断方式

CPU等待外设中断请求，无需查询外设状态

- 每条指令执行周期**结束**时检查有无中断请求
- 中断响应是在一条指令执行之末
- **中断实现CPU与外设并行工作，传送与主程序串行工作**
- **软硬件结合**

优点：节省CPU时间

缺点：不适合频繁数据传输（保存、恢复现场开销），时延较大

中断基本I/O接口：

- 接口
 - 设备选择器
 - BS接口忙标志
 - RD准备就绪标志
 - EI中断允许触发器
- CPU
 - IR中断请求触发器
 - IM中断屏蔽触发器

中断判优

- 硬件故障中断>软件中断
- 非屏蔽中断>可屏蔽中断
- DMA请求>I/O中断请求
- 高速>低速
- 输入>输出
- 实时>普通

中断向量地址：中断服务程序入口地址的地址

单级中断

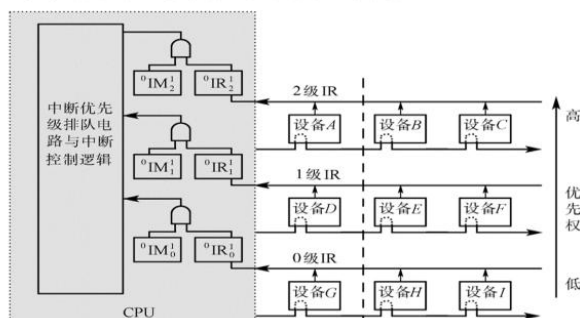
- 中断源同级（不允许嵌套），离CPU近的优先级高
- 基本流程：
 - 中断周期（中断隐指令）：响应中断→关中断→保存断点→中断服务子程序
 - 中断服务子程序：保护现场→中断事件处理→恢复现场→开中断→中断返回

多级中断

- 支持嵌套，但同一级中断不允许嵌套
- 采用硬件确定中断和中断源（独立请求+链式查询）
- 基本流程：
 - 中断周期（中断隐指令）：响应中断→关中断→保存断点→中断服务子程序
 - 中断服务子程序：保护现场和屏蔽字→开中断→中断事件处理→关中断→恢复现场和屏蔽字→开中断→中断返回
- 中断屏蔽寄存器
 - 改变多个中断服务程序执行完的次序
 - 改变优先级、响应优先次序、开始执行顺序

▼ 例题

- 二维中断系统如图所示，回答如下问题：

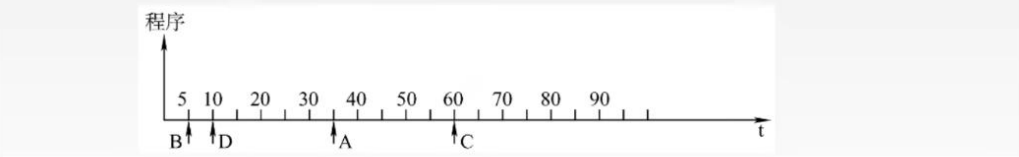


- 1) 在中断情况下，CPU和设备优先级排序情况
CPU优先级最低，设备优先级为A-B-C-D-E-F-G-H-I
- 2) CPU现执行设备B的中断服务程序，IM2-IM0的状态是？如果执行设备D的中断服务程序，IM2-IM0状态是？
设备B（最高优先级），IM0=1、IM1=1、IM2=1
设备D（次高优先级），IM0=1、IM1=1、IM2=0
- 3) IM2-IM0能否实现对具体单个设备进行屏蔽，若想实现，应采用什么方法
不可以，可通过程序设置各设备的接口EI（中断允许）标志
- 4) 若设备C提出中断请求，CPU立即响应，应如何调整
需增加第三级IR，仅将设备C至于第三级IR上，IM3优先级最高

设某机有4个中断源A、B、C、D，其硬件排队优先次序为A>B>C>D，现要求将中断处理次序改为D>A>C>B。

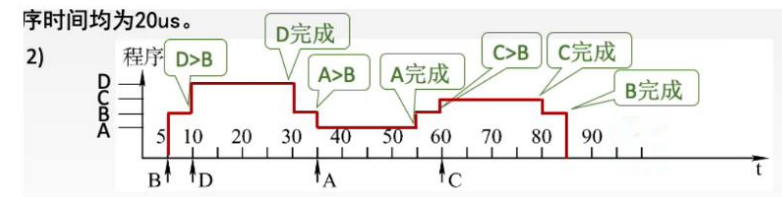
1) 写出每个中断源对应的屏蔽字。

2) 按下图所示的时间轴给出的4个中断源的请求时刻，画出CPU执行程序的轨迹。设每个中断源的中断服务程序时间均为20us。



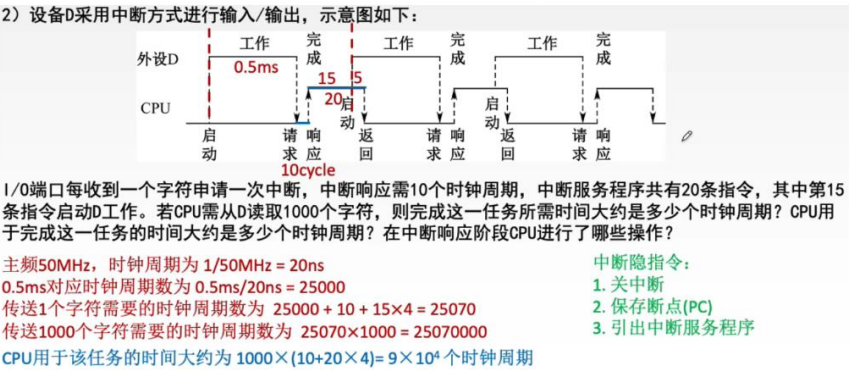
1)

中 断 源	屏 蔽 字				
	A	B	C	D	
A	1	1	1	0	中断源A的屏蔽字为1110
B	0	1	0	0	中断源B的屏蔽字为0100
C	0	1	1	0	中断源C的屏蔽字为0110
D	1	1	1	1	中断源D的屏蔽字为1111



假定CPU主频为50MHz，CPI为4。设备D采用异步串行通信方式向主机传送7位ASCII字符，通信规程中有1位奇校验位和1位停止位，从D接收启动命令到字符送入I/O端口需要0.5ms。请回答下列问题，要求说明理由。

1) 每传送一个字符，在异步串行通信线上共需传输多少位？在设备D持续工作过程中，每秒钟最多可向I/O端口送入多少个字符？



24. 若某设备中断请求的响应和处理时间为 100ns，每 400ns 发出一次中断请求，中断响应所允许的最长延迟时间为 50ns，则在该设备持续工作过程中，CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 **B**。
- A. 12.5% B. 25% C. 37.5% D. 50%
- $CPU用于I/O的时间 = \frac{中断响应时间}{中断请求周期} = \frac{100ns}{400ns} = 25\%$

▼ DMA方式（直接内存访问）

适用内存与高速外围设备之间大批量数据交换

- DMA特点：CPU与外设**并行**工作，传送与主程序**并行**工作

- 数据从内存到外存路径：内存→数据总线→DMAC→外设
- 以**响应随机请求**的方式
- 没有保存现场、恢复现场的工作
- 只能处理简单的数据传送
- 检测DMA请求是在**存储周期结束**
- **DMA方式的中断请求时为了报告CPU数据的传输结束**

优点：**数据传送速度快**，仅受内存访问时间限制

缺点：需要更多硬件

▼ 传送分配方式

1. 停止CPU访问内存

- 优点：控制简单，适用于数据传输率高的设备
- 缺点：DMA访内阶段，CPU空闲

2. 周期挪用方式

- DMA传一个数据，CPU暂停一个周期，然后继续执行

3. DMA与CPU交替访内

- 适用于CPU工作周期比内存存取周期长很多
- **不需要总线使用权的申请、建立和归还**

数据传输流程

预处理→正式传送（外设发送请求）→后处理

DMAC

1. 选择形DMAC：同一时间服务一个设备
2. 多路型DMAC：可同时工作，适用于同时服务多个慢速外围设备

▼ 例题

某CPU主频为500MHz，平均CPI为5，外设数据传输速率0.5MB/s。采用中断与主机数据传送，以32位为传输单位，对应中断服务程序包含18条指令，其他开销为2条指令。^{32bit=4B}

1) 中断方式下，CPU用于I/O时间占CPU时间百分比为？

一次传输CPU周期 $(18+2) * 5 = 100$ 周期

每秒次数： $0.5\text{MB}/4\text{B} = 0.125\text{M}$

CPU时间占比： $12.5\text{M}/500\text{M} = 2.5\%$

(2) 当该外设的数据传输率达到5 MB/s时，改用DMA方式传送数据。假定每次DMA传送块大小为5000 B，且DMA预处理和后处理的总开销为500个时钟周期，则CPU用于该外设I/O的时间占整个CPU时间的百分比是多少？（假设DMA与CPU之间没有访存冲突）

CPU用于外设I/O时间

每秒DMA次数： $5\text{M}/5000 = 1\text{k}$

中断 CPU执行中断时间

DMA开销时钟周期： $1\text{k} * 500 = 500\text{k}$

DMA 预处理 + 后处理

占比： $500\text{k}/500\text{MHz} = 0.1\%$

CPU 预处理 → DMA控制器 数据传送 → CPU 后处理