

EXÁMEN FINAL DE ARQUITECTURA DE COMPUTADORAS

ALUMNO:

- 1- Esquematizar un sistema basado en el microprocesador 8086 con los siguientes requerimientos:
- a- Banco de memoria ROM de 16 kilobytes, (16*8), expandible a 64 kilobytes. El banco de ROM debe ser diseñado en base a memorias de 16 kilobytes. La dirección inicial del bloque de ROM es a elección, pero se debe tener en cuenta, que el sistema debe arrancar, "bootear", desde un programa almacenado en ROM.
 - b- Banco de RAM de 256 kbytes, expandible a 512 kbytes, contruido en base a memorias de 64kbytes. La dirección inicial del banco de RAM es a elección pero se debe tener en cuenta que la tabla de direcciones asociadas a las interrupciones del sistema deben quedar cubiertas por la RAM.
 - c- Un controlador de interrupciones (PIC) 8259, mapeado en la dirección 20 (Hexa) de entrada salida.
 - d- Una UART 8250, ubicada en la dirección 80 (Hexa) de entrada salida. Se requiere que la UART pueda generar interrupciones al microprocesador via la linea IRQ2, del PIC.
 - e- Un timer, 8253, mapeado en la dirección 90 (Hexa) de entrada salida. Se requiere que el canal 0 del timer pueda dividir al reloj del sistema. La salida del timer 0, se utilizara como entrada de reloj de la UART.
 - f- Dibujar los circuitos utilizados en el mapeo y los mapas resultantes indicando si existen o no posiciones espejo.

2_ Para el sistema del problema anterior, asuma que el PIC 8259 se encuentra programado en un modo idéntico al de una PC, escriba líneas de código de un programa en "assembler" que permitan recibir 15 bytes de datos a través de la UART 8250 a 1200 baudios, y almacenarlos en una zona de memoria RAM. A continuación el programa debe ordenar los 15 bytes de menor a mayor y quedar en bucle infinito sin hacer nada.

NOTA: Para los alumnos que rinden recuperatorio, la UART recibe los datos en modo Polling. Para los alumnos que rinden examen final, La recepción de datos de la UART se hará a través de interrupciones generadas por la UART a la CPU.

3_ Segmentación encausada

- a) Defina el concepto cauces generales y el de tabla de reservas.
- b) Suponga que un determinado cauce con cuatro segmentos S1, S2, S3, S4, está caracterizado por la tabla de reservas que se adjunta, determinar:
 - b_1) La lista de latencias prohibidas y el vector de colision C.
 - b_2) Dibujar el diagrama de estados y determinar la mínima latencia media.
 - b_3) Cual es la productividad del cauce?

S1	X					X	
S2			X				X
S3		X		X			
S4			X		X		

4_ Para alumnos que rinden final:

Multiprocesamiento:

Desarrollar el tema "Redes Multietapa para Multiprocesadores", (Puede utilizar los gráficos de las transparencias, y referirse a los mismos utilizando la misma notacion que las transparencias, sin necesidad de dibujarlos).

NOTA: Para los alumnos que rinden recuperatorio, desarrollar el tema, "Redes de interconexión en cubo", de procesadores matriciales.