

Final de Arquitectura del Computador

1. Desarrollar un programa "assembly" para una arquitectura PC standard que permita recibir 16 bytes, por el puerto serie. El formato de los datos recibidos es 8 bits, 1 stop bit, sin paridad a 1200 baudios. La recepción de datos debe hacerse utilizando el sistema de interrupciones de la PC. Los datos recibidos deberán ser almacenados consecutivamente en un cierto arreglo buff de manera tal que el primer dato recibido ocupe la posición cero de buff, el segundo la posición uno de buff y así sucesivamente hasta la posición 15 de buff. A continuación el siguiente byte recibido es sumado con el dato guardado en la posición cero de buff si el bit 7 del byte recibido es uno y restado si el bit 7 es cero. El resultado de esta suma/resta (sin tener en cuenta el carry/borrow) es almacenado en la misma posición. El siguiente byte recibido es procesado de manera similar pero utilizando la posición uno de buff y así sucesivamente hasta alcanzar la posición 15. Finalmente el programa transmite por interrupciones los 16 resultados almacenados en buff.

2. Procesamiento Matricial :

- a) Dibuje un diagrama esquemático de una red recirculante monocapta que permita implementar la topología de un cubo 4, (para permitir la interconexión de 16 elementos de procesadores). Para la implementación de dicha red se debe utilizar circuitos demultiplexores y multiplexores.
- b) Enumere y describa las funciones de encañinamiento que especifican a dicha red.
- c) ¿Cuántas señales son necesarias para controlar a cada multiplexor y demultiplexor individualmente?
- d) ¿Se podría reducir el número de señales de control para esta red cubo? Si su respuesta es afirmativa, indique cómo.
- e) De 2 ejemplos de cómo se utilizarían las señales de control de la red para implementar dos funciones de encañinamiento.

3. Multiprocesamiento:

- a) Desarrollar el tema "buses" comunes o de tiempo compartido para multiprocesadores.

*Handwritten notes and diagrams:*

*11*

*8 211*

*7*

*Buff[1-16]S*