

### **Examen Virtual de Organización del computador Modalidad Manuscrito**

Por favor firmar todas las ojas y Se les recuerda a los estudiantes que, según la resolución RD-2020-197-E-UNC-DEC#FAMAF, en el examen en la modalidad manuscrito, el/la estudiante, deberá firmar todas las hojas de su examen antes de digitalizarlo y enviarlo para su corrección. Al final del mismo deberá introducir la leyenda "Por la presente declaro que la resolución de este examen es obra de mi exclusiva autoría y respetando las pautas y criterios fijados en los enunciados. Asimismo declaro conocer el régimen de infracción de los estudiantes cuyo texto ordenado se encuentra en el apéndice de la Res. Rec. 1554/2018", con una foto de su Documento Nacional de Identidad, ocultando su número de trámite, en carácter de Declaración Jurada.

**Enviar por email apenas finalizado el examen a [pablo.ferreyra@unc.edu.ar](mailto:pablo.ferreyra@unc.edu.ar)**

1) (2 Puntos)

a) Expresar el número -27,187 en binario mediante el formato IEEE754. b) Mostrar el contenido de los distintos campos del formato en binario.

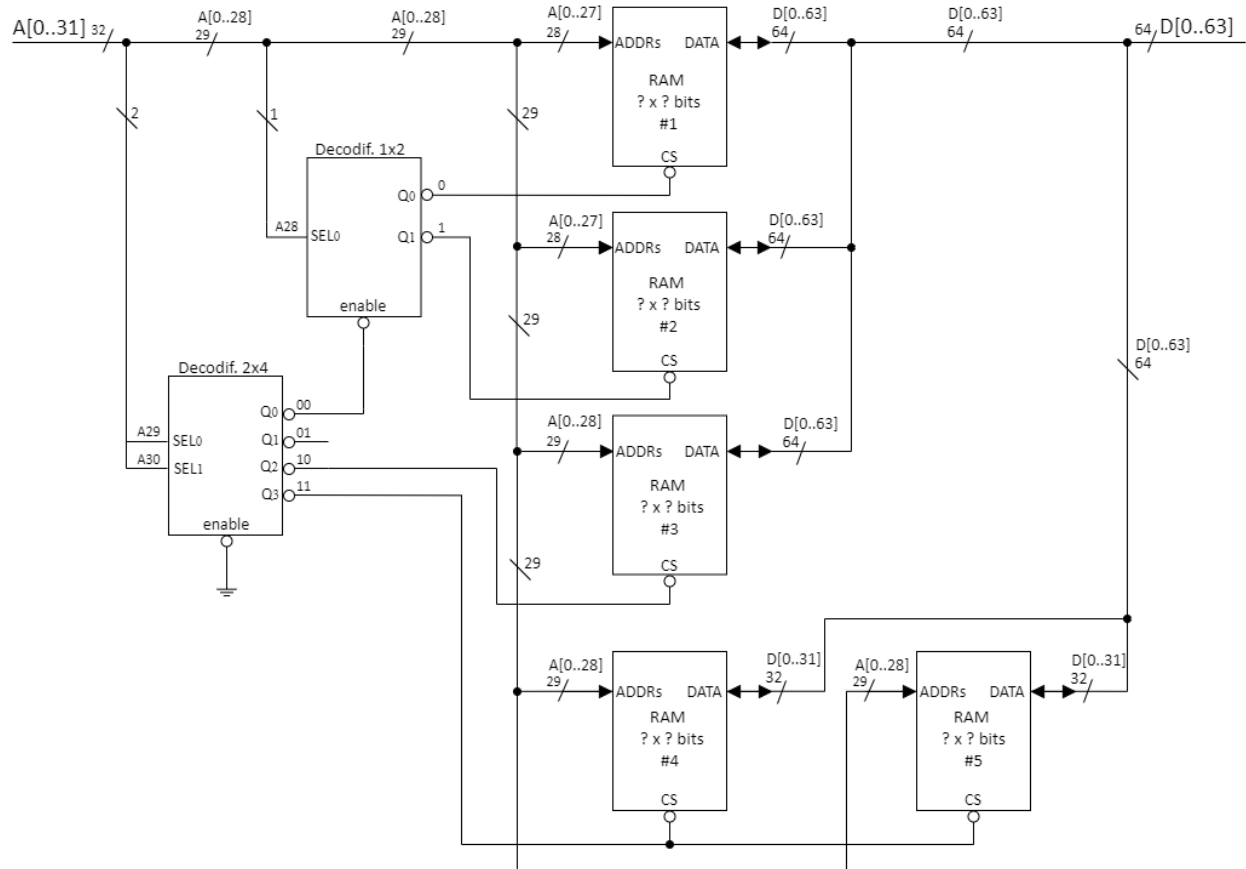
2)

Diseñar un circuito de registros de 4 bits que cumpla con el siguiente comportamiento:

00	Retención del dato
01	Salida en serie
10	Entrada en serie
11	Reset

Cuando el circuito debe retener los datos, cada flip-flop debe mantener en su salida el mismo dato aunque la entrada se modifique. En la salida en serie, los datos almacenados salen por el pin serial\_out e ingresan ceros a medida que el dato va saliendo. En la entrada en serie, ingresan datos nuevos por el pin serial\_in y la salida (serial\_out) debe permanecer en cero. Finalmente, en *reset* todos los datos almacenados son reemplazados por ceros en el mismo ciclo de reloj.

3) Basados en el sistema de memoria de la figura:



Se pide:

- Indicar el tamaño de cada bloque de memoria (RAM #1, #1, #2, #3, #4, #5) expresado en cantidad de palabras x ancho de palabra en bits.
- Dibujar el mapa de memoria implementado, indicando la dirección de inicio y final de cada bloque.
- Indicar si esta implementación presenta posiciones imagen o espejo. De ser así, indicar su ubicación en el mapa y a que bloque real corresponden.
- Calcular la capacidad total (expresada en bytes) de memoria **implementado** (no se consideran las posiciones imagen)

4)

Diseñar un circuito secuencial que mediante una entrada **on/off** produzca la siguiente secuencia de salida: 5,3,7,5. Notar que la secuencia inicia y termina con la misma salida. Funcionamiento: Si **on/off** = '1', la secuencia avanza normalmente, si la entrada (**on/off**) vale '0', la secuencia se reinicia, sin importar en qué estado se encuentre, vuelve al estado inicial y permanece en ese estado hasta que la señal vuelva a ser '1'. Ej: ...(**on/off** = '1') 5, 3, 7, **5, 5**, 3, 7, (**on/off** = '0') 5, 5, 5, 5, 5, (**inc** = '1') 3, 7, **5, 5**, 3, 7 ...

Se pide:

- Diagrama de estados

- b) Tablas de transición de estados y de salida
- c) Simplificar mediante diagramas de Karnaugh todas las funciones que lo permitan
- d) Implementar los circuitos de transición de estados únicamente utilizando compuertas NAND de cualquier número de entradas.
- e) Implementar los circuitos de salida mediante el uso de una PLA.

5)

Decidir cuáles de las siguientes instrucciones en assembler se pueden codificar en código de máquina LEGv8. Explique qué falla en las que no puedan ser ensambladas.

1. ORR X30, X30, X30
2. LSR X0, X0, -3
3. SUBI XZR, X0, 0xFFF
4. LDUR X16, [X16, #-16]
5. AND X12, X22, X32
6. MOVK X30, 65535, LSL 48
7. EORI X1, X2, -8
8. STURW X20, [X21, #5]
9. LSL X0, X1, 0x7F
10. MOVZ X31, 0, LSL 31