

Examen final ODC 09/02/2024

1)

Hacer un circuito que devuelva el resultado de la division del input por 4. (4 bits de input)

2)

Diseñar memoria de 22 bits de direcciones y 16 de bus de datos. 256kbytes de ROM en posiciones bajas y 512 kbytes de RAM en posiciones altas. El resto espacio sin implementar. (Ojo que es de 16 el bus de datos)

3)

Circuito que si la señal de control es 0 realiza el siguiente patron:

3, 4, 5, 3, 4, 5, 3, 4, 5, ...

Si la señal es 1 realiza:

5, 4, 3, 5, 4, 3, 5, 4, 3, ...

Al cambiar la señal de control cambia el sentido sin importar el último valor de salida. (No se "resetea")

4)

Realizar de tres formas distintas un delay loop con legv8.

5)

Ensamblar para .org 0x2000 y para .org 0xC00000.

```
MOVZ X0, #0xFFFF, LSL #0
```

```
LOOP: CBZ X0, EXIT
```

```
    SUBI X0, X0, #1
```

```
    B LOOP
```

```
EXIT:
```

6)

Modificar arquitectura y completar tabla para una nueva instrucción DBNZ. (Decrement and branch if not zero)