

10 (Diez)

Organización del Computador 2019

PARCIAL 1 - Tema A

Bordon, Mauro E

### Ejercicio 1

Un circuito combinacional tiene cuatro entradas y una salida. Los cuatro bits de entrada representan 2 números enteros sin signo, de dos bits cada uno ( $A_1, A_0$  y  $B_1, B_0$ ). La salida  $P$  toma valor '1' si la suma ( $A+B$ ) da como resultado un número impar.

- Construir la tabla de verdad del circuito.
- Encontrar la expresión minimizada de  $P$  utilizando mapas de Karnaugh.
- A partir de la expresión minimizada como suma de productos, obtener una expresión equivalente para su implementación con compuertas NAND.
- Implementar la expresión obtenida en el punto (c) utilizando sólo compuertas NAND, de la cantidad de entradas necesarias.

### Ejercicio 2

Se requiere la implementación del bloque *TX Buffer* de un puerto serial a partir de un *shift register* de 4 bits con entrada paralela ( $IN_{3:0}$ ) y salida en serie ( $OUT$ ) a partir del siguiente diagrama. Este bloque posee además dos entradas de control ( $CHRG$  y  $TX$ ).

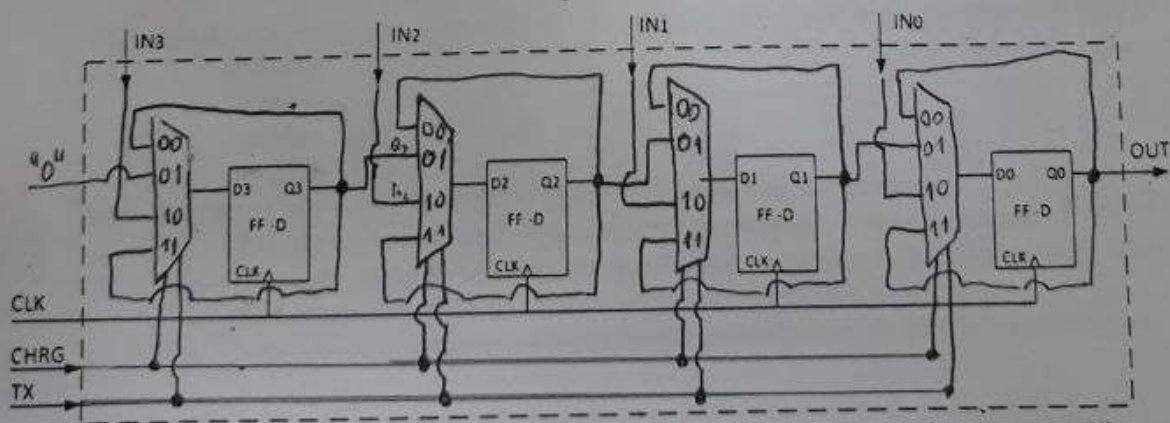
**FUNCIONAMIENTO:** Mientras las entradas de control sean  $CHRG = '0'$  y  $TX = '0'$ , el registro permanece en estado de **retención**, es decir que no debe variar el valor almacenado en las salidas de los FF-D ante la ocurrencia de ciclos de CLK.

Si  $CHRG = '1'$  y  $TX = '0'$ : Fase de **precarga**, ante la ocurrencia de un ciclo de CLK se debe registrar a través de las entradas  $IN_{3:0}$  el dato a ser enviado.

$CHRG = '0'$  y  $TX = '1'$ : Fase de **envío**, ante la ocurrencia de un ciclo de CLK se debe desplazar el dato registrado 1 lugar hacia la derecha (salida  $OUT$ ). Durante esta fase los datos que ingresan al *shift register* deben ser '0's.

Si bien la combinación  $CHRG = '1'$  y  $TX = '1'$  no está permitida, por cuestiones de seguridad el sistema debe comportarse como si estuviera en estado de retención.

Para realizar su implementación es posible agregar cualquier circuito combinacional o compuerta lógica, sin embargo, no está permitido alterar las conexiones existentes en el diagrama.



### Ejercicio 3

Un sistema secuencial tiene como entrada **B** un número de 2 bits ( $B_1, B_0$ ) y una salida **S**. La salida es igual a '1' cuando a la entrada se registra la secuencia 1 ("01") - 2 ("10") en forma CONSECUTIVA. La salida **S** vuelve al estado inicial '0' solo cuando en la entrada se registra la secuencia 3 ("11") - 0 ("00") en forma consecutiva o no consecutiva.

Realizar el diagrama de estados de este sistema secuencial utilizando la menor cantidad posible de estados.

### Ejercicio 4

Diseñar un circuito secuencial que genere en su salida la siguiente secuencia:

1 - 2 - 4 - 7 - 1 - 2 - 4 - 7...

El sistema debe poseer 3 bits de salida (1= "001", 2= "010", 4= "100", 7= "111").

- Construir las tablas de verdad del combinacional de estados y el combinacional de salida.
- Obtener las expresiones de las funciones de salida de ambos combinacionales como suma de productos.
- Construir el circuito completo utilizando Flip-Flop D y elementos de lógica combinacional.

### Ejercicio 5

- Convertir de punto flotante en formato IEEE 754 de precisión simple a decimal:

$$11000001111001101000000000000000 = \underline{-23,8125}$$

- Expresar en formato IEEE 754 de precisión simple el +infinito. Expresar el resultado en codificación hexadecimal:

$$0x \underline{7F800000}$$