

Parcial 1: Organización del Computador

28-04-2023

1)

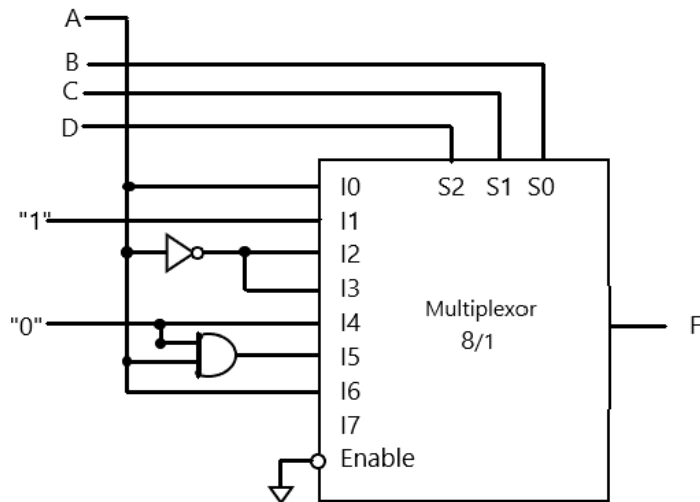
Transformar el número de punto flotante formato IEEE754 (expresado en hexadecimal) a decimal: **0xFFDA3200**

Transformar el número decimal a punto flotante formato IEEE754 y expresarlo en hexadecimal:
-1745.5625

- 2) A partir de la expresión de la función F obtener una expresión equivalente para su implementación con compuertas NAND (No implementar las compuertas) Completar la tabla con el postulado o teorema correspondiente. No puede tomar más pasos que la tabla (podría tomar menos)

Px/Tx	F
	$F = B(A + C * D) + \overline{(A * B * D)}$

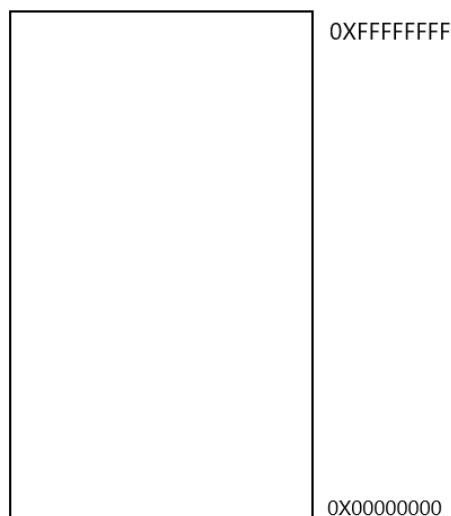
- 3) Evaluar el circuito y completar la función canónica de F como suma de productos. Hacer el análisis considerando el siguiente orden de las entradas: DCBA.



- 4) A partir de la tabla obtener:
- La función canónica de F1 como producto de maxitérminos.
 - La función minimizada de F1 mediante el método de Karnaugh como suma de minitérminos.
 - La función canónica de F2 como suma de minitérminos.

ABCD	F1	F2
0000	1	0
0001	1	0
0010	0	0
0011	1	0
0100	1	0
0101	0	1
0110	0	0
0111	1	0
1000	1	1
1001	1	0
1010	0	0
1011	1	1
1100	1	0
1101	0	0
1110	1	0
1111	0	1

- 5) Considerando el sistema de memoria implementado en la figura de la siguiente página:
- Completar las líneas de puntos del diagrama con la cantidad de señales involucradas y su denominación.
 - Dibujar el mapa de memoria especificando la dirección de inicio y en cada segmento. Indicar cuando se trata de segmentos imagen o espejo.



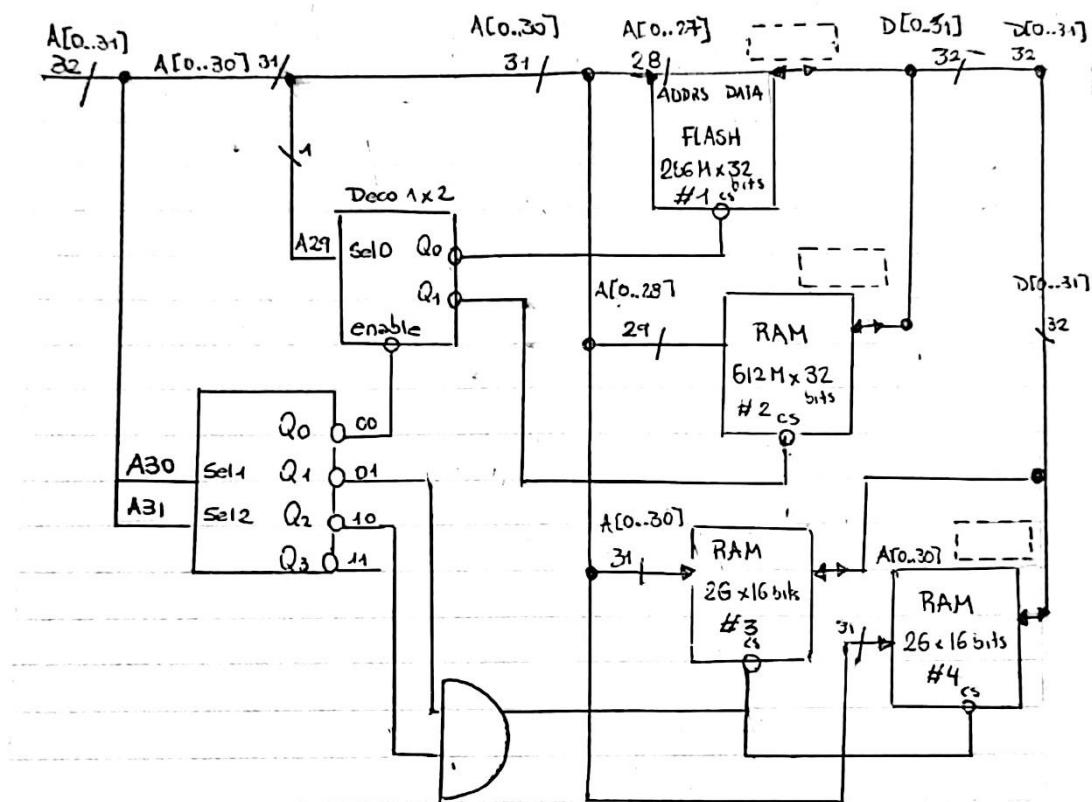
- Calcular el espacio direccionable en palabras de 32 bits.
- Responder V o F**

El sistema presenta posiciones imagen o espejo _____

El sistema solo posee conexiones en serie _____

La memoria Flash está ubicada en las posiciones más bajas de la memoria _____

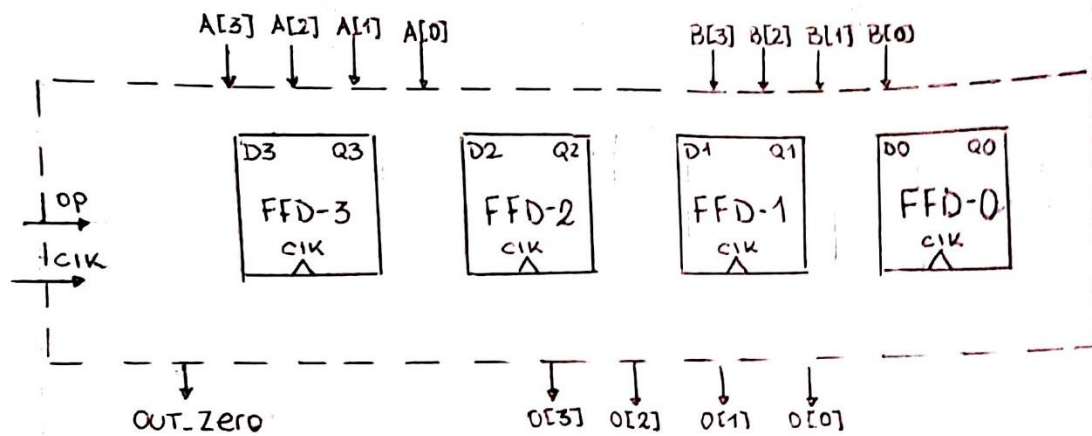
El decodificador manejado por A29 divide un segmento de 512M palabras en dos segmentos de 256M palabras c/u _____



- 6) Se pretende diseñar una unidad lógica cuya salida se almacene en un registro de 4 bit, de entrada y salida en paralelo. Se cuentan con dos entradas de 4 bits: A y B, mediante la señal **op** (de un bit) se debe seleccionar y en los registros se debe almacenar:
- _ op = 0: **A and B** (Out0 = A0 * B0; Out1 = A1 * B1; ... etc.)
 - _ op = 1: **Not A**

Además, debe generarse una salida extra que se ponga en uno cuando todos los bits almacenados sean ceros.

Aclaraciones: Todas las operaciones lógicas son bit a bit. El diagrama debe realizarse a continuación; agregar las entradas y las salidas que considere necesarias.



- 7) En la figura se muestra la implementación de un circuito secuencial usando flip-flops tipo D. Dibujar en el recuadro el diagrama de estados a partir del cual se obtuvo esta implementación usando el modelo de Moore. Tené en cuenta que los estados están codificados en binario, en orden, comenzando en cero.

