

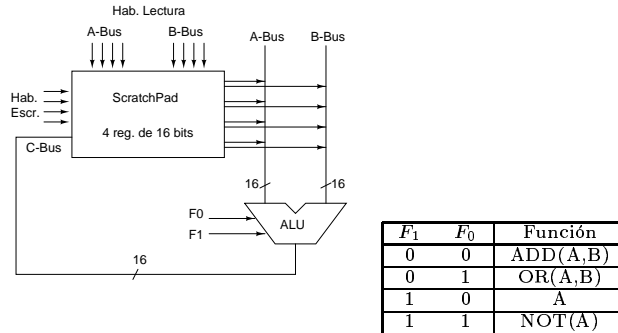
# Organización del Computador

## Parcial 3

B. Gonzalez Kriegel - N. Wolovick

20 de Junio de 2000

1. Para el siguiente *datapath* obtenga la *secuencia de control* para realizar la operación  $r_0 \leftarrow r_0 \oplus r_1$ .

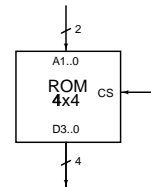


La secuencia de palabras de control deberá ser dada en formato nemotécnico  $r_{escr} \leftarrow op(r_{busA}, r_{busB})$  y en formato binario como se muestra a continuación:

BusA		BusB		BusC		ALU	
1	0	1	0	1	0	$F_1$	$F_0$

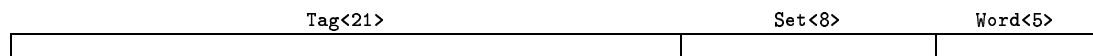
2. Se quiere implementar las funciones booleanas  $A, B, C, D : \mathbf{B}^3 \rightarrow \mathbf{B}$  ( $X \rightarrow \text{lsb}$ ) usando una tabla de búsqueda (*lookup-table*) en memoria de sólo lectura utilizando ROMs de 4 palabras y 4 bits por palabra ( $4 \times 4$ ).

$$\begin{aligned}
 A(X, Y, Z) &= \sum m(1, 2, 4, 6) \\
 B(X, Y, Z) &= \sum m(0, 1, 6, 7) \\
 C(X, Y, Z) &= \sum m(2, 6) \\
 D(X, Y, Z) &= \sum m(1, 2, 3, 5, 7)
 \end{aligned}$$



- (a) Diseñe una ROM de  $8 \times 4$  con entradas  $A_2 \dots 0$ ,  $CS$  y salidas  $D_3 \dots 0$  utilizando ROMs de  $4 \times 4$  como la que se muestra arriba más un decodificador externo.
- (b) Conecte las entradas y salidas de las funciones que se quieren implementar a la ROM construída en el punto anterior y muestre en formato de tabla binaria locación/valor ( $A_1 A_0, D_3 D_2 D_1 D_0$ ) el contenido de las ROMs de  $4 \times 4$  que harían que el circuito implemente las funciones  $A, B, C, D$ .

3. El subsistema de memoria cache de nivel 1 para datos del microprocesador Alpha 21064 divide la dirección de memoria de 34 bits en campos *tag*, *set* y *word* de la siguiente manera:



Tomando en cuenta que la asociatividad es 1, o sea mapeo directo, calcule:

- (a) Cantidad de ranuras (b) Cantidad de bytes por ranura que almacena, teniendo en cuenta que cada palabra es de un byte (c) Tamaño total de almacenamiento de la caché en kBytes (d) Tamaño total en bits de cada línea, teniendo en cuenta los campos *valid* y *tag* asociados a cada ranura (el campo *dirty* no es necesario porque esta cache implementa la política *write-through*).