

基本组合、时序逻辑电路实验（第1次课）

2022.9



哈尔滨工程大学计算机实验教学中心

基本组合、时序逻辑电路实验

实验目的

- 熟悉Quartus Prime开发环境及开发流程
- 掌握Quartus Prime中VHDL文本输入设计方法
- 熟悉FPGA实验台的功能和使用方法

基本组合、时序逻辑电路实验

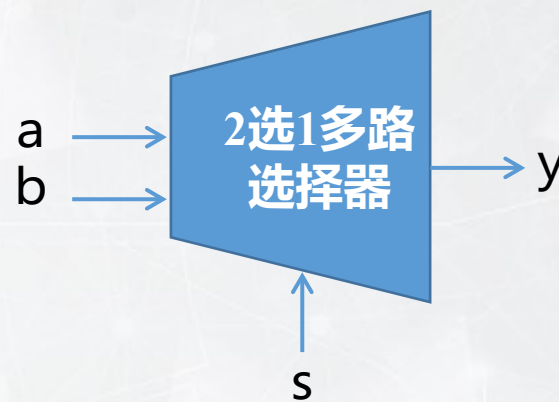
实验内容

利用Quartus Prime完成2选1多路选择器的文本编辑输入，采用VHDL硬件描述语言设计2选1多路选择器电路 (`mux21a.vhd`)。完成波形图仿真。给出2选1多路选择器仿真波形。最后在FPGA实验台上进行硬件测试，验证2选1多路选择器的功能。

2选1多路选择器

2选1多路选择器真值表

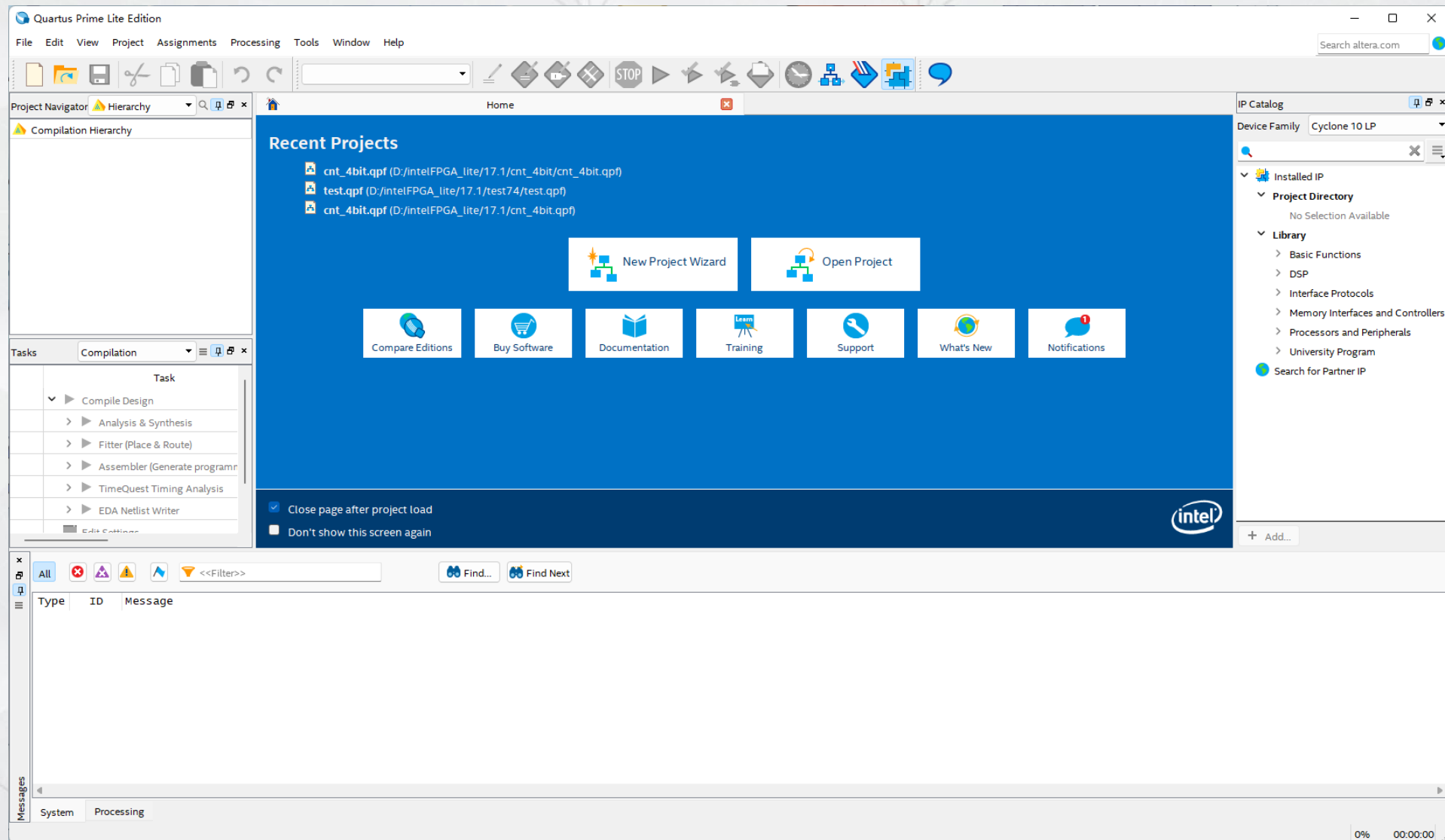
输入			输出
a	b	s	y
0	0	0	0
0	1	0	0
1	0	0	1
1	1	0	1
0	0	1	0
0	1	1	1
1	0	1	0
1	1	1	1



2选1多路选择器接口描述

当通道控制信号 $s=0$ 时，选择输入信号 a 通道的数据送到输出端 y 。
当通道控制信号 $s=1$ 时，选择输入信号 b 通道的数据送到输出端 y 。

Quartus Prime软件操作界面



Quartus Prime软件操作界面

编译

编程

框图编辑窗口

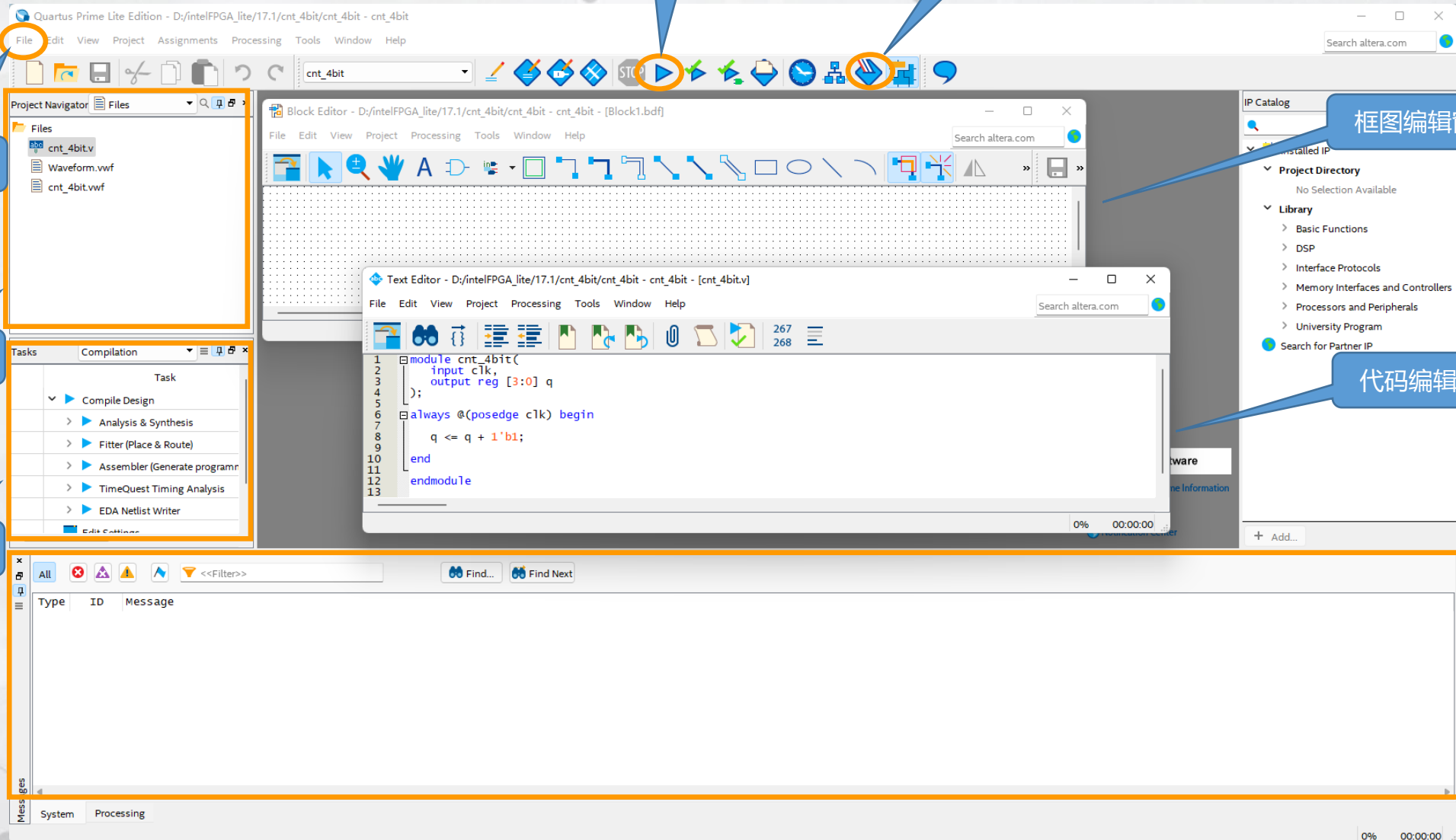
代码编辑窗口

信息窗口

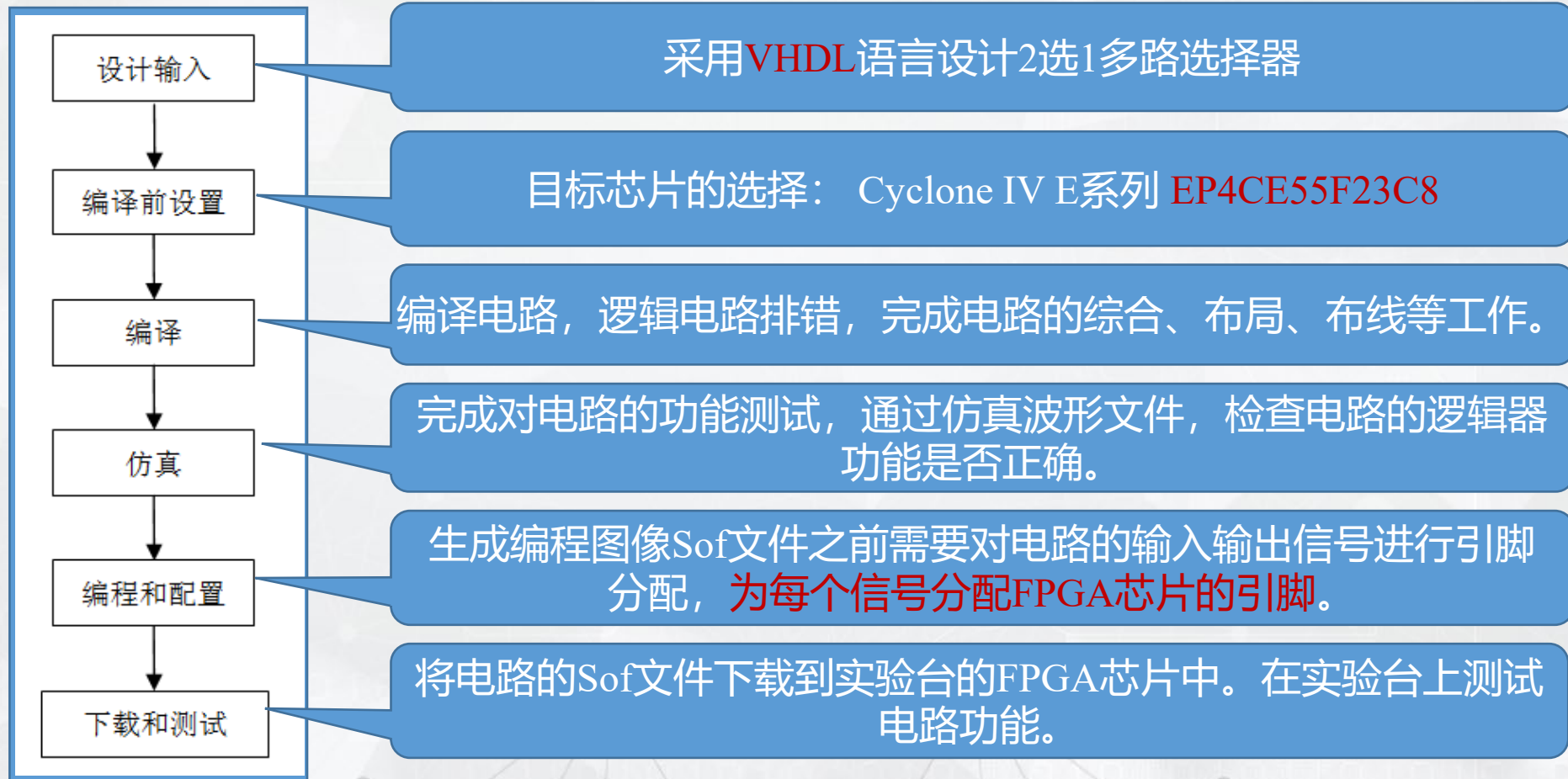
文件-新建工程

工程导航窗口

任务流程窗口



2选1多路选择器设计步骤



第1步：设计输入

采用VHDL语言设计2选1多路选择器

主菜单“File”→

“New Project Wizard”项，
新建工程，工程名mux21a
D:\CompterLabs\mux21a

新建VHDL文件

输入2选1多路选择器VHDL代
码 保存mux21a.vhd

工程文件夹，不要含空格，中文路径，每个工程单独建文件夹

Directory, Name, Top-Level Design Entity

What is the working directory for this project?

D:\intelFPGA_lite\17.1\mux21a

What is the name of this project?

mux21a

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

mux21a

Use Existing Project Settings...

实体名

工程名，不要和元器件重名

工程名与实体名保持一致

< Back Next > Finish Cancel Help

第1步：设计输入

新建VHDL文件*.vhd

新建工程

工程名mux21a

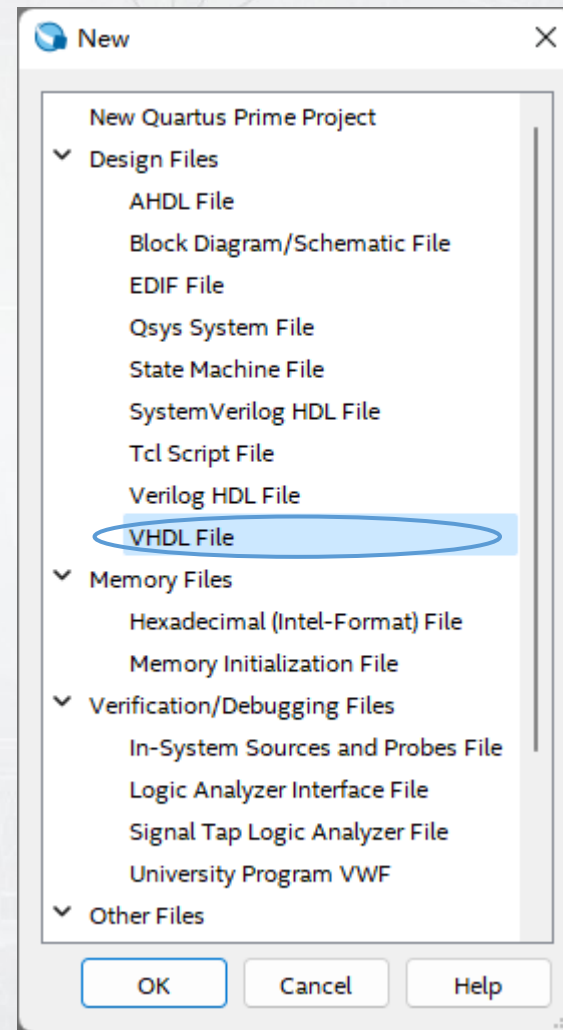
D:\CompterLabs\mux21a

主菜单“File”→

“New”项，新建VHDL文件

输入2选1多路选择器VHDL

代码 保存mux21a.vhd



第1步：设计输入

采用VHDL语言设计2选1多路选择器

新建工程

工程名mux21a

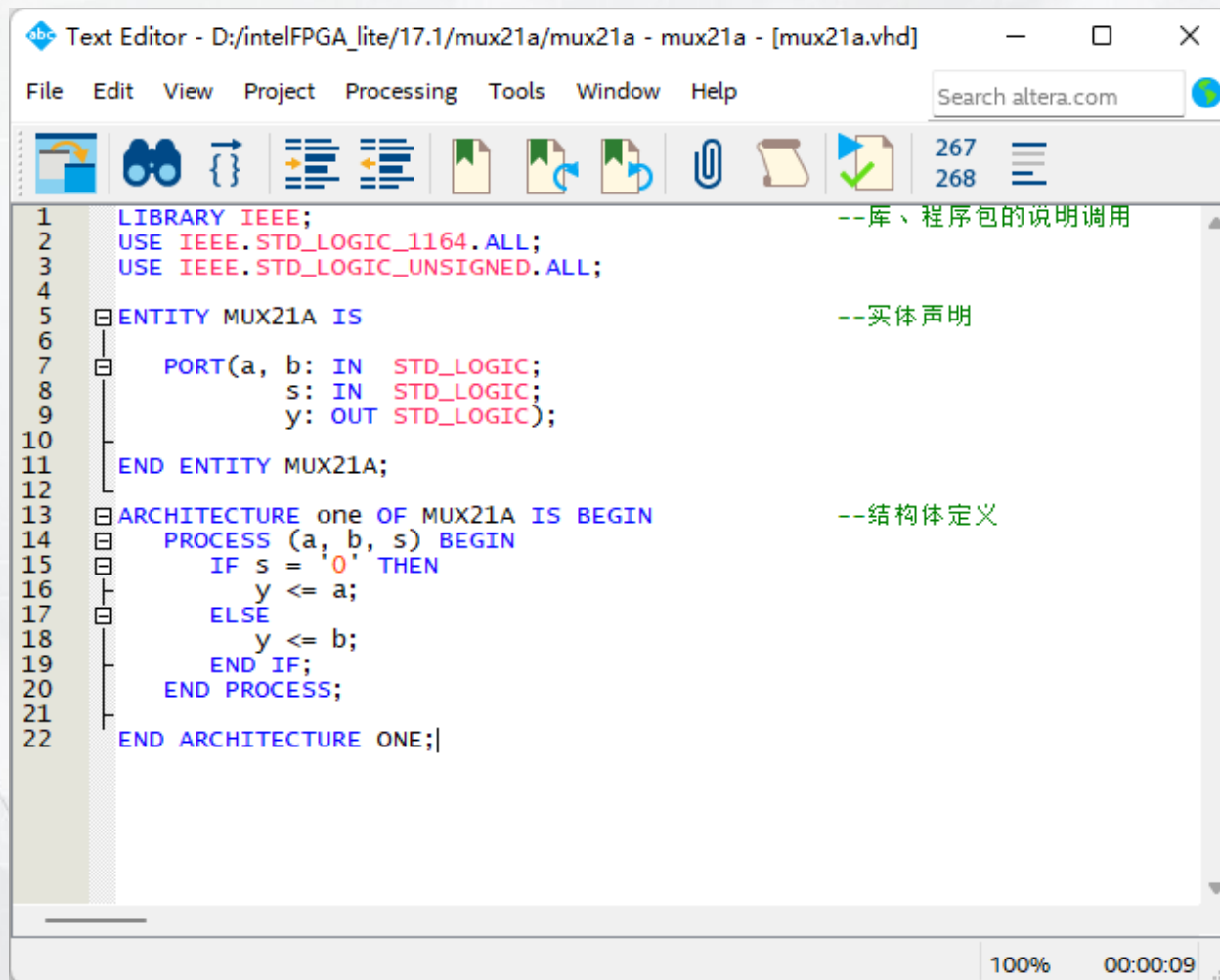
D:\CompterLabs\mux21a

主菜单“File”→

“New”项，新建VHDL文件

输入2选1多路选择器VHDL

代码 保存mux21a.vhd



```
1  LIBRARY IEEE;                                --库、程序包的说明调用
2  USE IEEE.STD_LOGIC_1164.ALL;
3  USE IEEE.STD_LOGIC_UNSIGNED.ALL;
4
5  ENTITY MUX21A IS                                --实体声明
6
7  PORT(a, b: IN  STD_LOGIC;
8        s: IN  STD_LOGIC;
9        y: OUT STD_LOGIC);
10
11  END ENTITY MUX21A;
12
13  ARCHITECTURE one OF MUX21A IS BEGIN            --结构体定义
14  PROCESS (a, b, s) BEGIN
15  IF s = '0' THEN
16  y <= a;
17  ELSE
18  y <= b;
19  END IF;
20  END PROCESS;
21
22  END ARCHITECTURE ONE;
```

第2步：编译前设置

目标芯片的选择：Cyclone IV E系列 **EP4CE55F23C8**

主菜单

“Assignments” →
“Device”项

输入器件参数

Cyclone IV E

Pin count: 484

Speed grade: 8

目标芯片的选择:

Cyclone IV E

EP4CE55F23C8

Device

Device Board

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: Cyclone IV E

Device: All

Show in 'Available devices' list

Package: Any

Pin count: 484

Core speed grade: 8

Name filter:

Show advanced devices

Device and Pin Options...

Target device

Auto device selected by the Fitter

Specific device selected in 'Available devices' list

Other: n/a

Available devices:

Name	Core Voltage	LEs	Total I/Os	GPIOs	Memory Bits	Embedded multiplier 9-bit elements	PLLs	I/Os
EP4CE40F23C8	1.2V	39600	329	329	1161216	252	4	20
EP4CE55F23C8	1.2V	55856	325	325	2396160	308	4	20
EP4CE75F23C8	1.2V	75408	293	293	2010000	400	4	20
EP4CE115F23C8	1.2V	114480	281	281	3981312	532	4	20

Migration Devices... 0 migration devices selected

Buy Software OK Cancel Help

第3步：编译

编译电路，逻辑电路排错，

主菜单“Processing” →
“Start Compliation”项，
启动编译

主菜单“Processing” →
“Compilation Report”
项，
查看编译报告

主菜单“Tools” →
“Netlist Viewers”
→ “RTL Viewer”项，

查看RTL电路图

第3步编译电路，逻辑电路排错，完成电路的综合、布局、布线等工作。可以通过主菜单

“Processing” →

“Start Compliation”项，

启动编译，在信息窗口可以查看编译出错或者成功等信息。

主菜单“Processing”下面还有Netlist Viewers选项，可以查看编译报告，还有“Netlist Viewers”项，可以查看RTL电路图

第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器件功能是否正确。

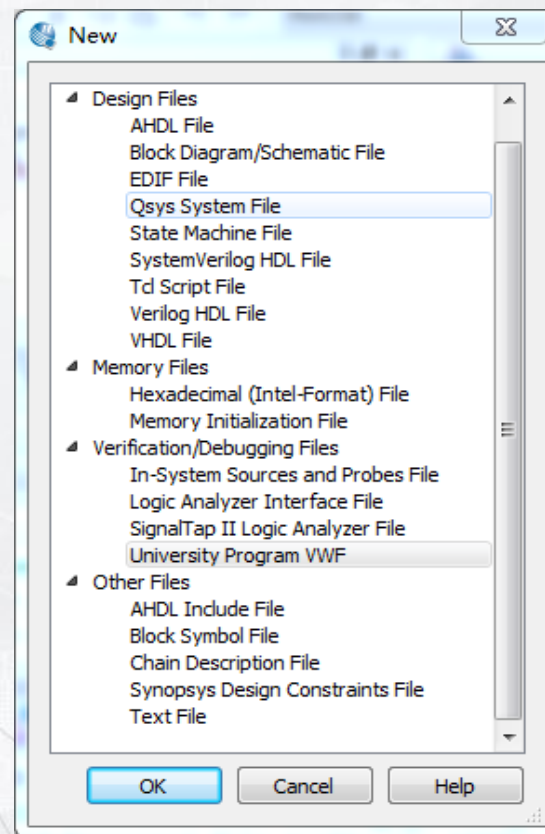
主菜单“File”→“New”项，选择
University Program VWF，建立仿真
波形文件 *.vwf，打开波形编辑器

设置仿真时间

添加输入输出端口，

设置输入信号值

运行仿真



第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

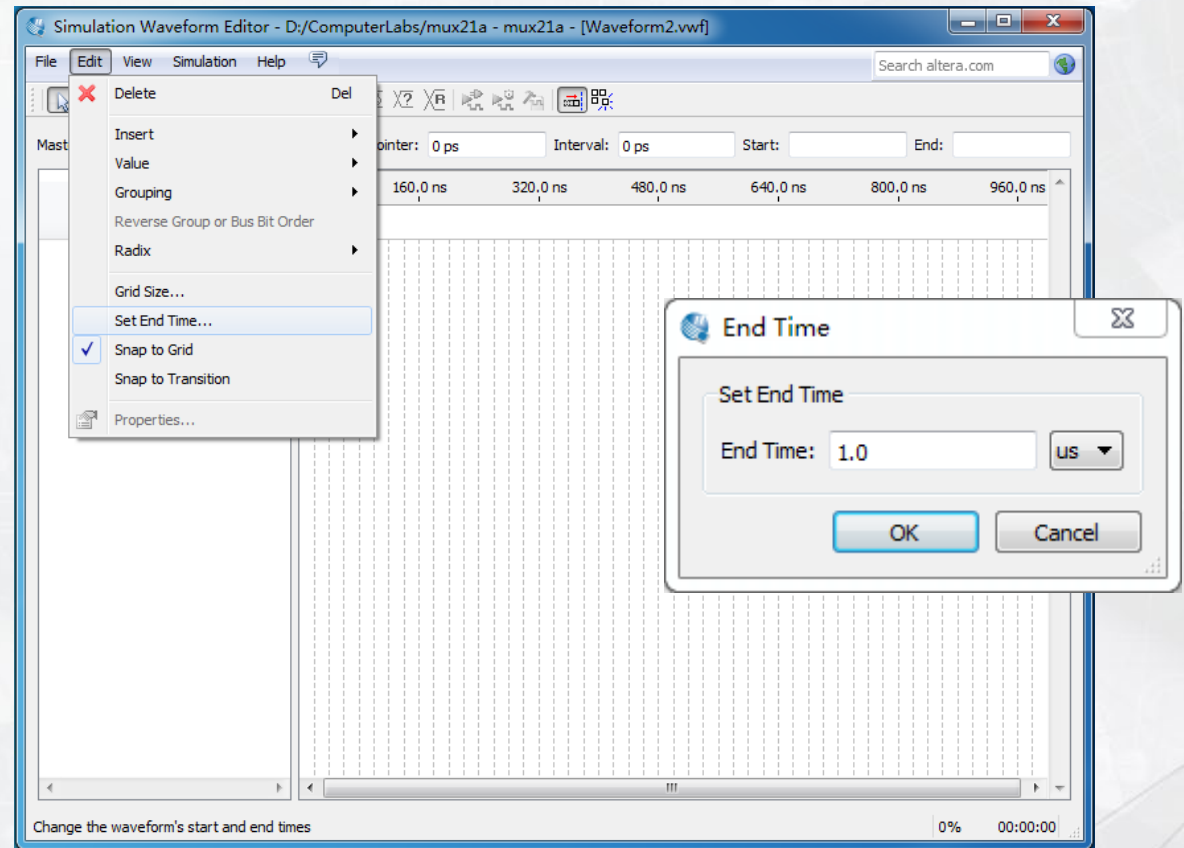
建立仿真波形文件 *.vwf
打开波形编辑器

波形编辑器主菜单“Edit”→
“Set End Time”项，
设置仿真时间

添加输入输出端口

设置输入信号值

运行仿真，观察仿真波形图



第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

建立仿真波形文件 *.vwf

打开波形编辑器

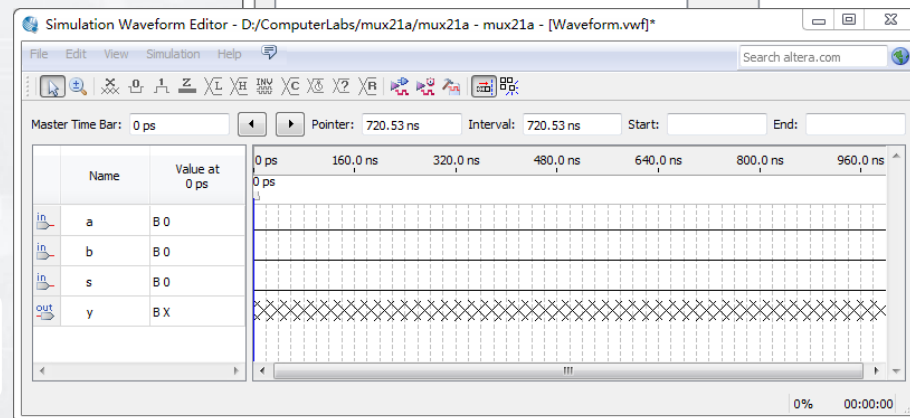
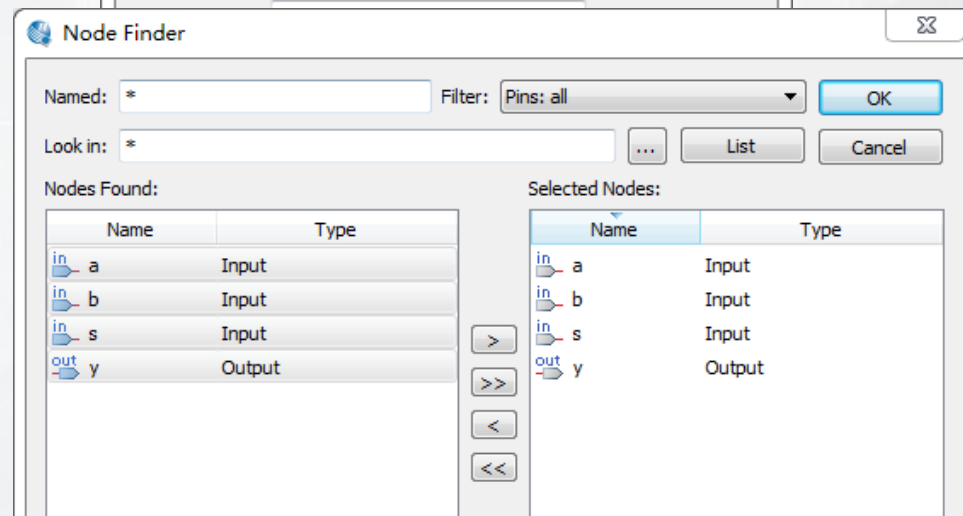
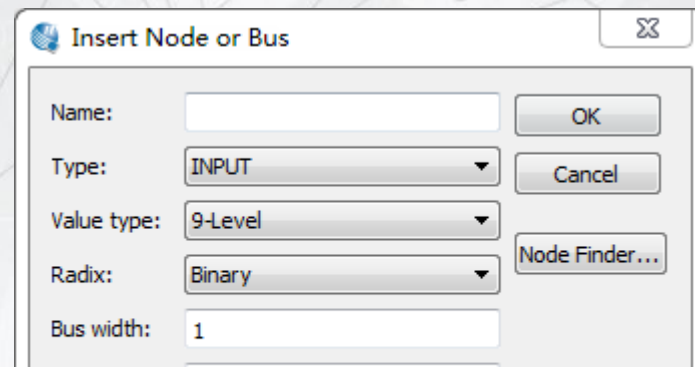
设置仿真时间

添加输入输出端口，波形编辑器菜单“Edit” →

“Insert”→“Insert Node or Bus”

设置输入信号值

运行仿真，观察仿真波形图



第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

建立仿真波形文件 *.vwf

设置仿真时间

添加输入输出端口

设置输入信号值

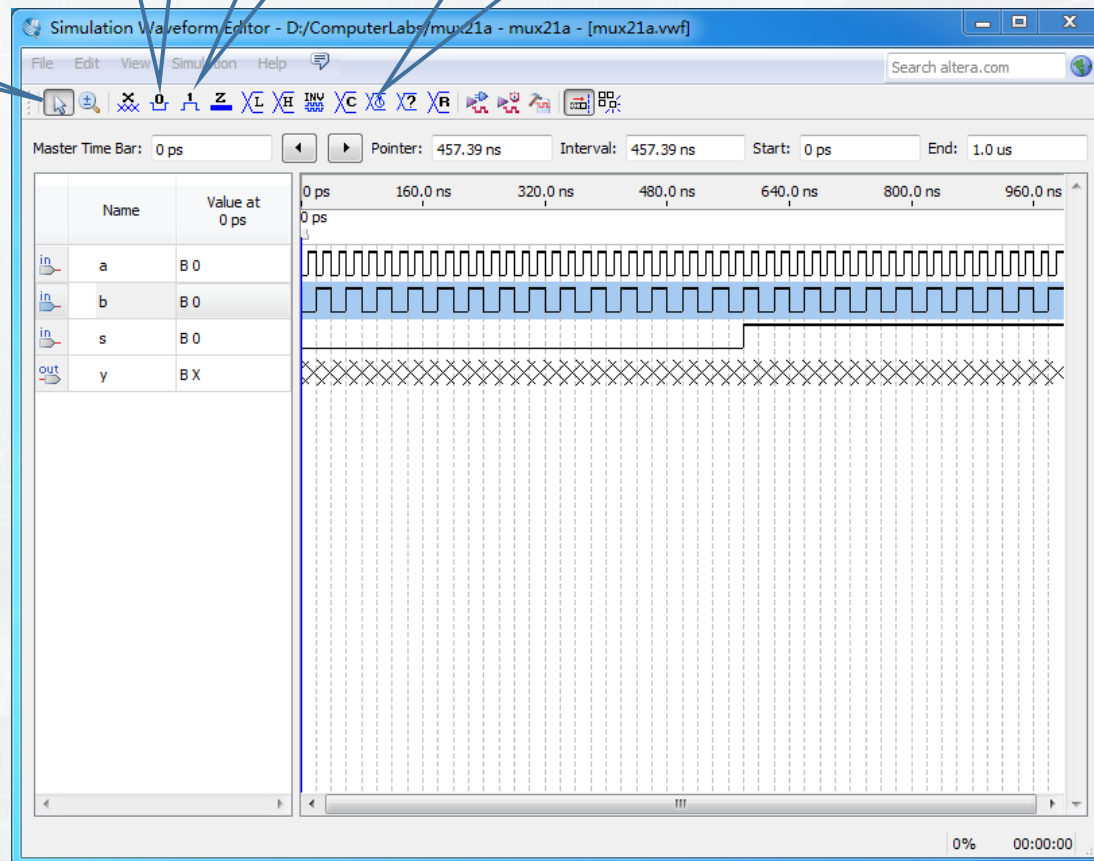
运行仿真，观察仿真波形图

选择工具

低电平

高电平

时钟/周期信号



第4步：仿真

完成对电路的功能测试，通过仿真波形文件，检查电路的逻辑器功能是否正确。

建立仿真波形文件 *.vwf

设置仿真时间

添加输入输出端口

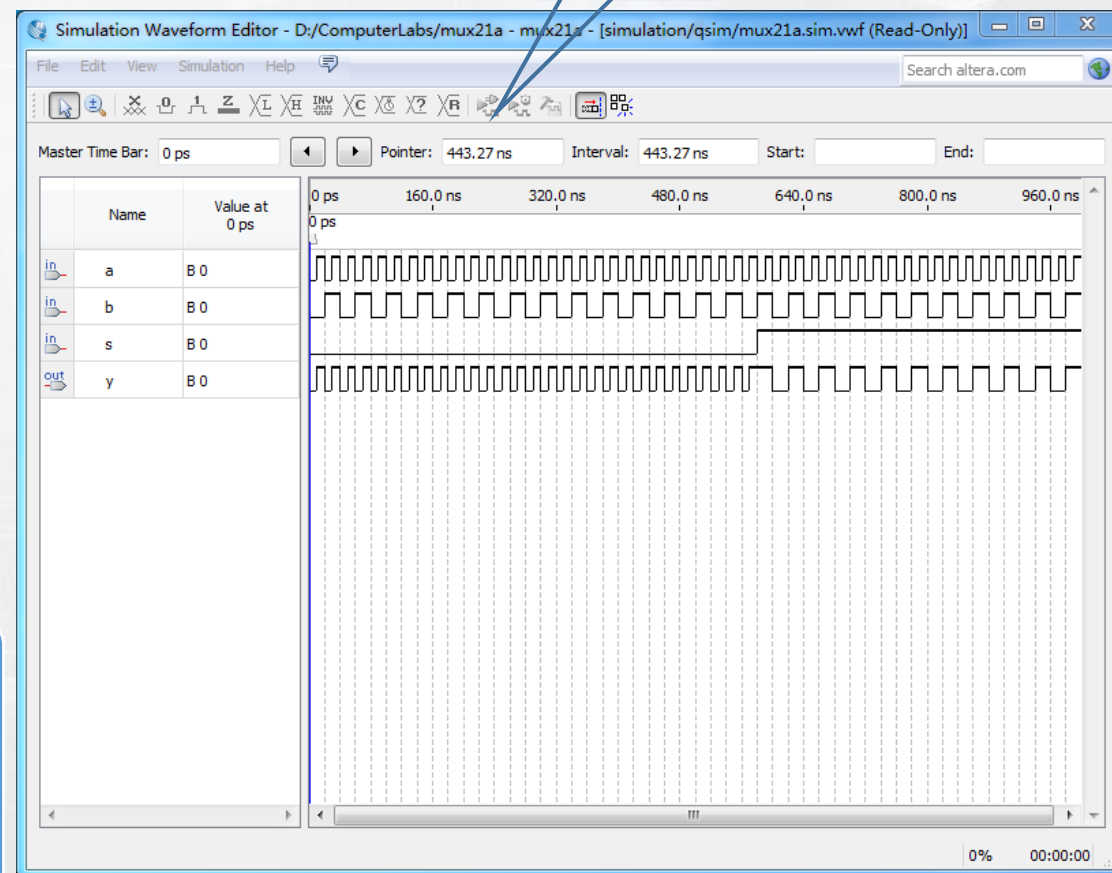
设置输入信号值

启动仿真，观察仿真波形图

波形编辑器窗口主菜单

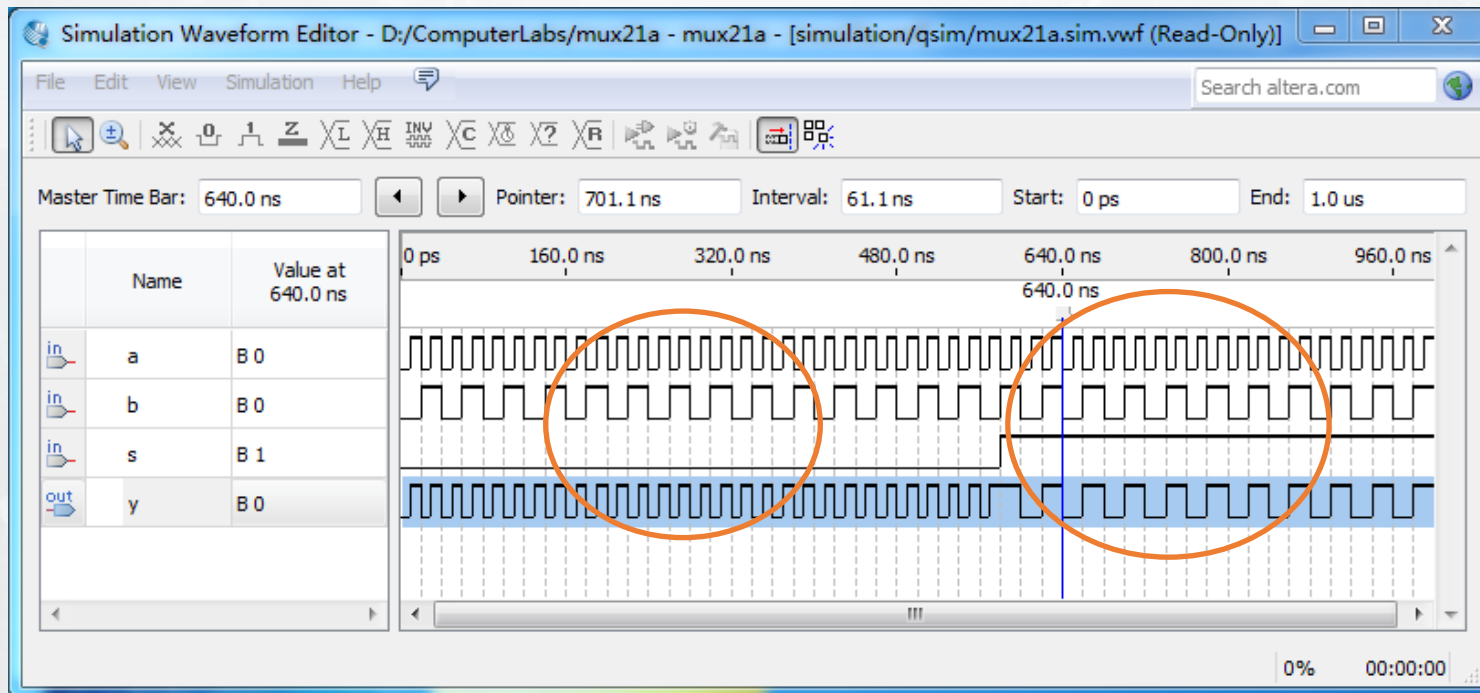
“Simulation”→

“Run Functional Simulation”项



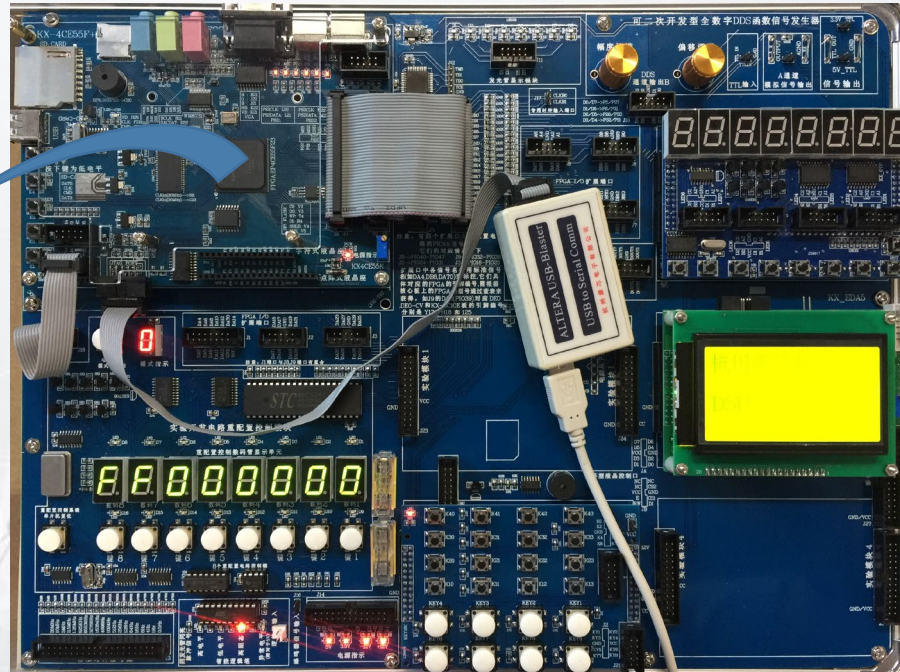
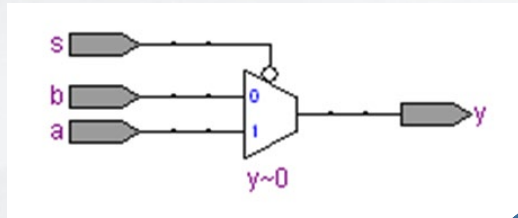
2选1多路选择器仿真波形图分析

在输出波形图上，利用“标线”可以定位任意时刻的仿真情况，在640ns时刻，各个信号的值为： $a=0$ ， $b=1$ ， $s=0$ ， $y=0$ ，与2选一选择器的真值表一致。注意：点击工具栏上的箭头按钮使鼠标处于选择状态，可以拖动“标线按钮”到指定时间位置。



第5步：编程和配置

生成编程图像Sof文件之前需要对电路的输入输出信号进行引脚分配，为每个信号分配FPGA芯片的引脚。



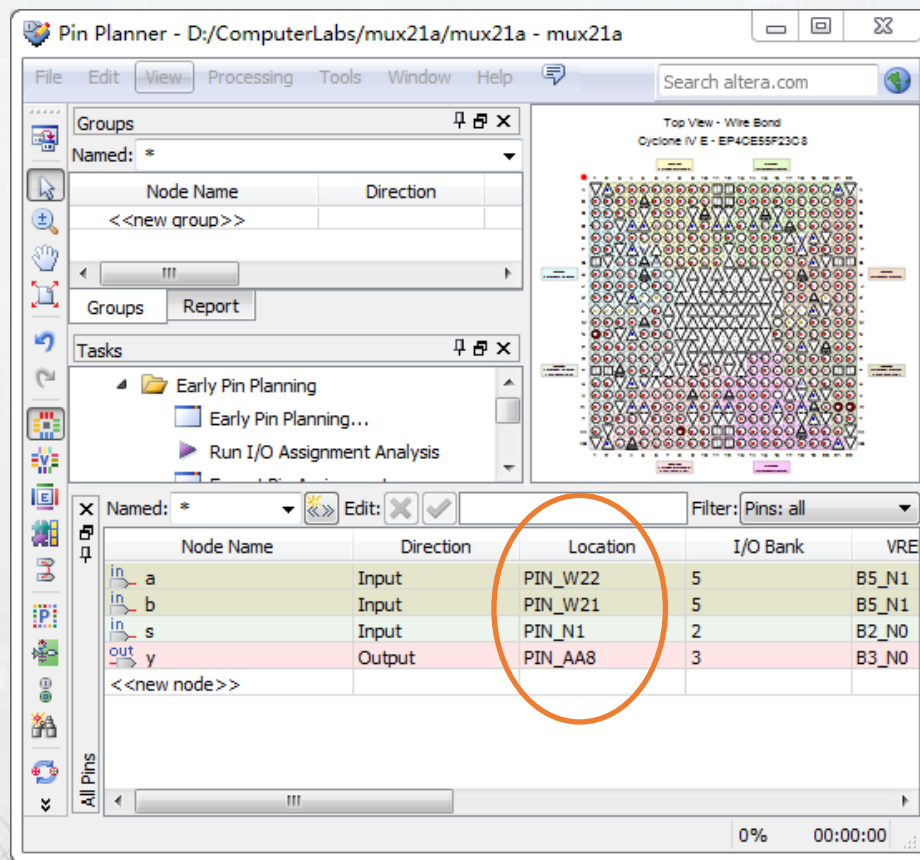
2选1多路选择器引脚锁定表

(KX-CDS实验台, 电路模式No.5, EP4CE55F23C8芯片)

输入/输出端口	外设	引脚名称	引脚号
a	时钟	CLKB0	W22
b	时钟	CLKB1	W21
s	按键1	PIO0	N1
y	扬声器	DBT1	AA8

引脚锁定(KX-CDS实验台)

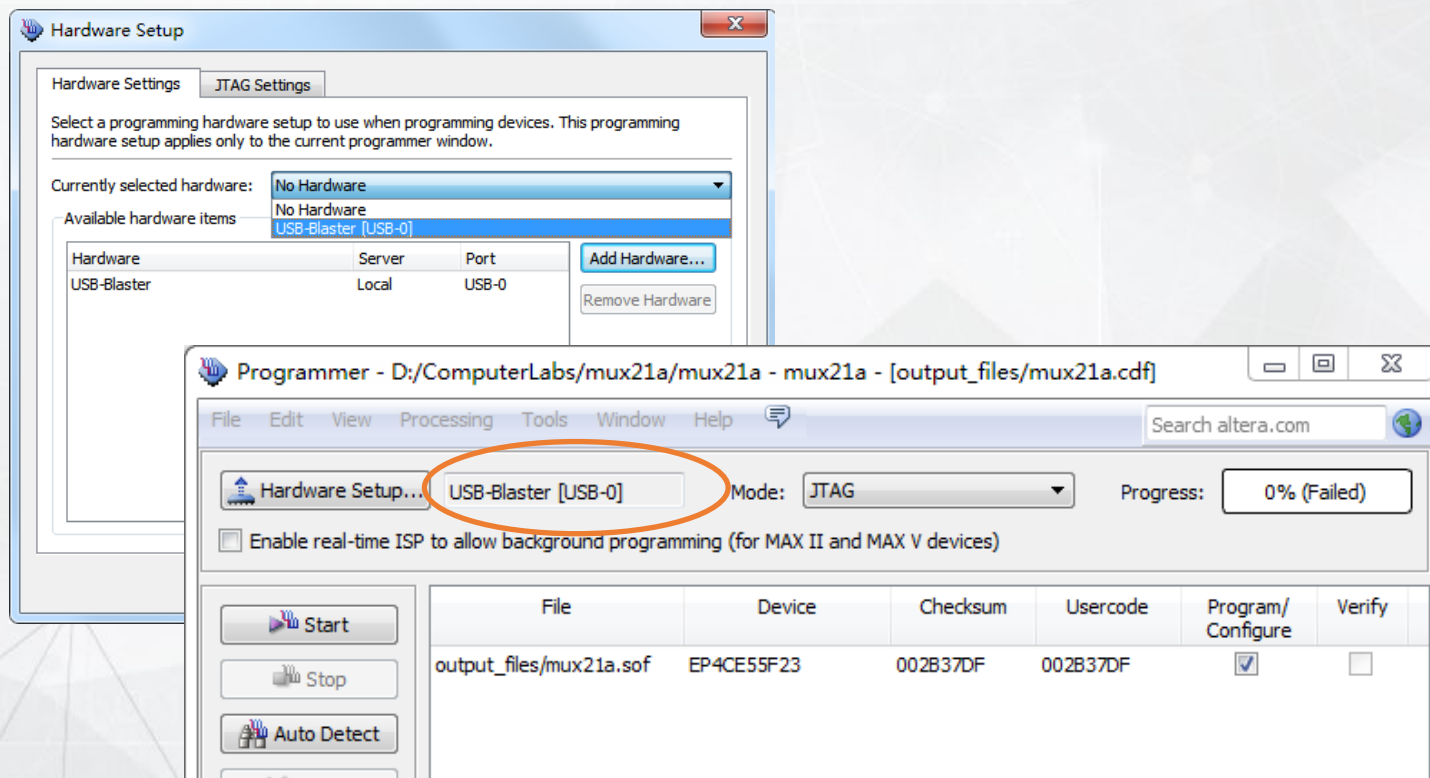
主菜单“Assignment”→“Pin Planner”项，在Location栏中输入引脚号，编译



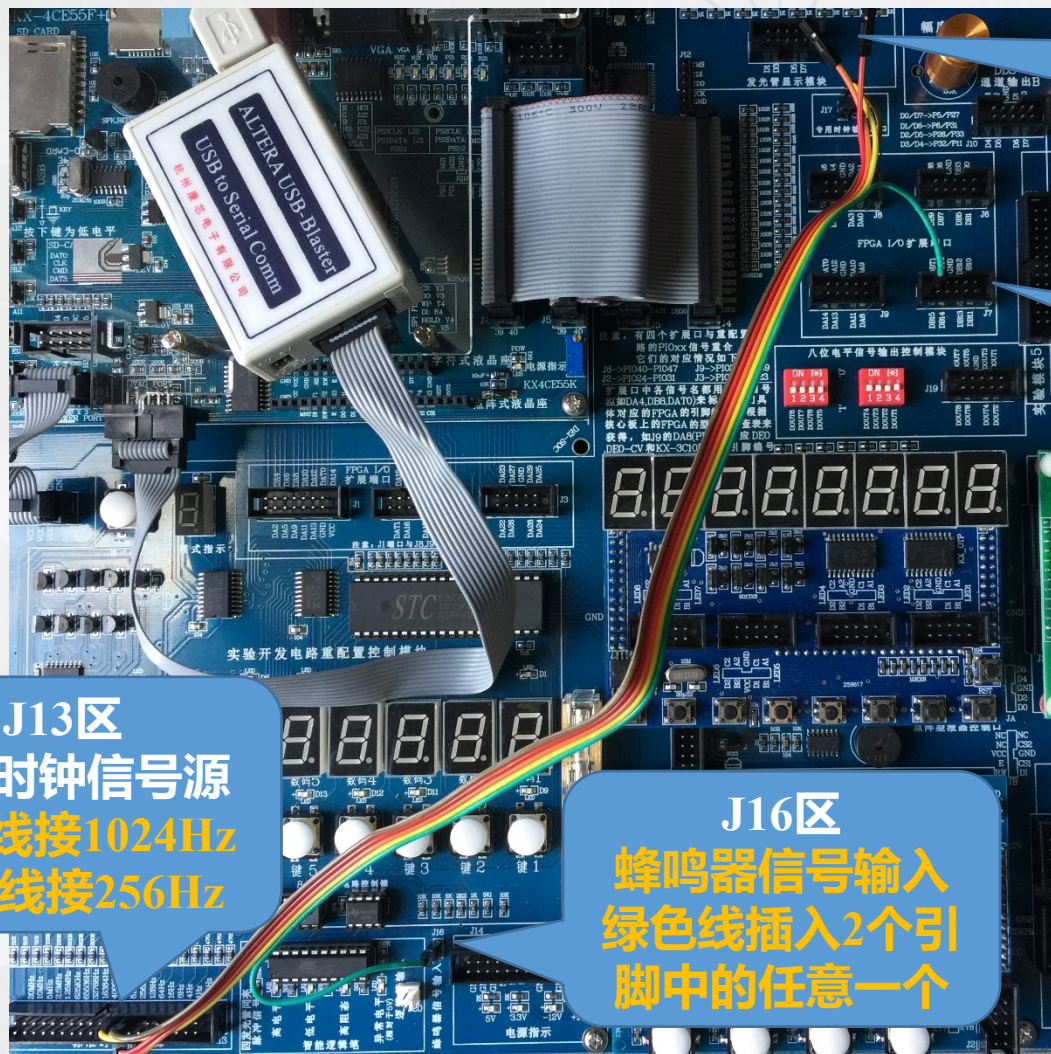
连接实验台编程器配置(ByteBlasterMV) KX-CDS实验台, EP4CE55F23C8芯片

主菜单“Tools”→“Programmer”项, 打开编程器, 点击“Hardware Setup”按钮, 选择USB-Blaster硬件。

注意: 实验台需要打开电源, 并且将其JTAG接口与计算机通过USB线连接。



KX-CDS实验台用单线连接时钟源、蜂鸣器



J13区
标准时钟信号源
黄色线接1024Hz
棕色线接256Hz

J16区
蜂鸣器信号输入
绿色线插入2个引
脚中的任意一个

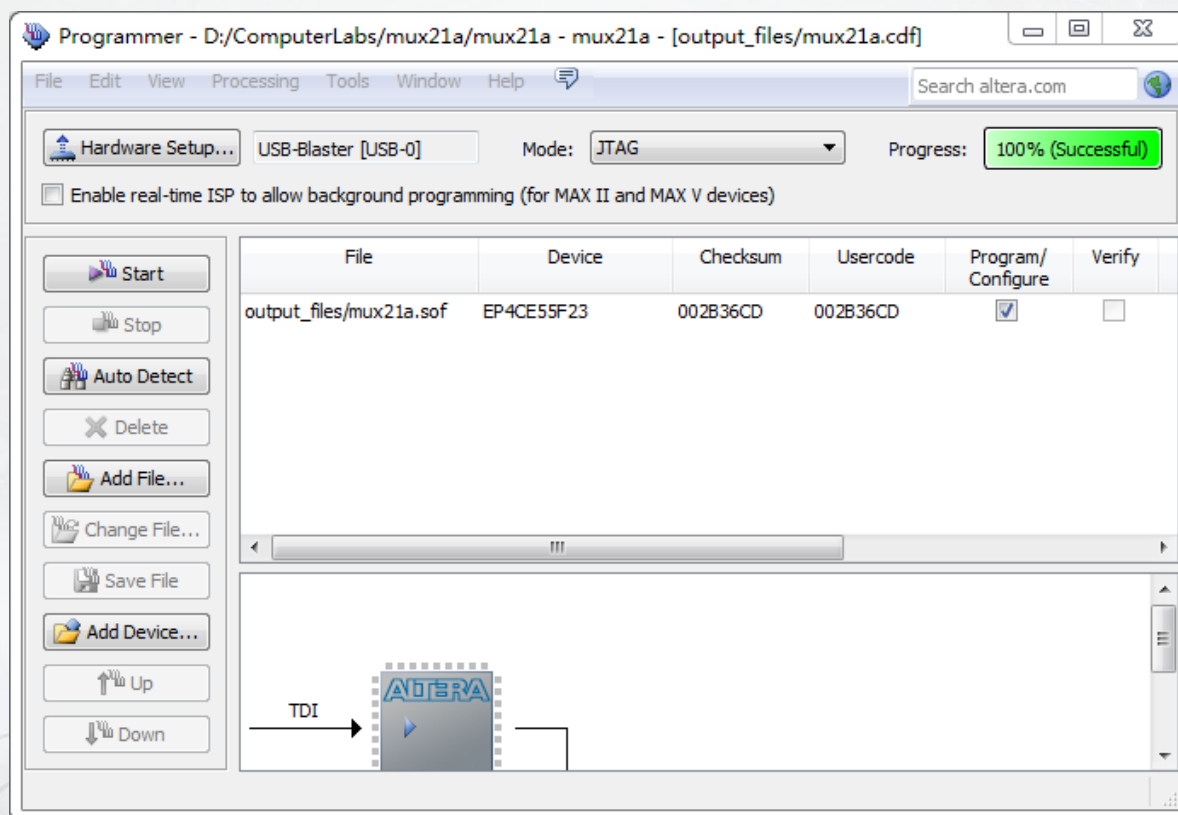
J17区
专用时钟接入端口
黄色线接CLKB0
棕色线接CLKB1

J7区
FPGA I/O扩展端口
绿色线接DBT1

输入/输出端口	外设	引脚名称	单线	
a	时钟	CLKB0	黄色	1024Hz
b	时钟	CLKB1	棕色	256Hz
s	按键1	PIO0		
y	扬声器	DBT1	绿色	

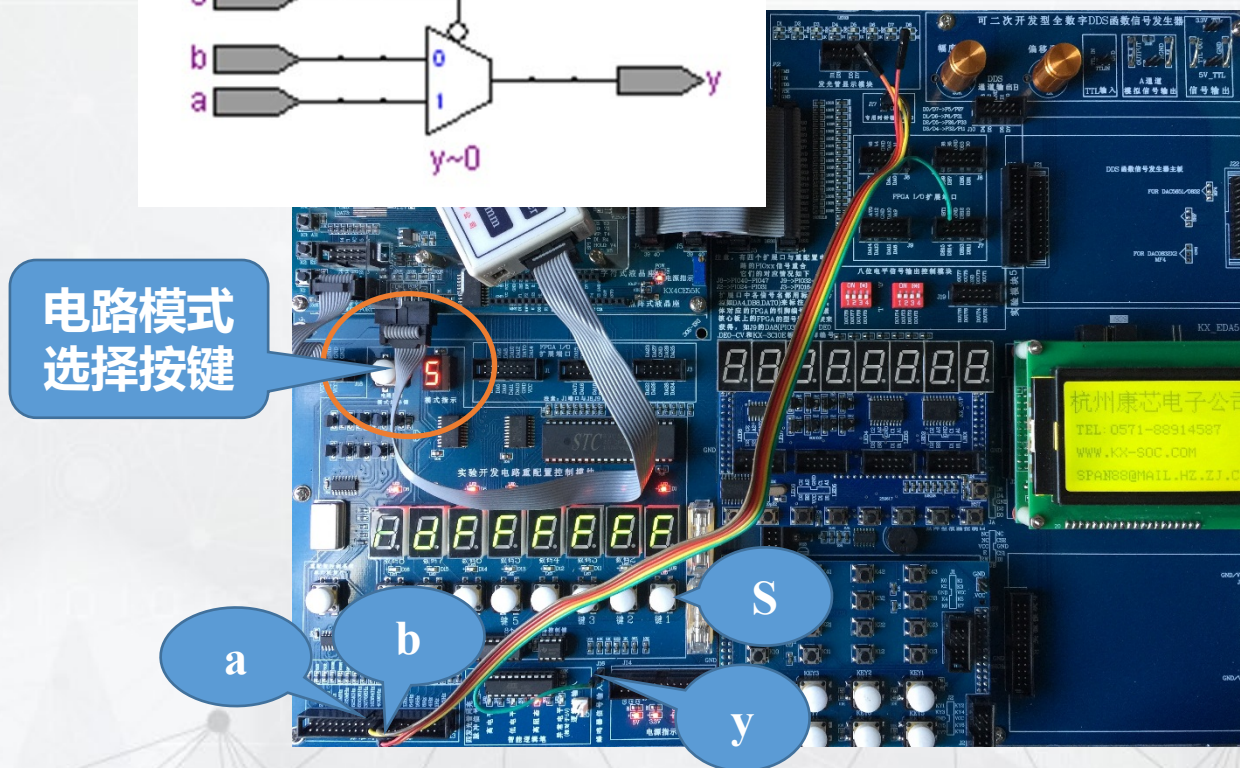
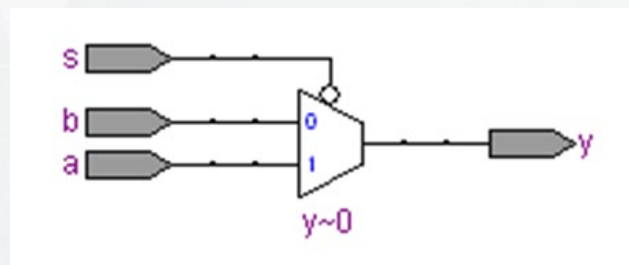
第6步：下载和测试—— KX-CDS实验台， EP4CE55F23C8芯片

在Programmer窗口，点击Start按钮，进度Progress为100%时，下载完毕



2选1多路选择器实验台演示

将电路的Sof文件下载到实验台的FPGA芯片中。在KX-CDS实验台上测试电路功能。



现在开始实验！（第1次课）

实验一、基本组合、时序逻辑电路实验

- 1、2-1选择器 **参考教材102页-123页**
- 2、**2个人一组**。实体名后面加2个学号的后两位，例如mux21a0709
注意，其他一些文件名，都要与实体名保持一致。否则出错。
- 3、完成后，按组提交实验结果。将**屏幕截图**（必须包含**波形图**），连同同组**两个人的学号姓名**按照授课教师要求提交。
- 4、**选做内容**：按照真值表功能仿真2-1选择器，选做内容可以不按组做，感兴趣的同学在课内时间完成后按前述方法提交实验结果。
- 5、有问题可以通过QQ和腾讯会议答疑，可以截图留言或者语音。
- 6、下次课预习：2-4译码器(135页-144页)，计数器(144页-147页)，8位数据寄存器(148页-151页)，采取腾讯会议共享屏幕按组验收。