



南湖架构 MMU 的设计与改进

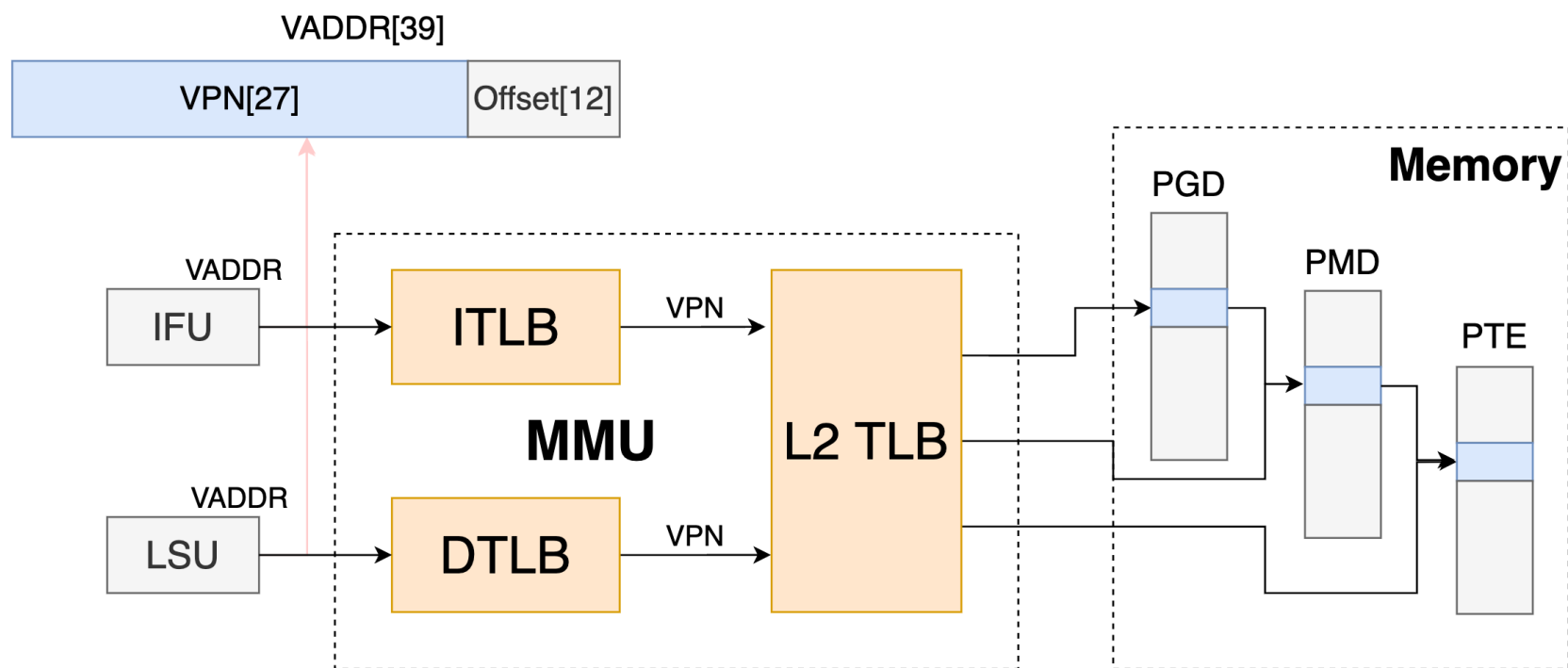
张紫飞

中科院计算所

2022年8月25日

🏔 Memory Management Unit

- 虚拟地址转换为物理地址
- 权限检查
- Sv39分页机制

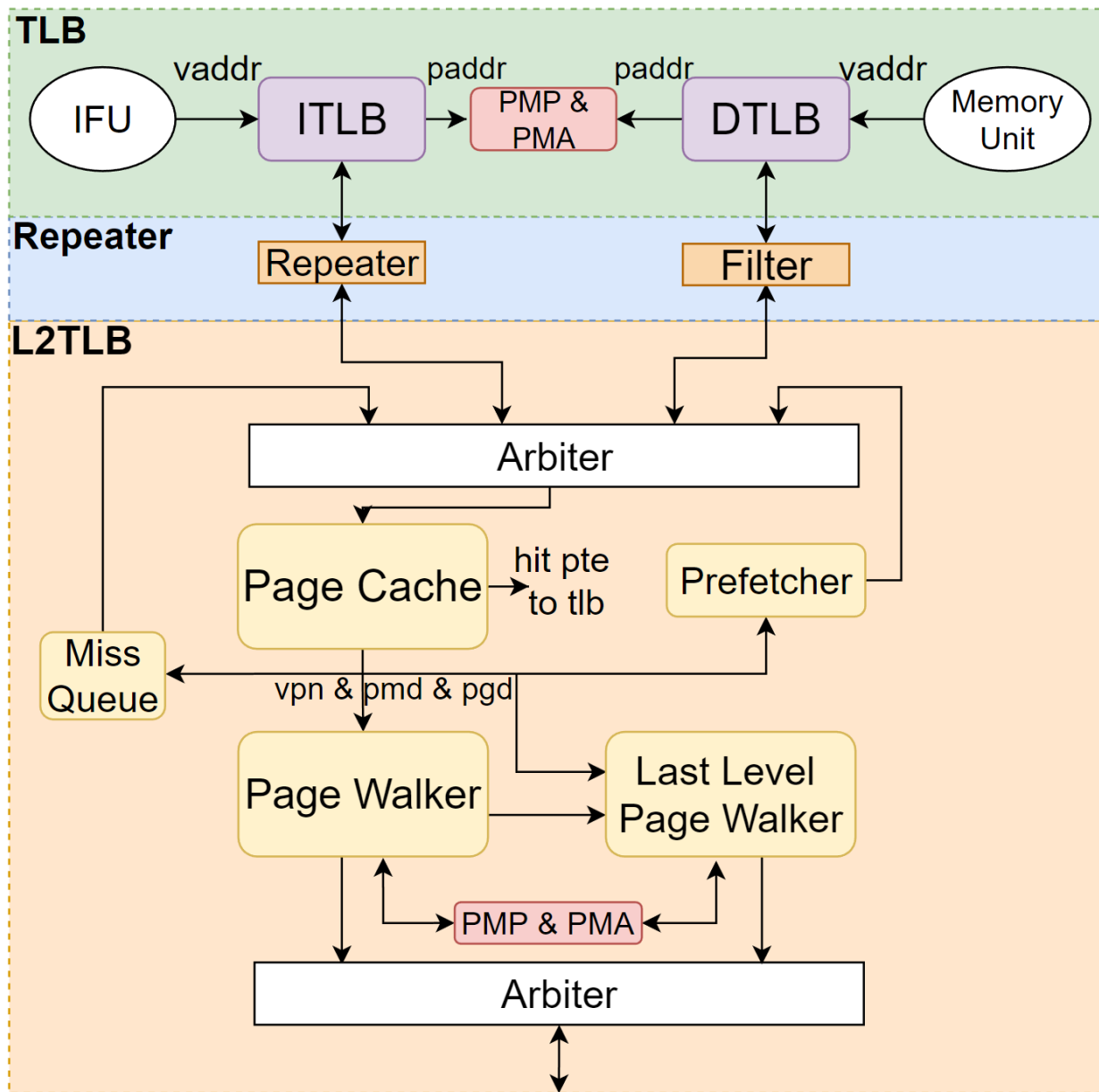


Memory Management Unit

L1 TLB	雁栖湖架构	南湖架构	变化
ITLB Size	32 + 4	32 + 4	-
DTLB Size	32 + 4	64 + 16	+50%+300%
Replace Policy	Random	PLRU	增强
L2 TLB	雁栖湖架构	南湖架构	变化
PTE Cache	4096 = 32sets 16ways*8	2096 = 128sets 4ways*8	-50%
PMD Cache	2048 = 32sets 16ways*8	512 = 32sets 2ways*8	-75%
PGD Cache	16	16	-
Replace Policy	PLRU	PLRU	-
Last Level PTW	NO	YES	新增
Prefetch	Next-Line	Next-Line	增强
Other	雁栖湖架构	南湖架构	变化
PMP (物理地址保护)	NO	YES	新增
PMA (物理地址属性)	Hardwire	Read+Write	增强

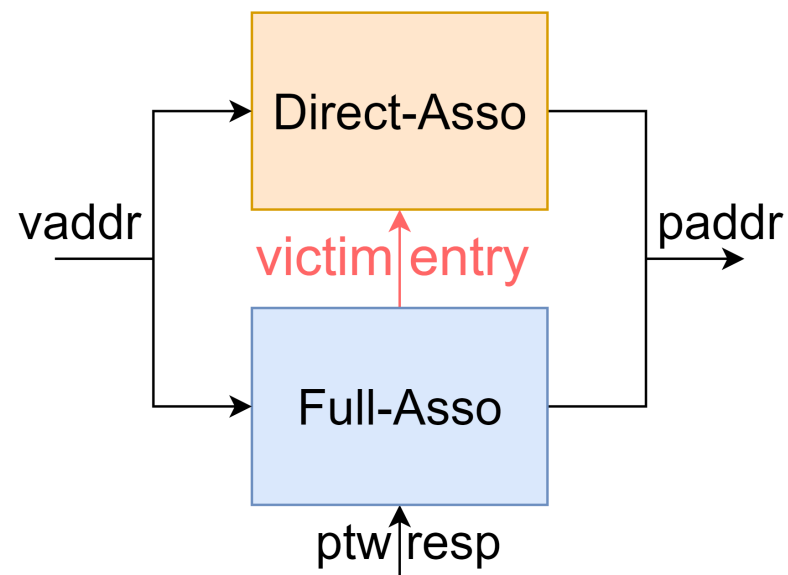
总体结构

- ITLB + DTLB : 地址翻译 & 权限检查
- Repeater + Filter : 重复请求合并
- L2 TLB + PTW : 查询内存中页表
- PMP + PMA : 物理地址保护



DTLB: Victim Entry

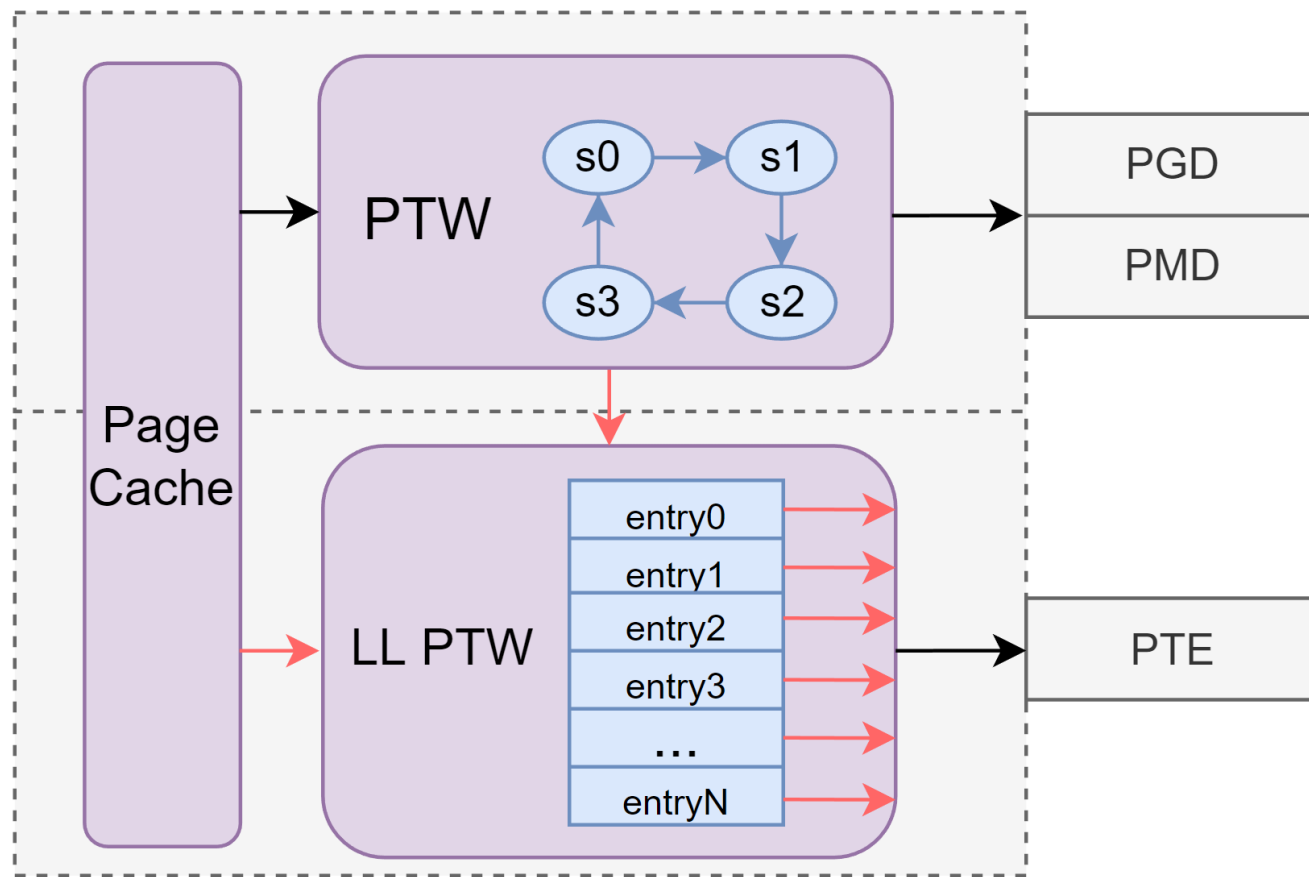
- 容量和时序的权衡
 - 全相联*16：灵活度
 - 直接相连*64：容量
- Victim Cache
 - 踢出时回填到另一个
 - 并行查询



Victim Cache示意图

🏔️ LastLevel PTW

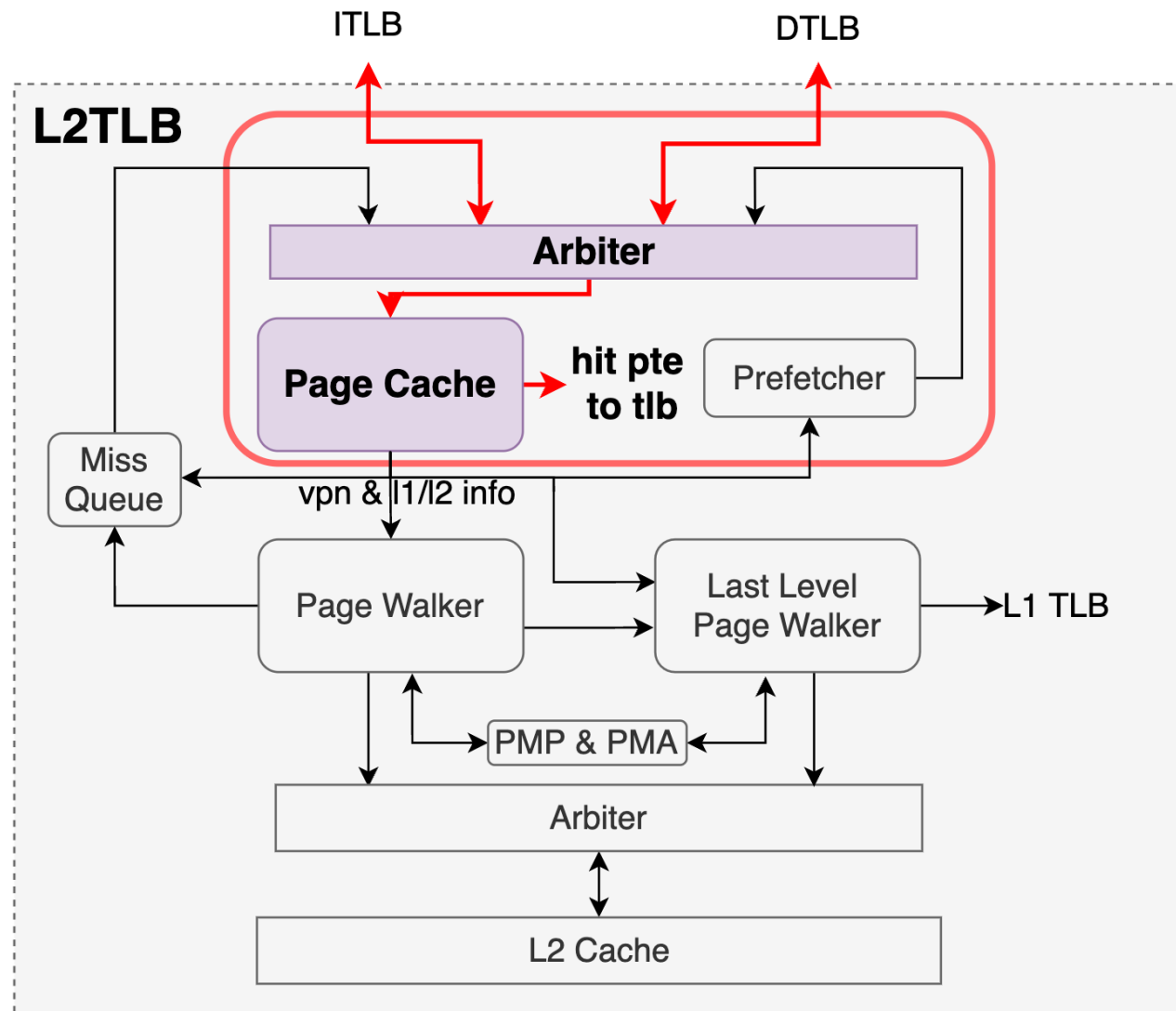
- 拆分状态机获得高并行度
- PTW : pgd & pmd
 - 处理一项请求
- LLPTW : pte
 - 处理多项请求



PTW + LastLevel PTW

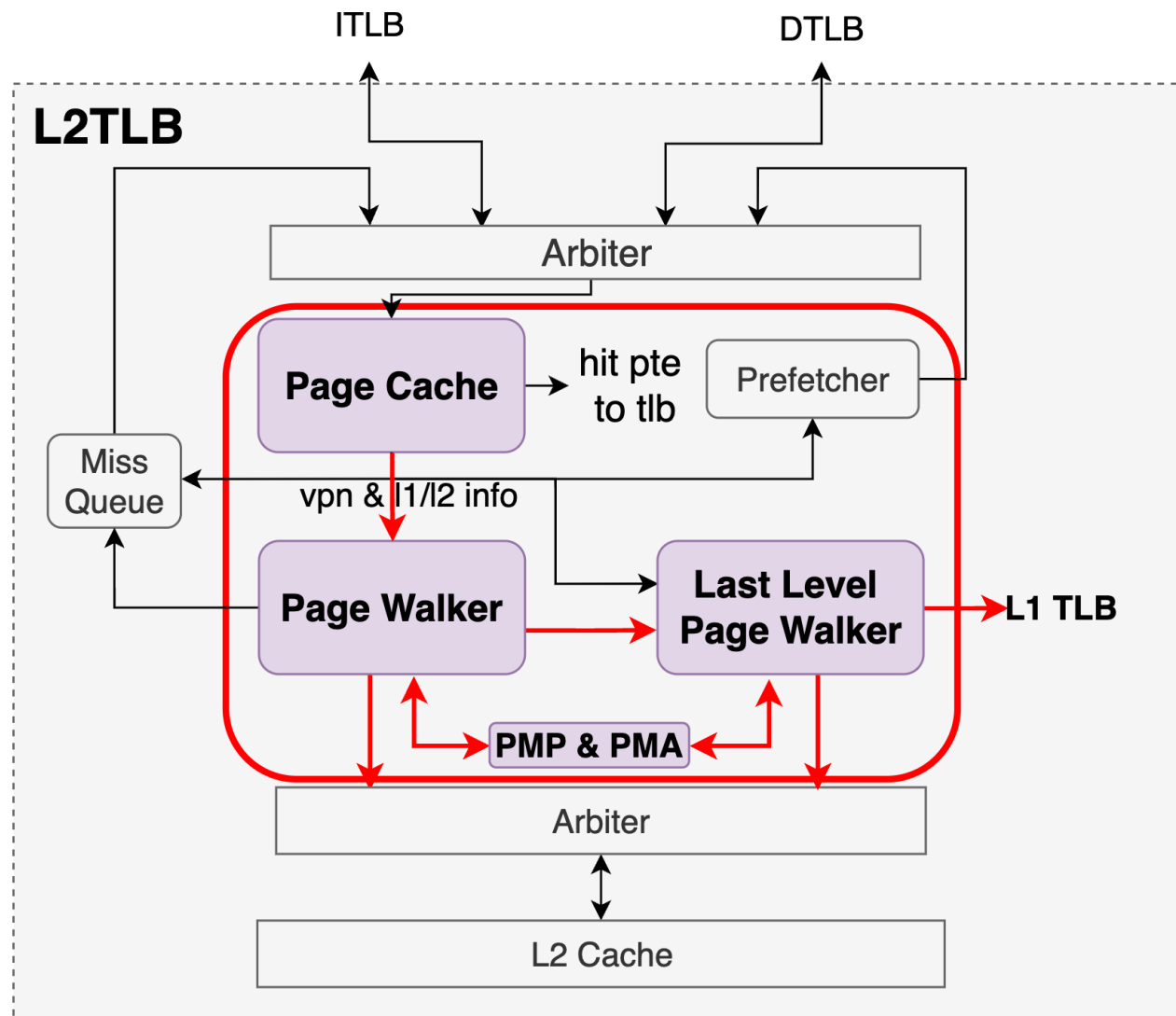
L2 TLB

- Hit 通路
 - 检查Page Table Cache
 - 如果Hit，返回给 L1 TLB
 - 否则，进入 Miss 通路
 - 减少 Hit 通路的延迟



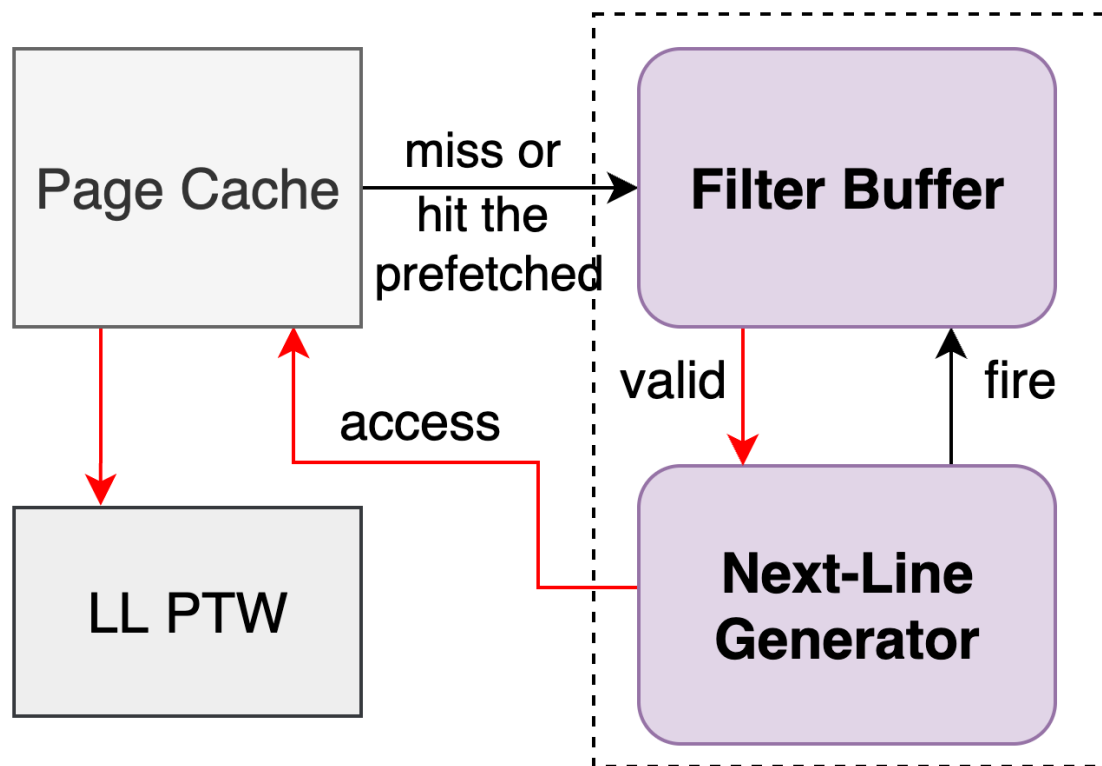
L2 TLB

- Miss 通路
 - PTW 访存得到 PGD & PMD
 - LL PTW 访存得到 PTE
 - 或进入 MissQueue 等待资源



预取

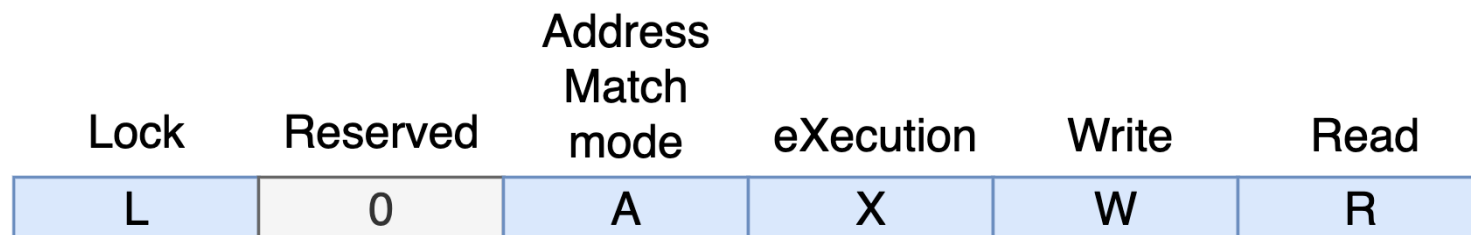
- Next-Line预取
 - TLB的请求后增加一个Next-Line请求
 - 预取到 L2 TLB 中
- 限制与增强
 - 不占用 Page Table Walker 资源
 - 添加 Filter Buffer , 历史请求过滤
 - ✓ Last Level PTW 提高并行访存能力



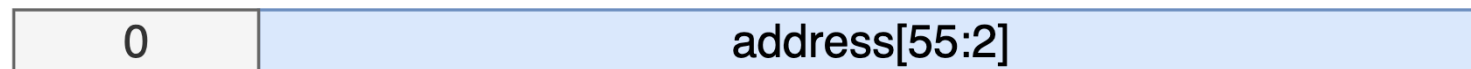
预取请求产生与处理流程

Physical Memory Protection

- 限制物理地址的访问权限
- M态 CSR 寄存器
- 物理地址检查
 - ITLB 之后
 - DTLB 之后
 - PTW 访问内存之前



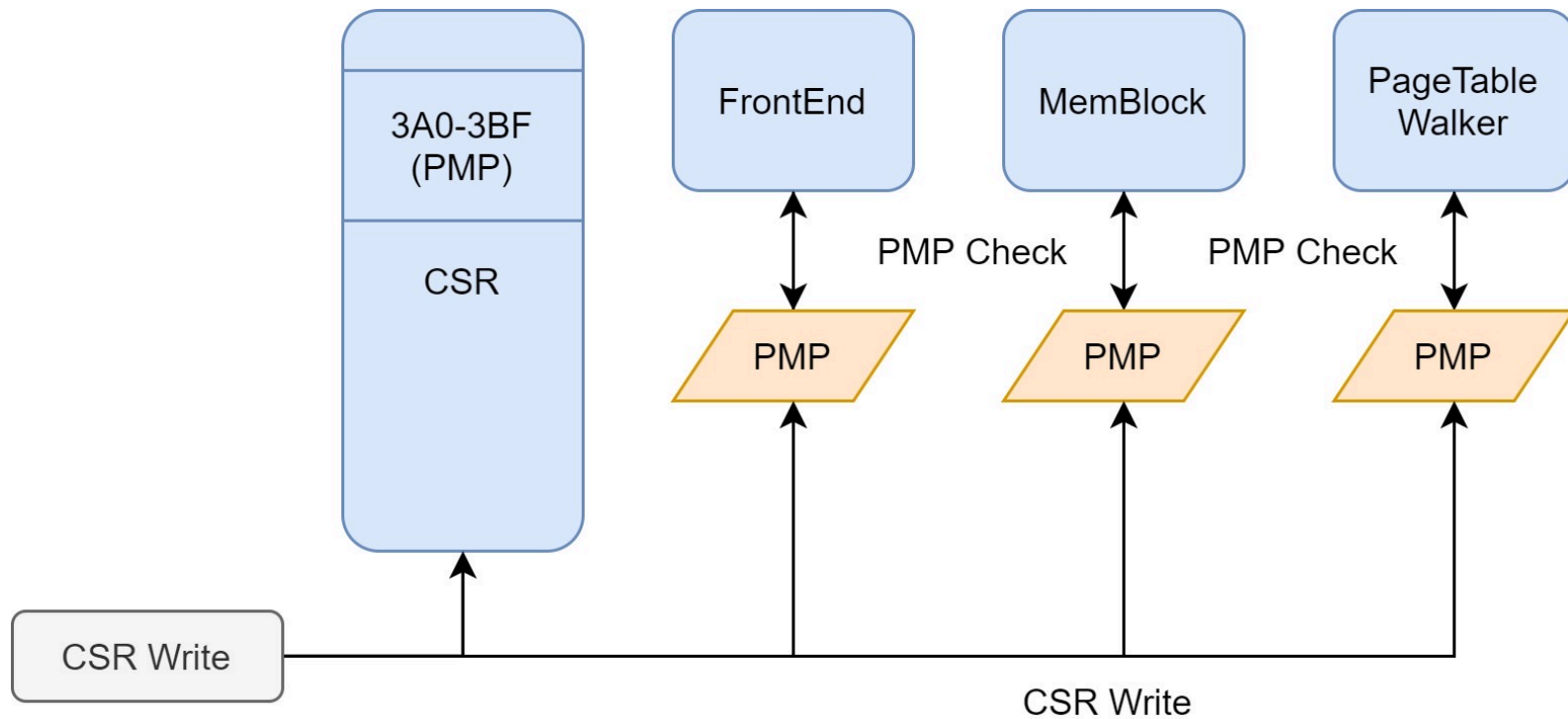
PMP Configuration Register



PMP Address Register

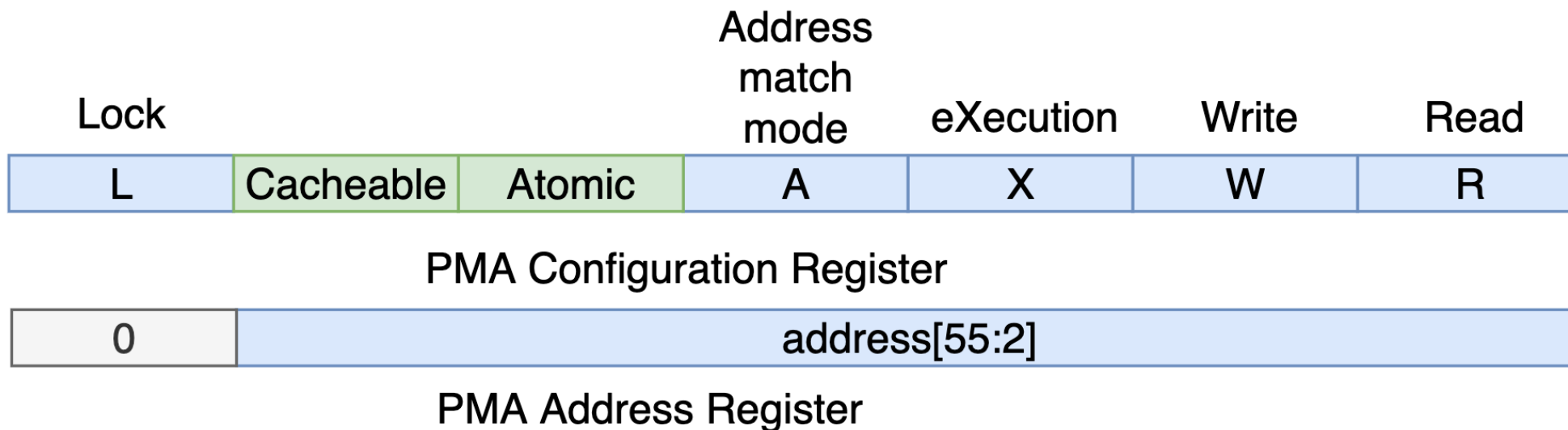
Physical Memory Protection

- Distributed Copy
 - ITLB/DTLB/PTW 各一份副本
 - 拉取 CSR Write 信号维持内容一致



Physical Memory Attribute

- 软件可配置可读写的 PMA 实现
- M 态用户自定义 CSR 寄存器
- 类 PMP 实现：配置寄存器保留位
 - Cacheable：是否是可缓存
 - Atomic：是否可执行原子操作



敬请批评指正！