



北京开源芯片研究院
BEIJING INSTITUTE OF OPEN SOURCE CHIP



中国科学院计算技术研究所
INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES



鹏城实验室
PENG CHENG LABORATORY



香山处理器的DFT设计

何志恒

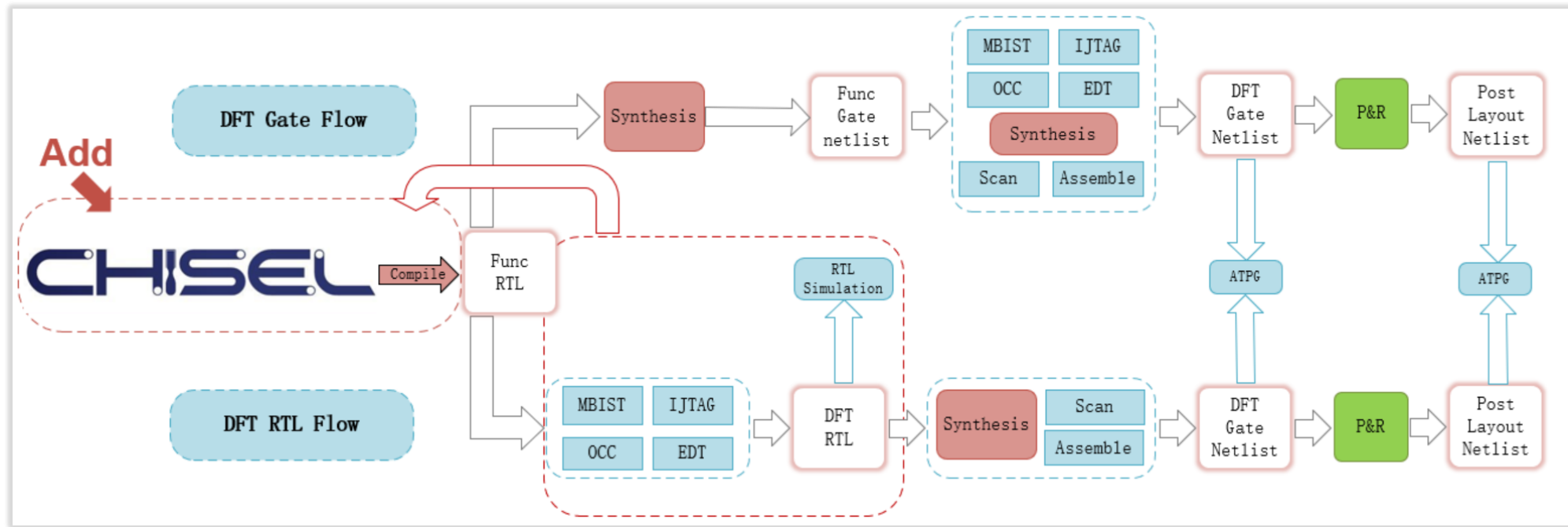
鹏城实验室

2022年8月



Chisel-based Design的DFT实现流程

- 较业界中常用到的DFT实现流程增加从Chisel编译成RTL的步骤
- Chisel编译出来的RTL均是基本Verilog语法，可以更好地支持DFT RTL Flow
- 香山处理器使用DFT RTL Flow完成设计实现
- DFT Gate Flow → DFT RTL Flow → DFT Chisel Flow



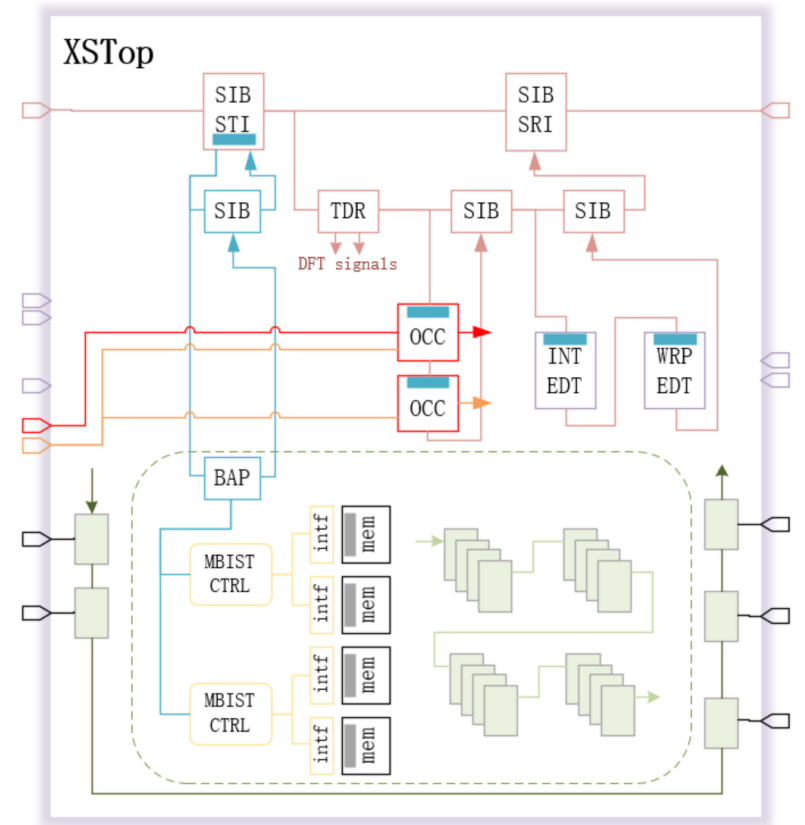
雁栖湖微架构的DFT设计架构

雁栖湖逻辑设计规格:

- 16KB L1 Cache, 128KB L1plus Cache for instruction
- 32KB L1 Data Cache, 1MB inclusive L2 Cache
- 342片实例化SRAM
- 3.86M Instances (Pre DFT综合)
- 426.5K Registers (pre DFT综合)
- 1.3GHz@28nm

雁栖湖DFT设计规格:

- 具体报告@<https://zhuanlan.zhihu.com/p/482312961>



XSTop中包含的DFT设计元素

Structured DFT	Specification
MBIST	Memory的内建自测试, 高效的Memory测试电路
OCC	时钟控制电路, 用于测试时钟的生成
SCAN	全扫描电路设计, 另外使能Wrapper Chain
EDT	雁栖湖有一定寄存器规模, 采用EDT对scan chain进行压缩解压
IJTAG	对MBIST、EDT、OCC以及其他DFT静态信号进行控制



雁栖湖微架构的DFT设计数据

DFT的逻辑增长:

XSTop	Area@28nm	Instances Count	Registers Count
Pre DFT*	6.32mm ²	3.86M	426.5K
Post DFT	7.66mm ²	4.66M	512.5K
增长比例	21.3% ↑	20.6% ↑	20.1% ↑

DFT的测试覆盖率:

测试项	Mbist	Chain	Stuck-at	Transition*
覆盖率	100%	100%	99.92%	98.20%
分组数/向量数	17	201	22660	41313

测试时间预估 (tck@24MHz, dft clock@48MHz, function clock@1.3GHz) :

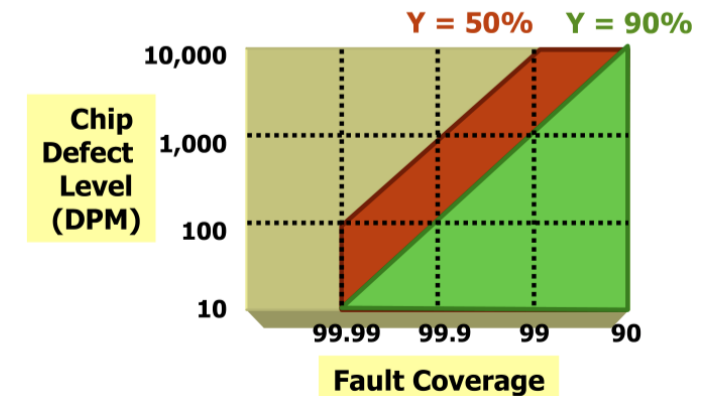
测试项	Mbist	Chain	IDDQ	Stuck-at	Transition	Total
Test Time	4.37ms	1.38ms	6.95ms	153.87ms	280.54ms	447.11ms
向量深度	0.1M	0.06M	0.32M	7.04ms	12.84M	20.36M

- Pre DFT的综合面积统计未进行Scan Register Replacement
- Transition向量生成方式为launch-off-capture
- DPM为每百万产品的失效个数

- DFT的面积衡量着制造成本的增加

- 测试覆盖率衡量着测试质量

DPM*简化的估算模型:



- 测试时间衡量着测试成本



香山处理器第二代MBIST架构

- 性能提升伴随着设计复杂度的提升、主频的提升

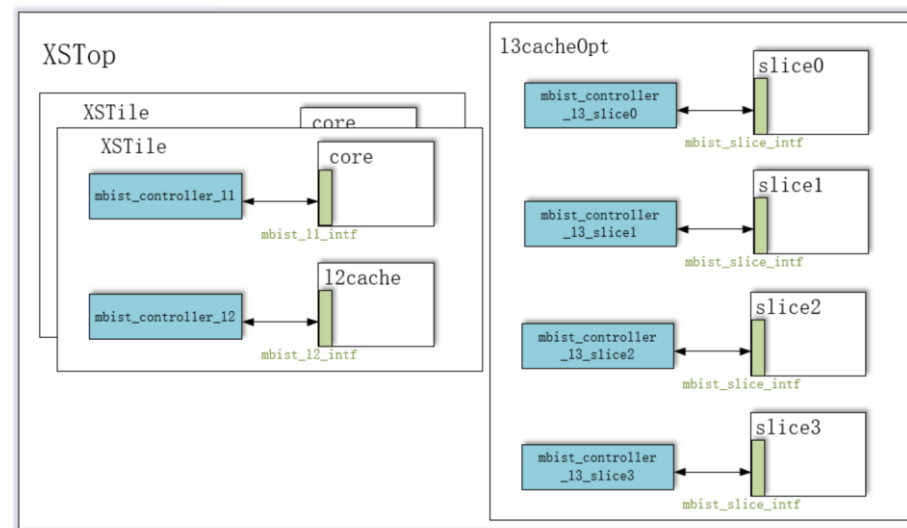
雁栖湖	VS	双核版本南湖	
<ul style="list-style-type: none"> 16KB L1 Icache 128KB L1plus Icache 32KB L1 Dcache 1MB inclusive L2 Cache 		<ul style="list-style-type: none"> 128KB L1 Icache*2 128KB L1 Dcache*2 1MB non-inclusive L2 Cache*2 6MB non-inclusive L3 Cache 	625%↑
<ul style="list-style-type: none"> 1.3GHz@28nm 		<ul style="list-style-type: none"> 2GHz@14nm 	54%↑
<ul style="list-style-type: none"> 3.86M Instances 		<ul style="list-style-type: none"> 3.6M Instances@XSTile*2 0.70M Instances@XSTop 	105%↑

- 雁栖湖DFT面积增加比例过大 (21.3%↑)、Mbist Controller挤占Memory周边资源

南湖MBIST的整体划分

南湖全新MBIST架构

- 基于Sharedbus的MBIST总线接口 (Chisel-based)
- 基于logical memory的MBIST数据旁路
- 大幅降低MBIST面积开销、优化Memory周边时序
- 具体报告@<https://zhuatlan.zhihu.com/p/529768512>





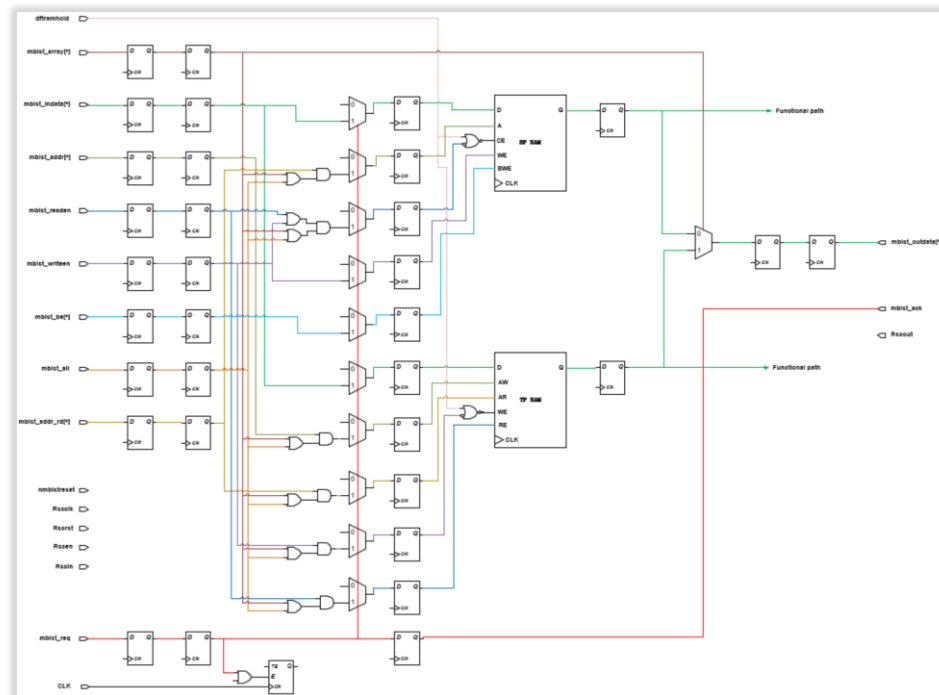
Chisel-based Sharedbus Interface

Sharedbus Interface的设计思想:

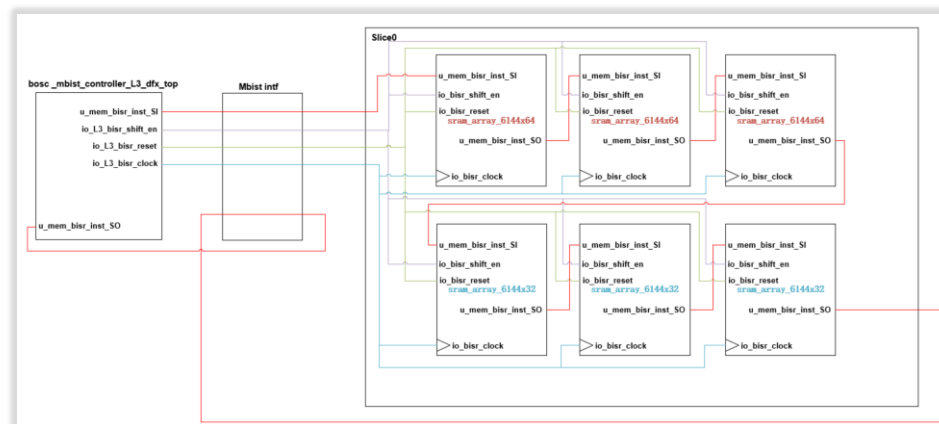
- 用**极简电路**实现memory的访问完备
- **流水线式**的Memory读写访问时序实现
- 尽可能**复用功能Pipeline Stage**
- 支持**功耗测试**模式的开启
- 支持Memory的**读写Latency**

Chisel-based可自适应Sharedbus Interface:

- Open-source@<http://github.com/OpenXiangShan>
- Chisel可参数化、穿线功能强大, **开发周期短**
- 可根据Memory的增加减少、大小变化完成**自适应调整**
- Mbistarray自动化译码
- 实现接近100%的代码静态门控覆盖率
- Chisel-based的**L3 Dataram Bsr Chain For Repair**
- **MBIST相关文件配套**For EDA



Sharedbus Interface核心电路



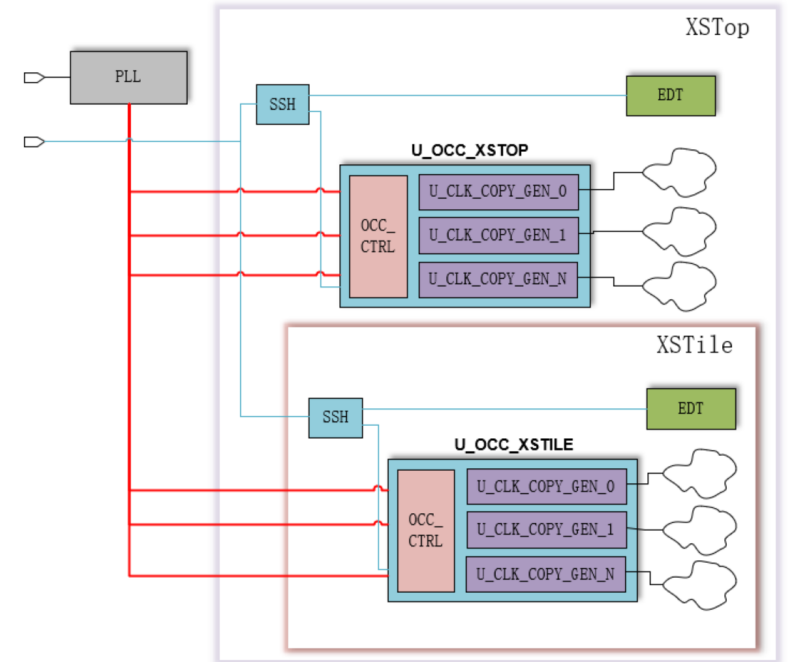
L3 Dataram Bsr Chain



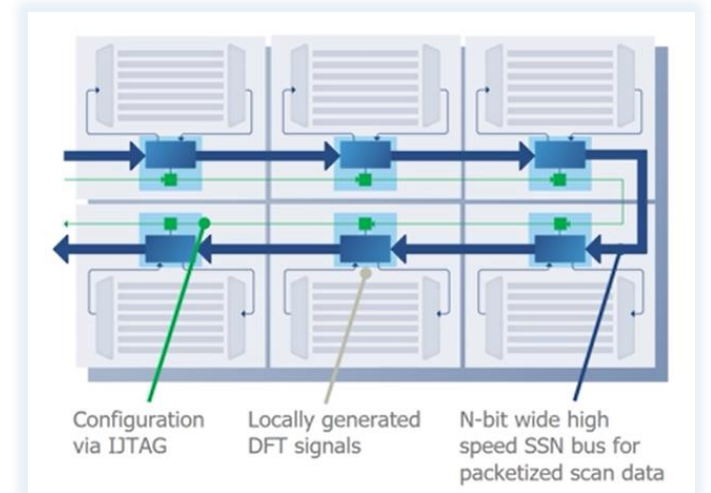
南湖微架构DFT方案预览

类别	Feature
OCC	混合时钟树架构下的OCC电路设计
MBIST	Sharedbus L3 Dataram Repair
SCAN	多核形态下的层次化DFT设计 SSN技术及其Pattern Retarget
ATPG	Path-delay路径定义及向量生成
STA	Shift提频48MHz→100MHz

- 具体报告即将发布



混合时钟架构下的DFT时钟设计

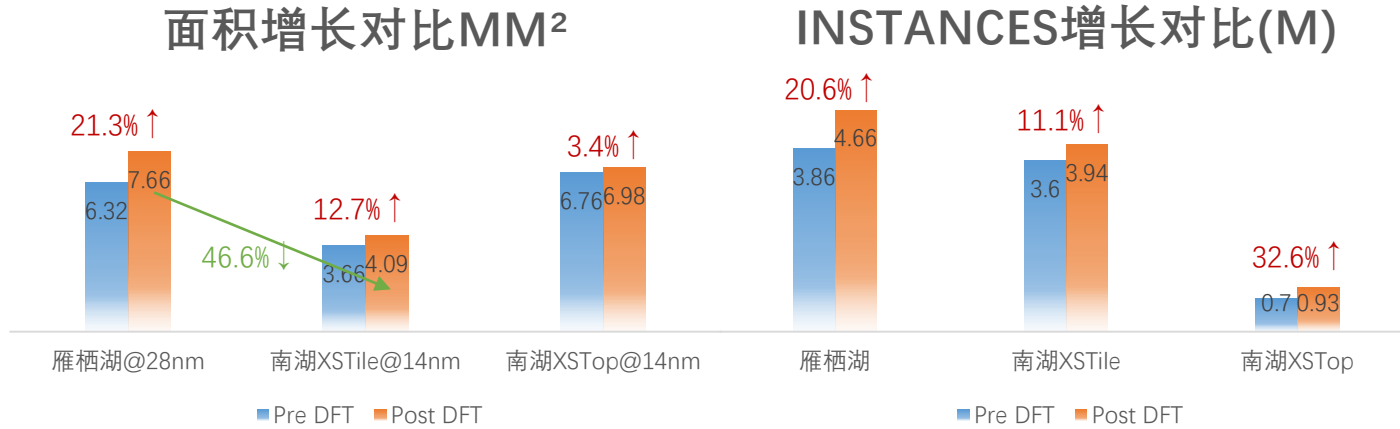


SSN的电路架构



南湖与雁栖湖的DFT数据对比

面积增长对比MM²

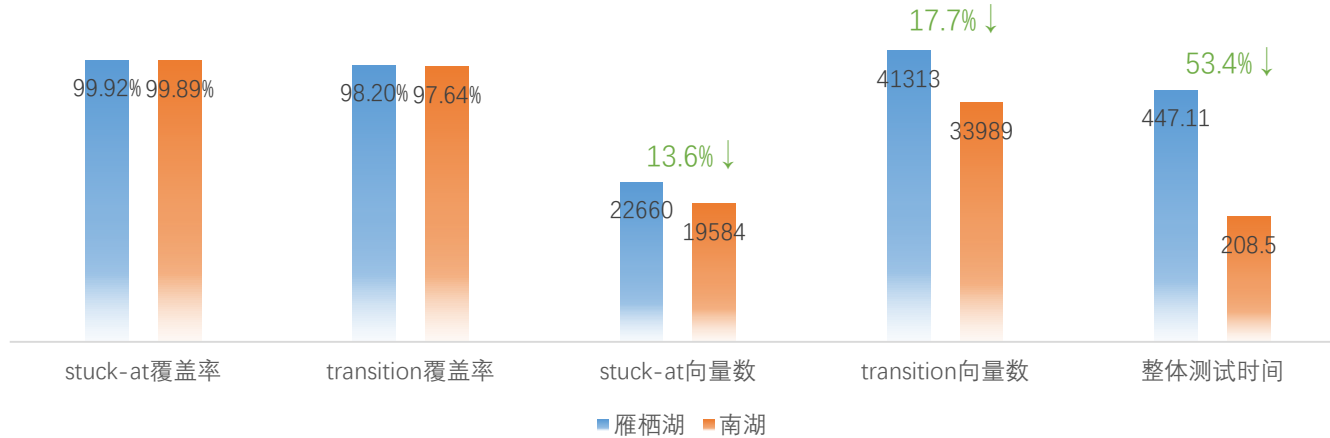


INSTANCES增长对比(M)

- 南湖Pre DFT不包含sharedbus逻辑
 - 雁栖湖与南湖XSTile的Instances规模相当
- DFT面积增长从21.3%优化到12.7%
 受益于工艺制程, 整体面积降46.6%

覆盖率、向量数、测试时间(MS)对比

- Cache Size越大, Sharedbus架构收益更明显
- 调整EDT压缩比优化向量数
- 通过shift提频降低整体测试时间53.4%
- 南湖达成DFT面积及测试时间的双优化!



Test Time	Mbist	Chain	IDDQ	Stuck-at	Transition	Total
雁栖湖	4.37ms	1.38ms	6.95ms	153.87ms	280.54ms	447.11ms
南湖	17.86ms	0.54ms	3.34ms	70.52ms	116.24ms	208.5ms

Thanks 谢谢

