

**СООБЩЕНИЯ  
ОБЪЕДИНЕННОГО  
ИНСТИТУТА  
ЯДЕРНЫХ  
ИССЛЕДОВАНИЙ  
ДУБНА**

**P11-86-655**

**И. А. Емелин**

**ПОЛУПРОВОДНИКОВАЯ ОПЕРАТИВНАЯ ПАМЯТЬ  
ДЛЯ ЭВМ БЭСМ-6**

**1986**

Развитие полупроводниковой техники, появление больших интегральных схем позволило провести разработку оперативной памяти для ЭВМ типа БЭСМ-6. Такая работа была проделана в ЛВТА ОИЯИ.

При разработке оперативного запоминающего устройства (ОЗУ) были учтены следующие условия:

1. Минимальные переделки в машине.
2. Оставлен принцип разбивки памяти на автономные блоки.
3. Сохранение времени считывания информации из ОЗУ.

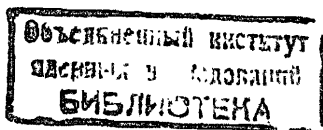
Исходя из условия минимальных переделок УУ ЭВМ были оставлены четыре типа запросов в ОЗУ: от внешних устройств (от УВУ), по считыванию команды, по считыванию операнда и записи результата. Таким образом, схемы в устройстве управления, предназначенные для обращения в ОЗУ, остались без переделок.

Принятое в ЭВМ БЭСМ-6 разделение оперативной памяти на 8 автономных блоков позволяет значительно увеличить частоту обмена информацией между центральным процессором и ОЗУ. При общем объеме ОЗУ ЭВМ БЭСМ-6, равном 128К 50-разрядных слов, каждый такой блок содержит 16К слов. Для построения ОЗУ использовались БИС памяти динамического типа К565РУ6, организацией 16Кх1 бит, т.е. на один блок памяти объемом 16Кх50 требуется 50 БИС К565РУ6.

Условия сохранения времени считывания, равного 1 мкс, потребовали специальной разработки схемы управления. Время обращения БИС памяти К565РУ6 составляет 0,5 мкс, время считывания 0,15-0,2 мкс. Для нормального функционирования динамической памяти требуется производить регенерацию содержимого не реже 2 мс. В общем случае запрос на регенерацию и запрос на обращение в ОЗУ от центрального процессора (ЦП) не синхронны, хотя запрос на регенерацию формируется от общей серии ЭВМ. С целью сокращения времени считывания запрос на обращение в ОЗУ от ЦП должен быть более приоритетным, чем запрос по регенерации.

Схема приоритета состоит из пяти триггеров: пуск памяти от машины (Тпм), сброс пуска памяти от машины (Тспм), пуск памяти по регенерации (Тпр), сброс пуска памяти по регенерации (Тспр) и триггера регенерации (Трег).

Триггеры Тспм и Тспр указывают, по какому запросу работает память и какой триггер запроса, Тпм или Тпр, будет сброшен по окончании обращения в ОЗУ.



Возможны четыре варианта обращения в память.

1. Запросы от ЦП и по регенерации пришли в разное время.
  2. Один из запросов пришел во время работы памяти от другого запроса.
  3. Запросы пришли одновременно.
  4. Запрос от ЦП пришел после запроса по регенерации через 0,1 мкс.
- В первом случае запросы пришли в разное время, они запускают обращение к памяти без задержки. При этом время считывания составит 0,5 мкс.

В случае, когда какой-либо запрос пришел во время работы памяти, этот запрос запоминается на триггерах Тпм или Тпр, но соответствующий триггер (Тспм или Тспр) не устанавливаются в "1", по окончании обмена триггер повторного запроса не сбрасывается, а запуск памяти производится автоматически по окончании обращения в ОЗУ. Время считывания в этом случае составит от 0,7 до 0,9 мкс.

При одновременном приходе запросов от ЦП и по регенерации более приоритетным является запрос от ЦП, а запрос по регенерации запоминается, и запуск памяти в режиме регенерации происходит автоматически, как и в предыдущем случае. Время считывания равно 0,5 мкс.

Если запрос от ЦП придет через 0,1 мкс после запроса от регенерации, происходит "перехват" памяти. Т.е. схема управления памятью была запущена запросом от регенерации, но появление запроса от ЦП запрещает установку Тспр и Трег. Таким образом, память работает в режиме обращения от ЦП, а запуск памяти от регенерации происходит вторично, как и в предыдущих случаях. Время считывания в этом случае составит 0,4 мкс.

Так как запрос от ЦП к одному и тому же блоку памяти приходит не чаще чем через 2 мкс, то регенерация пройдет непосредственно после обращения от ЦП.

Несколько слов о реализации. Схема управления построена на ИС серии К155. Вся оперативная память разбита на восемь блоков. Каждый блок содержит одну плату управления и семь плат массовых каналов, по восемь разрядов каждая. Ячейки выполнены в конструктиве ЭМ БЭСМ-6. Вся схема памяти содержит 64 ячейки двух типов. Для упрощения схем согласования питание ИС осуществляется от двух источников питания - + 3,4 В (" + 5 В" микросхем) и - 1,6 В (" 0" микросхем). В таком варианте логические уровни ТТЛ соответствуют логическим уровням ЭМ БЭСМ-6 ("1" - + 1,2 В, "0" - - 1,5 В).

Для реализации схемы оперативной памяти ЭМ БЭСМ-6 объемом 128К 50-разрядных слов потребовалось 400 БИС К565FV6 и порядка 1200 микросхем серии К155 малой интеграции.

## Л и т е р а т у р а

1. Андреев В.П. и др. Полупроводниковые запоминающие устройства и их применение. "Радио и связь", М., 1981.
2. Измерение параметров цифровых интегральных микросхем. (под ред. чл.-корр. АН ЛитССР Д.Ю.Эйдикиаса, к.т.н. Б.В.Орлова). "Радио и связь", М., 1982.