

高校课程 **学练考** 系列丛书

电子技术基础 (数字部分)

学 练 考

Learn Practise Examine

学练考

何光明 丛书主编
常昌远 吴金 本书主编

- ▶ 学·练·考三维辅导
- ▶ 知识要点一目了然
- ▶ 重点难点剖析透彻
- ▶ 典型例题解答点评
- ▶ 主流教材习题精解
- ▶ 学习效果两级训练



学练考



清华大学出版社

电子技术基础(数字部分)学·练·考

何光明 丛书主编
常昌远 吴 金 本书主编

清华大学出版社

北 京

内 容 简 介

本书是根据国家教育委员会高等工业学校电子技术课程教学指导小组于1993年修订的电子技术基础(数字部分)的课程教学大纲、硕士研究生入学考试的基本要求,并在作者多年教学实践的基础上完成的。

全书依次对基本知识、逻辑代数基础、集成门电路与触发器、组合逻辑电路、同步和异步时序逻辑电路、中规模通用集成电路、可编程逻辑器件等内容进行了讨论。各章均按知识结构图、疑难解惑、典型例题与考研题分析、重要习题精选精解、两级训练题5个板块进行划分和讲解。在内容选取上,特别注意选取那些重要的、典型的、有代表性的基础性题解,以及有一定深度层次的综合思考性题解。通过对典型例题的分析、求解和归纳,总结了各类问题的解题规律、方法和技巧。解题过程详尽,方法多变,有利于学生全面系统地掌握所学知识。

本书既可作为高等院校电子类专业本科生、专科生及自学人员使用,也适合于有志进一步深造的考研人员使用。

版权所有,翻印必究。

本书封面贴有清华大学出版社激光防伪标签,无标签者不得销售。

图书在版编目(CIP)数据

电子技术基础(数字部分)学·练·考/常昌远,吴金主编.—北京:清华大学出版社,2004
(高校课程学·练·考系列丛书/何光明主编)
ISBN 7-302-08551-X

I. 电… II. ①常… ②吴… III. 电子技术—高等学校—教学参考资料 IV.TN

中国版本图书馆CIP数据核字(2004)第037726号

出 版 者:清华大学出版社 地 址:北京清华大学学研大厦

<http://www.tup.com.cn> 邮 编:100084

社 总 机:010-62770175 客 户 服 务:010-62776969

组稿编辑:章忆文

文稿编辑:杨作梅

封面设计:付剑飞

印 装 者:北京国马印刷厂

发 行 者:新华书店总店北京发行所

开 本:185×260 印张:19.75 字 数:459千字

版 次:2004年6月第1版 2004年6月第1次印刷

书 号:ISBN 7-302-08551-X/TN·185

印 数:1~5000

定 价:27.00元

本书如存在文字不清、漏印以及缺页、倒页、脱页等印装质量问题,请与清华大学出版社出版部联系调换。联系电话:(010)62770175-3103或(010)62795704。

扬起风帆，成就梦想

(丛书序)

21 世纪人类已迈入“知识经济”时代，科学技术正发生着深刻的变革，社会对德才兼备高素质专业人才的需求更加迫切。如何培养出符合时代要求的优秀人才，是全社会尤其是高等院校面临的一项急迫而现实的任务。

为了配合当前高等院校注重培养高素质知识型人才的需求，也为了给同学们提供一套行之有效的课程学习辅导书，我们在广泛调研并听取很多专家及学生们建议的基础上，组织编写了这套《高校课程学·练·考系列丛书》。本套丛书作为学生正规课本的辅导用书，对课程的各方面知识不做细致讲解，而是抽取重点、难点和易于混淆的方面进行强调和解惑；再配以典型例题和考研题、考级题解析，提高读者分析问题与解决问题的实际能力；每章都辅以对应习题(达标训练题和考研挑战题、考级题)，以助读者达到即学、即练、即会的目的；另外，每章都精选主流教材的课后习题进行解答，帮助读者消化和巩固所学知识。

首推书目

本套丛书以全新的视角，陆续推出涵盖高等院校主干课程的辅导用书。首推 12 本，书目如下：

- (1) 概率论与数理统计学·练·考
- (2) 高等数学(上册)学·练·考
- (3) 高等数学(下册)学·练·考
- (4) 线性代数学·练·考
- (5) 数据结构学·练·考
- (6) 操作系统学·练·考
- (7) 离散数学学·练·考
- (8) C 语言学·练·考
- (9) 电子技术基础(模拟部分)学·练·考
- (10) 电子技术基础(数字部分)学·练·考
- (11) 电路学·练·考
- (12) 自动控制原理学·练·考

📖 丛书特色

1. 丛书以国家教育部制定的教学大纲及研究生入学考试大纲为依据,按照高等学校通用的主流教材为主线,注重基础知识的学习与解题能力的提高,既保证了课程学习的循序渐进,又能对复习迎考与考研行之有效。

2. 丛书从“学、练、考”3个角度进行立体辅导,帮助读者理解基本概念和理论,开拓解题思路,提高分析问题的能力,使读者对所学课程真正做到融会贯通、考试轻松。

3. 丛书基本按照正规教学课本顺序编排,每章设计了5个板块,分别是:本章知识结构图、疑难解惑、典型例题与考研题分析、重要习题精选精解、两级训练题。各内容安排为:

- ❑ 本章知识结构图:用图表的形式列出本章各知识点的有机联系,便于记忆、复习。
- ❑ 疑难解惑:突出核心知识,对重点、难点内容进行解释与讲述,使读者掌握问题的本质。
- ❑ 典型例题与考研题分析:精选出常考题型与考研题进行解析,增强读者解题能力。
- ❑ 重要习题精选精解:对主流教材的重要习题做出解答,便于读者复习与检查。
- ❑ 两级训练题:分达标训练题与考研挑战题两个级别,通过两级训练,读者可以进一步加深对所学内容的理解,旨在达到巩固提高的目的。

4. 丛书重点定位在疑难解惑与解题方法上,不仅授人以“鱼”,更在于授人以“渔”。丛书对课程学习过程中可能遇到的疑难点进行了细致深入的分析,突出解决易混淆和忽略的问题;对常见题型进行完整的解答与总结,注重解题思路及技巧的培养,旨在使读者达到茅塞顿开、触类旁通、举一反三之功效。

5. 丛书对主流教材的较难习题(或全部习题)进行了解答,并且每章均配有相应数额的训练题,最后还提供了几套完整的模拟试题。所有习题及模拟试题均给出了解答或提示,便于读者自测提高。

📖 关于作者

丛书编委特聘请执教多年,且有较高学术造诣的名师参与各册之编写。他们长期从事有关的教学和研究工作,积累了丰富的经验,对相应课程有较深的体会与独到的见解,本丛书凝聚了他们多年的教学经验和心血。

📖 读者定位

本套丛书特别适合参加课程学习、考试(课程考试、考研、考级)的读者群阅读,同时可供高等院校教师作为教学参考使用。





📖 互动交流

读者的进步，我们的心愿。如果发现书中有任何疑惑之处，或有建议或意见，请与我们交流。联系信箱：gmkeji@163.com。

📖 特别致谢

在此，对丛书所选用的参考文献的著作者，及丛书所引用习题、试题的命题老师表示真诚的感谢。感谢为本丛书出版提供帮助的各界人士。

乘风破浪会有时，直挂云帆济沧海。愿这套书为在知识海洋中奋进的学子们助一臂之力！



丛书编委会

顾 问: 清华大学 吴文虎 教授、博士生导师
北京大学 许卓群 教授、博士生导师
中国人民大学 王 珊 教授、博士生导师
东南大学 曹进德 教授、博士生导师
北京航空航天大学 李 波 教授、博士生导师

总 策 划: 清华大学出版社第三事业部

丛书主编: 何光明

编 委: (排名不分先后)

何光明	杨 明	杨治辉	汪名杰	吴 金
常昌远	孔慧芳	汪志宏	骆 健	王海艳
黄昭强	孙多如	江 安	倪志强	朱家明
陆克斌	杨 玲	田玉敏	石雪梅	杨 萍
王新光	王晓光	江 兵	叶运骅	罗 勇



前 言

本书是根据电子技术基础(数字部分)的课程教学大纲、硕士研究生入学考试的基本要求,并在作者多年教学实践的基础上完成的。编写本书的目的是:帮助读者加深对基本概念的理解和对基本解题方法的掌握;启发逻辑思维能力;提高分析问题和解决问题的能力。

全书依次对电子技术基本知识、逻辑代数基础、集成门电路与触发器、组合逻辑电路、同步和异步时序逻辑电路、中等规模的通用集成电路、可编程逻辑器件等内容进行了讨论,各章均按知识结构图、疑难解惑、典型例题与考研题分析、重要习题精选精解、两级训练题 5 个板块进行划分和讲解。在内容选取上,特别注意选取那些重要的、典型的、有代表性的基础性题解,以及有一定深度层次的综合思考性题解。通过对典型例题的分析、求解、归纳,总结了各类问题的解题规律、方法和技巧。解题过程详尽,方法多变,有利于学生全面系统地掌握所学知识。

本书既可作为高等院校电类专业本科生、专科生以及自学人员使用,也适合于有志进一步深造的考研人员使用。

本书由常昌远、吴金主编。另外,协助本书编写工作的还有张晓捷、刘立军、张麟、庞坚、阎良海、王楠、殷勤、吴婷和刘菁等,在此一并表示感谢。

由于时间及作者水平有限,书中难免有错误和不当之处,敬请读者批评指正。

作者
2004年4月

目 录

第 1 章 数字逻辑基础	1
1.1 本章知识结构图.....	1
1.2 疑难解惑.....	2
1.3 典型例题与考研题分析.....	7
1.3.1 典型例题分析.....	7
1.3.2 考研题分析.....	9
1.4 重要习题精选精解.....	10
1.5 两级训练题.....	15
1.5.1 达标训练题.....	15
1.5.2 考研挑战题.....	15
第 2 章 逻辑门电路	17
2.1 本章知识结构图.....	17
2.2 疑难解惑.....	18
2.3 典型例题与考研题分析.....	24
2.3.1 典型例题分析.....	24
2.3.2 考研题分析.....	26
2.4 重要习题精选精解.....	27
2.5 两级训练题.....	31
2.5.1 达标训练题.....	31
2.5.2 考研挑战题.....	32
第 3 章 组合逻辑电路的分析与设计	35
3.1 本章知识结构图.....	35
3.2 疑难解惑.....	36
3.3 典型例题与考研题分析.....	40
3.3.1 典型例题分析.....	40
3.3.2 考研题分析.....	45
3.4 重要习题精选精解.....	47
3.5 两级训练题.....	50
3.5.1 达标训练题.....	50
3.5.2 考研挑战题.....	51



第4章 常用组合逻辑功能器件	53
4.1 本章知识结构图.....	53
4.2 疑难解惑.....	53
4.3 典型例题与考研题分析.....	57
4.3.1 典型例题分析.....	57
4.3.2 考研题分析.....	66
4.4 重要习题精选精解.....	71
4.5 两级训练题.....	86
4.5.1 达标训练题.....	86
4.5.2 考研挑战题.....	87
第5章 触发器	88
5.1 本章知识结构图.....	88
5.2 疑难解惑.....	89
5.3 典型例题与考研题分析.....	95
5.3.1 典型例题分析.....	95
5.3.2 考研题分析.....	97
5.4 重要习题精选精解.....	100
5.5 两级训练题.....	105
5.5.1 达标训练题.....	105
5.5.2 考研挑战题.....	105
第6章 时序逻辑电路的分析和设计	107
6.1 本章知识结构图.....	107
6.2 疑难解惑.....	108
6.3 典型例题与考研题分析.....	110
6.3.1 典型例题分析.....	110
6.3.2 考研题分析.....	121
6.4 重要习题精选精解.....	131
6.5 两级训练题.....	143
6.5.1 达标训练题.....	143
6.5.2 考研挑战题.....	145
第7章 常用时序逻辑功能器件	146
7.1 本章知识结构图.....	146
7.2 疑难解惑.....	146
7.3 典型例题与考研题分析.....	150
7.3.1 典型例题分析.....	150
7.3.2 考研题分析.....	158
7.4 重要习题精选精解.....	162





7.5 两级训练题	168
7.5.1 达标训练题	168
7.5.2 考研挑战题	169
第 8 章 半导体存储器和可编程逻辑器件	170
8.1 本章知识结构图	170
8.2 疑难解惑	170
8.3 典型例题与考研题分析	177
8.3.1 典型例题分析	177
8.3.2 考研题分析	180
8.4 重要习题精选精解	183
8.5 两级训练题	197
8.5.1 达标训练题	197
8.5.2 考研挑战题	199
第 9 章 脉冲波形的产生与变换	201
9.1 本章知识结构图	201
9.2 疑难解惑	201
9.3 典型例题与考研题分析	206
9.3.1 典型例题分析	206
9.3.2 考研题分析	210
9.4 重要习题精选精解	213
9.5 两级训练题	216
9.5.1 达标训练题	216
9.5.2 考研挑战题	217
第 10 章 数模与模数转换器	219
10.1 本章知识结构图	219
10.2 疑难解惑	220
10.3 典型例题与考研题分析	226
10.3.1 典型例题分析	226
10.3.2 考研题分析	236
10.4 重要习题精选精解	238
10.5 两级训练题	242
10.5.1 达标训练题	242
10.5.2 考研挑战题	244
附录 A 达标模拟题一及参考答案	246
附录 A.1 达标模拟试题	246
附录 A.2 参考答案	248
附录 B 达标模拟题二及参考答案	253





附录 B.1 达标模拟题二.....	253
附录 B.2 参考答案.....	255
附录 C 考研模拟题一及参考答案	259
附录 C.1 考研模拟题.....	259
附录 C.2 参考答案.....	262
附录 D 考研模拟题二及参考答案	265
附录 D.1 考研模拟题.....	265
附录 D.2 参考答案.....	268
附录 E 各章两级训练题参考答案	271
附录 E.1 第 1 章两级训练题参考答案.....	271
附录 E.1.1 达标训练题答案.....	271
附录 E.1.2 考研挑战题答案.....	271
附录 E.2 第 2 章两级训练题参考答案.....	274
附录 E.2.1 达标训练题答案.....	274
附录 E.2.2 考研挑战题答案.....	276
附录 E.3 第 3 章两级训练题参考答案.....	278
附录 E.3.1 达标训练题答案.....	278
附录 E.3.2 考研挑战题答案.....	279
附录 E.4 第 4 章两级训练题参考答案.....	280
附录 E.4.1 达标训练题答案.....	280
附录 E.4.2 考研挑战题答案.....	280
附录 E.5 第 5 章两级训练题参考答案.....	282
附录 E.5.1 达标训练题答案.....	282
附录 E.5.2 考研挑战题答案.....	282
附录 E.6 第 6 章两级训练题参考答案.....	283
附录 E.6.1 达标训练题答案.....	283
附录 E.6.2 考研挑战题答案.....	285
附录 E.7 第 7 章两级训练题参考答案.....	285
附录 E.7.1 达标训练题答案.....	285
附录 E.7.2 考研挑战题答案.....	288
附录 E.8 第 8 章两级训练题参考答案.....	289
附录 E.8.1 达标训练题答案.....	289
附录 E.8.2 考研挑战题答案.....	290
附录 E.9 第 9 章两级训练题参考答案.....	292
附录 E.9.1 达标训练题答案.....	292
附录 E.9.2 考研挑战题答案.....	293
附录 E.10 第 10 章两级训练题参考答案.....	296





附录 E.10.1 达标训练题答案	296
附录 E.10.2 考研挑战题答案	297
附录 F 常用逻辑符号对照表	298
参考文献	300



第 1 章 数字逻辑基础

1.1 本章知识结构图

本章介绍的是数字逻辑的基础知识,包括数字信号、数字电路及其特点、数制与码制、基本逻辑运算等内容。通过本章的学习,要让学生正确理解一些常用术语或定义,如二值数字逻辑、逻辑电平、脉冲波形和数字波形等;掌握二进制、十六进制、十进制等不同数制之间的关系及相互转换规律;掌握数字系统中常用的几种 BCD 码(8421 码、2421 码和余 3 码)及可靠性编码,如格雷码等;初步建立逻辑变量与逻辑函数,以及与、或、非 3 种基本逻辑运算的概念,掌握逻辑问题的描述方法,为后续各章的学习打下基础。本章主要内容如图 1.1 和图 1.2 所示。

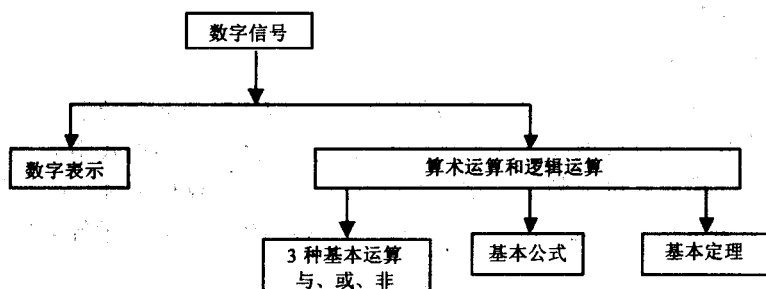


图 1.1

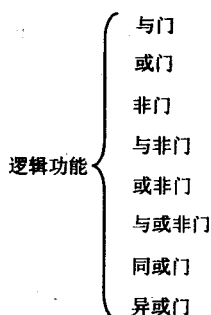


图 1.2



1.2 疑难解惑

问题 1.2.1 数字电路有哪些特点?

【指点迷津】

(1) 用 0 和 1 两个基本数字符号表示数字信号的两个离散状态, 反映在电路上通常是高电平和低电平。

(2) 二极管和三极管一般工作在开关状态。

(3) 研究的主要问题是电路输入状态和输出状态的关系, 即逻辑关系。

(4) 主要方法是逻辑分析和设计, 主要数学工具是逻辑代数。

因此, 数字电路的优点是抗干扰能力强、电路工作的可靠性高、电路结构可以得到简化。

问题 1.2.2 如何将任意一种进位制中的数转换成另一种进位制中的数?

【指点迷津】

常用的方法如下:

(1) 多项式替代法。若要把 a 进位制中的某一数转换成 b 进位制中的数, 则首先应把 a 进位制中的数按其位权值展开成多项式形式, 然后把这一多项式中的基本数符、进位基数及指数幂全部换成 b 进位制中的数, 再按 b 进位制的运算规则进行运算即可得出。

(2) 基数乘法。即把待转换数的整数部分和小数部分分别进行处理, 然后合并得出转换结果。

整数部分: 基数除法, 即, 被转换的数 \div 新的进位基数 = 商₁(整数) + 余数₁(包括 0);

商₁ \div 新的进位基数 = 商₂(整数) + 余数₂(包括 0), 直至商为 0, 然后把所有余数按先后次序从低位到高位排列即为整数部分转换的结果。

小数部分: 基数乘法, 即, 被转换的数 \times 新的进位基数 = 整数₁(包括 0) + 小数₁。

小数 \times 新的进位基数 = 整数₂(包括 0) + 小数₂, 直至小数点后的位数满足精度要求。

问题 1.2.3 什么叫数码? 常用的数码有哪些?

【指点迷津】

任何数在不同的进位制中, 均以一个数字串的形式表示, 通常称为数码。不同的数码不仅可以表示出数值的大小, 也可以对其赋予特定的含义, 用以表示不同的事物及状态, 此时这些数码已失去了数值的概念而成为一种代码。在数字电路中, 代码往往采用一定位数的二进制数表示, 它是按照一定的规则编制而成的, 并依其不同的应用要求及传输方式而异, 常用的一位十进制数的二进制数编码, 即 BCD 码有 8421 码、5421 码、余三码和格雷码等。





问题 1.2.4 逻辑函数有哪些表示方法?

【指点迷津】

一个逻辑函数可以有 5 种不同的表示方法：逻辑函数式、逻辑真值表、逻辑图、波形图和卡诺图。

(1) 逻辑函数式是用与、或、非 3 种基本运算组合而成的数学表达式表示逻辑函数的方法。它书写方便，形式简洁，便于推演变换和用逻辑符号表示。

(2) 逻辑真值表是将输入、输出之间的逻辑关系用数字符号并列成表格的形式。它可直观明了地反映变量取值和函数值的关系，一个确定的逻辑函数只有一个真值表。

(3) 逻辑图是用逻辑符号表示对应的逻辑关系的方法。逻辑符号与器件有明显的对应关系，便于制成实际电路图。

(4) 波形图是用变量随时间变化的波形反映输入与输出之间的对应关系的方法。它反映了逻辑变量之间随时间变化的规律，与实际电路的电压波形相对应，常用于电路的分析检测和设计测试。它们还可以根据实际需要相互转换。

(5) n 个变量的卡诺图是一种由 2^n 个方格构成的图形，每一个方格表示逻辑函数的一个最小项，所有的最小项巧妙地排列成一种能清楚地反映它们相邻关系的方格阵列。因为任意一个逻辑函数都可表示成“最小项之和”的形式，所以一个函数可用图形中若干方格构成的区域来表示。卡诺图上处在相邻、相对、相重位置的小方格所代表的最小项为相邻最小项。

问题 1.2.5 逻辑函数有哪些基本的公式与定律?

【指点迷津】

逻辑代数的基本定理主要有：

(1) 代入定理

在任何一个包含变量 A 的逻辑等式中，若以另外一个逻辑式代入式中所有 A 的位置，则等式仍然成立。

例

$$\overline{A+(B+C)} = \overline{A} \cdot \overline{(B+C)} = \overline{A} \cdot \overline{B} \cdot \overline{C}$$

$$\overline{A \cdot (B \cdot C)} = \overline{A} + \overline{(B \cdot C)} = \overline{A} + \overline{B} + \overline{C}$$

摩根定理也适用于多变量的情况。

(2) 反演定理

对任意一个逻辑式 Y ，若将其中所有的“ \cdot ”换成“ $+$ ”，“ $+$ ”换成“ \cdot ”，0 换成 1，1 换成 0，原变量换成反变量，反变量换成原变量，则得到的结果就是 Y 的反函数 Y' 。

注意：① 仍需遵守“先括号、然后乘、最后加”的运算优先次序；

② 不属于单个变量上的反号应保留不变。

例 已知 $Y = A(B+C) + CD$ ，求 \bar{Y} 。



**【解答】**

根据反演定理可写出

$$\bar{Y} = (\bar{A} + \bar{B}\bar{C})(\bar{C} + \bar{D}) = \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{A}\bar{D} + \bar{B}\bar{C}\bar{D} = \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{A}\bar{D}$$

(3) 对偶定理

若两逻辑式相等, 则它们的对偶式也相等, 这就是对偶定理。

所谓对偶式是这样定义的: 对于任何一个逻辑式 Y , 若将其中的“·”换成“+”, “+”换成“·”, 0 换成 1, 1 换成 0, 则得到一个新的逻辑式 Y' , Y' 就叫做 Y 的对偶式。

例 试用对偶定理证明式: $A + BC = (A + B)(A + C)$

【解答】

根据乘法分配律, 有 $A(B + C) = AB + AC$, 根据对偶定理可知原题等式成立。

问题 1.2.6 什么是最简逻辑式? 常用的最简式有几种?

【指点迷津】

同一个逻辑函数一般有多种形式的最简式, 如“与或”式, “与非”式、“或与”式、“或非-或非”式和“与或非”式等。逻辑代数定律如表 1.1 所示。

表 1.1 逻辑代数定律

序号	名称	基本公式	对偶式
1	交换律	$A+B=B+A$	$AB=BA$
2	结合律	$A+(B+C)=(A+B)+C$	$A(BC)=(AB)C$
3	分配律	$A(B+C)=AB+AC$	$A+BC=(A+B)(A+C)$
4	0-1律	$1 \cdot A=A$ $0 \cdot A=0$	$1+A=1$ $0+A=A$
5	互补律	$A+\bar{A}=1$	$A \cdot \bar{A}=0$
6	重叠律	$A+A=A$	$A \cdot A=A$
7	对合律	$A=\bar{\bar{A}}$	
8	吸收律	$A+AB=A$ $A+\bar{A}B=\bar{A}+B$	$A(A+B)=A$ $A(\bar{A}+B)=\bar{A}B$
9	德-摩根定律	$\overline{AB}=A+\bar{B}$	$\overline{A+\bar{B}}=\bar{A}B$
10	包含律	$AB+AC+BC=AB+AC$	$(A+B)(A+C)(B+C)=(A+B)(A+C)$

例 逻辑函数 $Y = \overline{AB} + BC$

【解答】

题目给出的是最简“与或”表达式, 该函数其他形式的最简式有

“与非-与非”式为 $Y = \overline{\overline{AB} \cdot \overline{BC}}$

“与或非”式为 $Y = \overline{\overline{AB} + \overline{BC}}$

“或与”式为 $Y = (A+B)(\bar{B}+C)$

“或非-或非”式为 $Y = \overline{\overline{A+B} + \overline{\bar{B}+C}}$

无论哪种最简式, 画成逻辑图后应包含的单元门数都最少, 每个门的输入端数也尽可





能少。

问题 1.2.7 公式化简法常采用哪些公式?

【指点迷津】

逻辑函数的公式法化简，实际上就是反复应用逻辑代数的基本公式和常用公式对逻辑函数进行反复运算求得最简表达式的过程。常用的化简方法有以下几种：

- (1) 合并项法：利用公式 $AB+AB=AB$ 将两项合并，可消去一个变量。
- (2) 吸收法：利用公式 $A+AB=A$ 可将多余项 AB 吸收，从而消去一个乘积项。
- (3) 消去法：利用公式 $A+\overline{A}B=A+B$ ，将式中的多余因子 A 去掉，使乘积项中的因子减少。
- (4) 配项法：有时为了化简的需要，利用基本公式 $A+\overline{A}=1$ ，把某些项乘以 $(A+\overline{A})$ ，展开后消去更多的项，或人为地加上一些多余项，便求得更简化的函数式。

例 $Y = \overline{A}B + \overline{B}C + \overline{A}B + AC$

【解答】

本题可以用配项法化简，但一下子难以辨认配哪些项能使函数化简。有时采用在函数式中加上适当的多余项的办法对逻辑函数进行化简，其原则是：

- (1) 增加了新项不会影响函数的逻辑关系。
- (2) 增加的新项便于与其他项合并。

一般可采用试探法。在 Y 中若加上多余项 $\overline{A}C$ ，它是 $Y = \overline{A}B + \overline{B}C$ 的多余项，可与 AC 合并，则

$$\begin{aligned}
 Y &= \overline{A}B + \overline{B}C + \overline{A}B + AC + \overline{A}C && \text{——配项} \\
 &= \overline{A}B + \overline{B}C + \overline{A}B + A && \text{——合并项} \\
 &= \overline{B}C + B + A && \text{——吸收、消去} \\
 &= B + A && \text{——吸收}
 \end{aligned}$$

问题 1.2.8 试阐述卡诺图化简逻辑函数的原理

【指点迷津】

由于卡诺图中几何相邻的方格是逻辑相邻项(如图 1.3 所示)，故根据公式 $AB+\overline{A}B=A$ ，两个相邻项可以合并，消去不同的因子，保留两项中相同的因子，从而可化简函数。所以，在函数卡诺图中，可以很直观地找到能化简的相邻项。把含“1”的相邻项圈起来，保留所圈最小项中的公共因子，舍去不同因子，写出一个简化乘积项。把所有的简化乘积项相加，就得到了简化的逻辑函数式。注意，所圈方格的数目一定是 2 的整次幂 2、4、8、16，要合并的方格必须在图中排列成矩形或正方形。需要指出的是，逻辑相邻项包含卡诺图的最上行和最下行、最左列和最右列，以及同列或同行两端的两个小方格。



	AB		00	01	11	10
CD	00	0	4	12	8	
	01	1	5	13	9	
	11	3	7	15	11	
	10	2	6	14	10	

	AB		A	
	00	01	11	10
CD	00	$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}\bar{B}\bar{C}D$	$\bar{A}\bar{B}C\bar{D}$
	01	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}\bar{B}CD$	$\bar{A}B\bar{C}\bar{D}$
	11	$\bar{A}B\bar{C}\bar{D}$	$\bar{A}B\bar{C}D$	$\bar{A}BC\bar{D}$
	10	$\bar{A}BC\bar{D}$	$\bar{A}BCD$	$\bar{A}B\bar{C}D$
	C		B	
			D	

图 1.3

问题 1.2.9 卡诺图化简函数的步骤和原则是什么?

【指点迷津】

卡诺图化简函数的一般步骤如下:

- (1) 根据变量数画出变量卡诺图。
- (2) 在函数包含的最小项方格中填写“1”，其余方格填“0”或者不填，作出函数卡诺图。
- (3) 合并相邻项，将能合并的最小项方格圈出。
- (4) 写出最简与或表达式。

为了能得到最简逻辑函数式，现将圈最小项的原则归纳如下:

- (1) 每个圈尽可能大，使化简后乘积项含因子最少;
- (2) 每个圈中最少有一个最小项没被圈过，以免出现多余项;
- (3) 用最少的圈数覆盖函数的全部最小项，使乘积项的个数最少，但又不能漏项。

问题 1.2.10 什么叫约束项、任意项和无关项? 在卡诺图化简中如何处理?

【指点迷津】

逻辑函数的输入变量之间有一定的制约关系，我们称为约束；这样一组输入变量称为具有约束的变量。

还有一种情况就是，在输入变量的某些取值下，函数值是 1 还是 0 皆可，并不影响电路的功能。这些变量取值所对应的最小项称为任意项。

无论是约束项还是任意项，它们都对电路的输出逻辑函数无影响，也就是说，输出函数与这些最小项无关。因此，我们把约束项和任意项统称为无关项。



1.3 典型例题与考研题分析

1.3.1 典型例题分析

例1 试按要求进行数值转换:

(1) $(101101.101)_2 = (\quad)_{10}$

(2) $(708.1)_{10} = (\quad)_4$

【分析】

数制转换就是将 a 进位制中的数转换成等值的 b 进位制中的数。通常可以采用两种方法进行转换: 一是多项式替换法, 二是基数乘法。若是 $a < b$, 则用多项式替代法较为简便; 若是 $a > b$, 则用基数乘法较为简便。本例给出的前一种组数为 $a < b$, 后一种组数为 $a > b$ 。

采用多项式替换法进行转换。解题时只要将给定的数按式 $D = \sum_{i=-m}^{n-1} K_i N^i$ 展开成多项式, 然后把各项的数值按十进制相加, 就可得出转换的结果。

【解答】

(1) 数 $(101101.101)_2 N=2$

则有:

$$D = 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} = (45.625)_{10}$$

(2) 数 $(708.1)_{10}$

小数部分

$$0.1 \times 4 = 0.4$$

$$0.4 \times 4 = 1.6$$

$$0.6 \times 4 = 2.4$$

$$0.4 \times 4 = 1.6$$

基数乘法

$$\text{整数} = 0 = k_{-1}$$

$$\text{整数} = 1 = k_{-2}$$

$$\text{整数} = 2 = k_{-3}$$

$$\text{整数} = 1 = k_{-4}$$

整数部分

基数除法

4	708	————— 余数=0= K_0
4	77	————— 余数=1= K_1
4	44	————— 余数=0= K_2
4	11	————— 余数=3= K_3
4	2	————— 余数=2= K_4
	0	

所以 $(708.1)_{10} = (23010.0121)_4$

在用基数乘、除法进行数制转换时必须注意: 整数部分基数除法, 第一次得出的余数



是转换所得等值数的最低位,最后得出的余数才是最高位;小数部分基数乘法所取的位数由转换要求决定,通常取小数点后三位就可以了。

例2 试用卡诺图法将下列函数化简为最简与或式。

$$(1) F(A, B, C, D) = \sum m(0, 2, 4, 5, 7, 13) + \sum d(8, 9, 10, 11, 14, 15)$$

$$(2) F(A, B, C, D) = \sum m(0, 1, 2, 3, 6, 8) + \sum d(10, 11, 12, 13, 14, 15)$$

$$(3) F(A, B, C, D) = \sum m(0, 1, 4, 9, 12, 13) + \sum d(2, 3, 6, 10, 11, 14)$$

$$(4) \begin{cases} F(A, B, C, D) = \overline{AD} + \overline{ABC} + \overline{BCD} + \overline{ABC} \\ \text{约束: } AB + AC = 0 \end{cases}$$

【分析】

一般,一个 n 变量的逻辑函数有 2^n 个最小项,可以写成如下的标准与或式

$$F = \sum_0^{2^n-1} f_i \cdot m_i$$

例如,4 变量的逻辑函数有 16 个最小项,它们在 4 变量的卡诺图中的分布如图所示。

用卡诺图简化函数,首先要画出逻辑函数对应的卡诺图,然后根据卡诺图简化的标准简化函数。

- (1) 卡诺圈越少越好。
- (2) 卡诺圈越大越好。

注意在圈并最小项时,应首先考虑那些只有一个合并方向的最小项,当这些最小项都被圈过以后,再对那些剩余的最小项按上述原则圈并,要保证每个圈子中都有一个新鲜内容。

【解答】

(1) 作出函数的卡诺图,如图 1.4 所示。

注意, d 表示任意项,即无论填 0 还是填 1 对有定义的部分都没有影响,因此在圈并时可以将任意项也圈入,这样可以使逻辑函数更加简单。

由图可得

$$F = \overline{ACD} + BD + \overline{BD}$$

(2) 作出函数的卡诺图,如图 1.5 所示。

由图可得

$$F = \overline{AB} + \overline{BD} + \overline{CD}$$

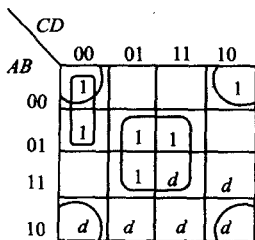


图 1.4

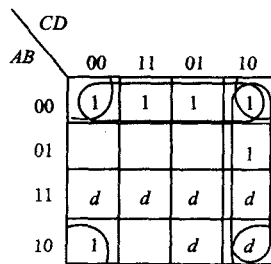


图 1.5

(3) 作出函数的卡诺图,如图 1.6 所示。





由图可得

$$F = \overline{AB} + \overline{BD} + \overline{ACD}$$

本题给出的逻辑函数是用另一种形式表示的非完全描述的逻辑函数，其约束条件 $AB+AC=0$ 。一个 n 变量的逻辑函数有 2^n 个最小项，任何一组输入变量的取值都使其中一个，且仅使一个最小项的值为 1，所以当限制某些输入变量的取值不能出现时，可以用它们对应的最小项恒等于 0 来表示，这些最小项构成了逻辑函数的无关最小项。在这里 $AB+AC=0$ ，即表示 \overline{ABCD} , \overline{ABCD} , \overline{ABCD} , \overline{ABCD} , \overline{ABCD} , \overline{ABCD} 为 6 个最小项的值恒等于 0。也就是任意项，表明这一逻辑函数包含有任意项 $\sum d(10,11,12,13,14,15)$ 。这与上面的题目完全是一个形式，只不过表达方式不同而已。

由此可得：

$$F(A,B,C,D) = \sum m(0,2,3,4,6,8,9) + \sum d(10,11,12,13,14,15)$$

(4) 作出函数的卡诺图，如图 1.7 所示。

由图可得

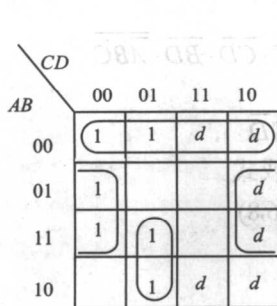


图 1.6

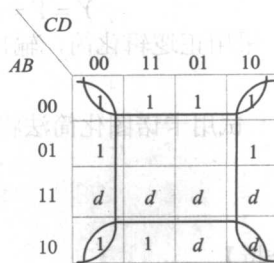


图 1.7

【举一反三】

包含有 n 个变量的逻辑函数，应具有 2^n 个最小项。任何一组输入变量的取值，都使其中一个，且仅使一个最小项的值为 1。所以，当限制某些输入变量的取值不能出现时，可用它们对应的最小项恒等于 0 来表示。这些最小项构成了逻辑函数的无关最小项。本例给出的约束条件 $AB+AC=0$ ，即表示这一逻辑函数中 \overline{ABCD} , \overline{ABCD} , \overline{ABCD} , \overline{ABCD} , \overline{ABCD} , \overline{ABCD} 等 6 个最小项的值恒等于 0。也就是它们是逻辑函数的无关最小项。但要切记，在用卡诺图化简逻辑函数时，这些无关最小项对应的小方格中仍应标记为“X”或“d”，决不能记为 0。

1.3.2 考研题分析

例 1 逻辑功能由最小项表达式 $L(A,B,C,D) = \sum m(2,4,8,9,10,12,14)$ 表示。

(1) 采用最简便的方式，用与非门构成。

(2) 采用最简便的方式，用或非门构成。

【分析】

这是一个关于最小项逻辑化简并采用正、负逻辑实现的问题。首先对最小项应有概念，



其次对与非/或非的关系应清楚。与对应于正逻辑，1为有效；对应于负逻辑，则0为有效。

【解答】

根据最小项内容，画出正逻辑与负逻辑的卡诺图，如图 1.8 所示。应注意，卡诺图的化简结果虽不惟一，但化简后的非最小项项数应该相同。

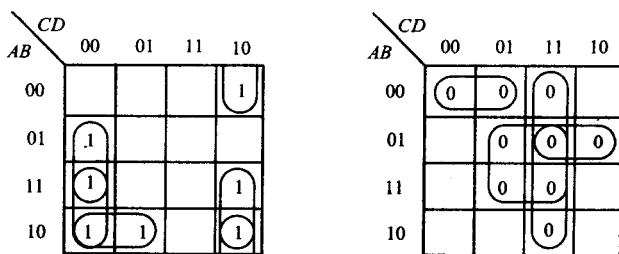


图 1.8

(1) 采用负逻辑化简，输出为

$$\bar{Y} = \overline{ABC} + CD + BD + \overline{ABC}$$

$$Y = \bar{\bar{Y}} = \overline{\overline{ABC} + CD + BD + \overline{ABC}} = \overline{\overline{ABC} \cdot CD \cdot BD \cdot \overline{ABC}}$$

(2) 采用正逻辑化简，输出为

$$Y = \overline{BCD} + \overline{ABC} + \overline{ACD} + \overline{BCD}$$

例 2 试用卡诺图化简法将以下逻辑函数化简成最简与或式。

$$\begin{cases} Y = f(A, B, C, D) = \sum m(0, 2, 6, 8) \\ AB + AC = 0 \end{cases}$$

【分析】

本例给出的逻辑函数是用另一种形式表示的非完全描述的逻辑函数，其约束条件是 $AB+AC=0$ 。这表明这一种逻辑函数包含有无关最小项 $\sum d(10, 11, 12, 13, 14, 15)$ 。

【解答】

给定逻辑函数的卡诺图如图 1.9 所示。

将无关最小项视为 1 格，在卡诺图中圈 1 化简后，得出函数的最简与或式为：

$$Y = \overline{BD} + \overline{CD}$$

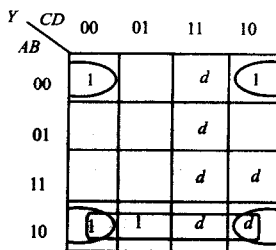


图 1.9

1.4 重要习题精选精解

1. 试绘出下列二进制数的数字波形，设逻辑 1 的电压=5V，逻辑 0 的电压=0V：

- (1) 001100110011 (2) 0111010 (3) 1111011101

【解答】

根据数字信号的定义，题中 3 个数字信号的波形图如图 1.10 所示。



$$\begin{array}{l}
 \text{5V} \\
 \text{0V} \\
 \text{(1) } \underline{001100110011} \\
 \text{(2) } \underline{01110110} \\
 \text{(3) } \underline{1111011101}
 \end{array}$$

图 1.10

2. 将下列十进制数转换为二进制数、八进制数、十六进制数和 8421BCD 码(要求转换误差不大于 2^{-4}):

- (1) 43 (2) 127 (3) 254.25 (4) 2.718

【解答】

设十进制、二进制、八进制和十六进制数用下标 D、B、O 和 H 表示。

(1) 43 首先转化为十六进制, 有

$$(43)_D = (2B)_H$$

根据 16 进制 1 位转化为 2 进制中的 4 位关系, 有

$$(43)_D = (00101011)_B$$

根据二进制中 3 位转化为八进制中 1 位的关系, 有

$$(43)_D = (53)_O$$

$$(43)_D = (01000011)_{BCD}$$

(2) 采用相同的方法, 十进制 127 的转化结果为

$$(127)_D = (7F)_H$$

$$(127)_D = (01111111)_B$$

$$(127)_D = (177)_O$$

$$(127)_D = (000100100111)_{BCD}$$

(3) 254 除 16 的结果为: 商为 15, 余数为 14。则十进制 254.25 的转化结果为

$$(254.25)_D = (FE.4)_H$$

$$(254.25)_D = (11111110.0100)_B$$

$$(254.25)_D = (376.2)_O$$

$$(254.25)_D = (001001010100.00100101)_{BCD}$$

(4) 十进制 2.718 的转化结果为:

$$(2.718)_D = (01.10110111)_B$$

$$(2.718)_D = (2.556)_O$$

$$(2.718)_D = (2.B7)_H$$

$$(2.718)_D = (0010.011100011000)_{BCD}$$

3. 证明下列逻辑等式:

$$(1) AB + \bar{A}C + (\bar{B} + \bar{C})D = AB + \bar{A}C + D$$

$$(2) \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{C}\bar{A} = \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{C}\bar{A}$$

$$(3) A \oplus B \oplus C = A \cdot B \cdot C$$

$$(4) \overline{A \oplus B \oplus C} = A \oplus B \oplus \bar{C}$$





$$(5) (A+B) \cdot (A+C) = A+B \cdot C$$

【解答】

$$(1) \text{ 左边} = AB + \bar{A}C + BC + \bar{B}CD = AB + \bar{A}C + BC + D = AB + \bar{A}C + D$$

(2) 反用消冗余项公式, 则

$$\text{左边} = \bar{A}B + \bar{B}C + C\bar{A} + \bar{A}B + \bar{B}C + \bar{C}A = \bar{A}B + \bar{B}C + \bar{C}A = \text{右边}$$

得证。

$$(3) \text{ 左边} = (A \oplus B)\bar{C} + (\overline{A \oplus B})C = (\overline{A \oplus B})C + (\overline{A \oplus B})C = (\overline{A \oplus B}) \cdot C = A \cdot B \cdot C = \text{右边}$$

得证。

$$(4) \text{ 右边} = (A \oplus B)\bar{C} + (\overline{A \oplus B})C = (A \oplus B)C + (\overline{A \oplus B})C = (A \oplus B) \cdot C = \overline{A \oplus B \oplus C} = \text{右边}$$

得证。

$$(5) \text{ 左边} = (A+B)(A+C) + (\overline{A+B})(\overline{A+C}) = A+AC+AB+BC+\overline{ABAC} \\ = A+BC+\overline{ABC} = A+BC+\bar{B}\bar{C} = A+B \cdot C = \text{右边}$$

得证。

4. 把下列逻辑代数化成最简与-或式和最简或与式:

$$(1) F_1(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 5, 8, 10, 11, 12)$$

$$(2) F_2(A, B, C, D) = \sum m(2, 3, 5, 6, 7, 8, 9, 12, 13, 15)$$

$$(3) F_3(A, B, C, D) = \prod M(0, 1, 2, 3, 6, 8, 10, 11, 12)$$

$$(4) F_4(A, B, C, D) = \prod M(1, 3, 9, 10, 11, 14, 15)$$

【解答】

(1) 由卡诺图 1.11 得

$$F = \bar{A}C + \bar{B}C + \bar{C}D$$

(2) 由卡诺图 1.12 得

$$F = \bar{A}\bar{C} + \bar{A}C + BD$$

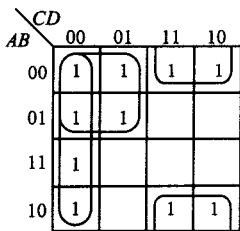


图 1.11

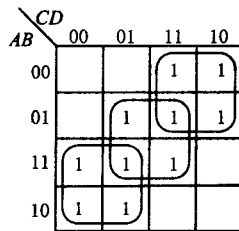


图 1.12

(3) 由卡诺图 1.13 得

$$F = (A+B)(\bar{A}+\bar{C})(\bar{A}+C+D)(A+\bar{C}+D)$$

(4) 由卡诺图 1.14 得

$$F = (\bar{A}+\bar{C})(B+\bar{D})$$

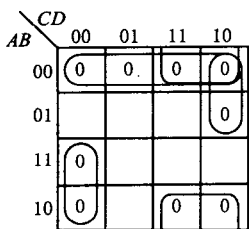


图 1.13

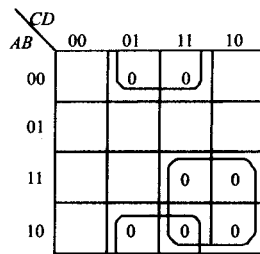


图 1.14

5. 已知逻辑函数： $F_1 = \overline{ABD} + C$ ； $F_2 = BC + CD$ ：

- (1) 分别写出 F_1 和 F_2 的最小项表达式和最大项表达式；
- (2) 求 $F_a = F_1 \cdot F_2$ 的最简与非式；
- (3) 求 $F_b = F_1 + F_2$ 的最简或与式；
- (4) 求 $F_c = F_1 F_2$ 的最简与非式。

【分析】

本题可先画出各表达式的卡诺图，然后根据卡诺图化简逻辑函数很快得出结果。

【解答】

(1) $F_1 = \sum m(0,1,4,5,6,8,9,12,13)$ ，如图 1.15 所示。

$F_2 = \prod M(0,1,2,4,6,8,9,10,14)$ ，如图 1.16 所示。

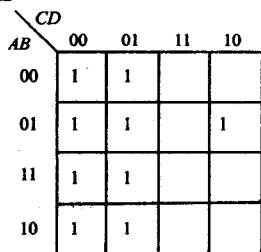


图 1.15

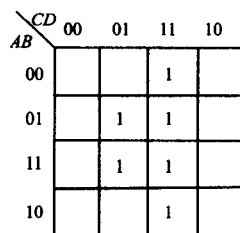


图 1.16

(2) 画出 F_a 的卡诺图如图 1.17 所示，得

$$F_a = F_1 \cdot F_2 = ABC\overline{D} + B\overline{C}D$$

(3) 画出 F_b 的卡诺图如图 1.18 所示，得

$$F_b = F_1 + F_2 = \overline{A}B + \overline{C} + D$$

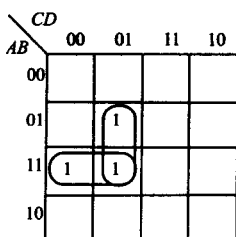


图 1.17

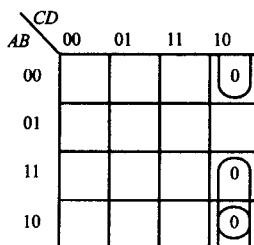


图 1.18



(4) 画出 F_c 的卡诺图如图 1.19 所示, 得

$$\begin{aligned} F_c &= F_1 F_2 = (\overline{B+C+D})(\overline{A+B+D})(B+\overline{C+D}) \\ &= \overline{(B+C+D) + (A+B+D) + (B+\overline{C+D})} \\ &= \overline{BCD + ABD + \overline{BCD}} \\ &= \overline{BCD} + \overline{ABD} + \overline{\overline{BCD}} \end{aligned}$$

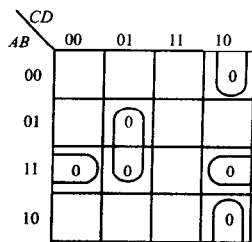


图 1.19

6. 用代数法证明下列等式。

(1) $ABC + \overline{ABC} = \overline{AB} + \overline{BC} + \overline{CA}$

(2) $\overline{A \oplus B \oplus C}$

$$= (\overline{A+B+C})(\overline{A+B+C})(\overline{A+B+C})(\overline{A+B+C})$$

(3) $\overline{A+C+AD+BC} = A \oplus C + (A+C) \cdot \overline{BD}$

(4) $A \oplus B \oplus C \oplus D = A \oplus \overline{B} \oplus C \oplus \overline{D}$

【分析】

此类逻辑代数的证明一般可将等式两边展开以证明两边相等, 或者由一边转化为另一边。

【解答】

(1) 利用逻辑代数的基本公式将等式的两边展开:

$$\begin{aligned} \text{左边} &= ABC + \overline{ABC} \\ \text{右边} &= \overline{AB} \cdot \overline{BC} \cdot \overline{CA} = (A+\overline{B})(B+\overline{C})(C+\overline{A}) \\ &= (\overline{AB} + \overline{AC} + \overline{BC})(C + \overline{A}) = ABC + \overline{ABC} = \text{左边} \end{aligned}$$

(2) 观察等式两边, 若将等式两边同时取反, 右边利用逻辑代数的反演律可大大简化证明过程。

$$\begin{aligned} \text{左边} &= \overline{(\overline{AB} + \overline{AB}) \oplus C} = \overline{(\overline{AB} + \overline{AB}) \cdot C + (\overline{AB} + \overline{AB}) \cdot \overline{C}} \\ &= \overline{ABC + \overline{ABC} + \overline{ABC} + ABC} \\ \text{右边} &= \overline{(\overline{A+B+C})(\overline{A+B+C})(\overline{A+B+C})(\overline{A+B+C})} \\ &= \overline{(\overline{A+B+C}) + (\overline{A+B+C}) + (\overline{A+B+C}) + (\overline{A+B+C})} \\ &= \overline{ABC + \overline{ABC} + \overline{ABC} + ABC} \end{aligned}$$

所以, 左边=右边。

(3)

$$\begin{aligned} \text{左边} &= (A+C)(\overline{AD} + \overline{BC}) = (A+C) \cdot \overline{ABCD} \\ \text{右边} &= \overline{AC} + \overline{AC} + \overline{ABD} + \overline{CBD} = A(\overline{BD} + \overline{C}) + C(\overline{A} + \overline{BD}) \\ &= \overline{ABCD} + \overline{CABD} = (A+C) \cdot \overline{ABCD} \end{aligned}$$

所以, 左边=右边。

(4) 此类等式若两边展开则显得很繁琐, 利用一定的技巧将等式右边化转为左边的形式即可。

$$\begin{aligned} \text{右边} &= A \oplus C \oplus \overline{B} \oplus \overline{D} = A \oplus C \oplus (\overline{BD} + \overline{BD}) = A \oplus C \oplus B \oplus D \\ &= A \oplus B \oplus C \oplus D = \text{左边} \end{aligned}$$



1.5 两级训练题

1.5.1 达标训练题

1. 将下列二进制整数转化成十进制数:

- (1) 1011010 (2) 1100101
(3) 000111 (4) 1111010

2. 将下列二进制小数转化成十进制数:

- (1) 0.1101 (2) 0.1011
(3) 0.0011 (4) 0.0101

3. 将下列十进制整数化成二进制数:

- (1) 71 (2) 39
(3) 128 (4) 83

4. 将下列八进制数转化成二进制数:

- (1) 267 (2) 75
(3) 32.41 (4) 22.37

5. 将下列二进制数转化为十六进制数:

- (1) 110010 (2) 1011011
(3) 0.001101 (4) 0.101101
(5) 101110.001011

6. 根据下列文字描述, 建立真值表然后写出逻辑表达式:

(1) 设有3个变量的逻辑函数 $F=f(A,B,C)$, 当 A,B,C 中有奇数个1时, $F=1$; 否则 $F=0$ 。

(2) 设有两个二进制数 $X=AB$ 和 $Y=CD$, 若 $X>Y$, 则 $F_1=1$; 若 $X=Y$, 则 $F_2=1$; 若 $X<Y$, 则 $F_3=1$ 。

(3) 一位二进制加法电路, 输入位有被加数 A , 加数 B 和低位的进位 C_I , 输出位是所得的和 Σ 以及向高位的进位 C_O 。

7. 将下列每个二进制数转换为十六进制码:

- (1) $(101001)_B$ (2) $(11.01101)_B$

8. 将下列十六进制数转换为二进制数:

- (1) $(23F.45)_H$ (2) $(A040.51)_H$

1.5.2 考研挑战题

1. 试写出下列逻辑函数的“与或”、“或与”、“与非-与非”、“或非-或非”、“与非-或非”、“异或”、“同或”形式的原函数和反函数。(共14个表达式)





$$F = \sum(2,3,4,5,10,11,12,13)。$$

2. 用代数法化简逻辑表达式, 并注明所引用的公式名称或形式。

$$F = (A + \overline{AB} + \overline{B} + \overline{CD} + \overline{BAD})(A(\overline{AC} + BD) + B(C + DE) + \overline{BC})$$

3. (1) 试用与非门和非门实现函数 $Y = A \cdot B \cdot C + (\overline{A \cdot B} + \overline{A \cdot B}) + \overline{B \cdot D}$

(2) 请分别用二进制和十六进制表示十进制数 107.65。

4. 将下列数码作为自然二进制数和 8421BCD 码时, 分别求出相应的十进制数:

(1) 10010111 (2) 100010010011 (3) 000101001001

5. 试证明等式: $X \oplus Y = \overline{\overline{XY}X \cdot \overline{XY}Y}$; $XY + XZ + YZ = \overline{\overline{XY}(X \oplus Y)Z}$



第 2 章 逻辑门电路

2.1 本章知识结构图

逻辑门电路是各种数字电路及数字系统的基本逻辑单元。

本章首先介绍半导体二极管、BJT 的开关特性，同时介绍了 TTL 和 CMOS 两类集成门电路的特性，即它们的逻辑功能和外部电气特性(包括电压传输特性、输入特性、输出特性和动态特性等)。为便于合理选择和正确使用数字集成器件，必须熟悉它们的主要参数，如输入、输出高低电平时的电压、电流范围、噪声容限、扇入数、扇出数、平均传输延迟时间及功耗等。以及逻辑门使用中的接口问题及其他一些实际问题 and 数字逻辑电路的正、负两种逻辑体制及相互关系。本章主要内容如图 2.1 图 2.2 和图 2.3 所示。

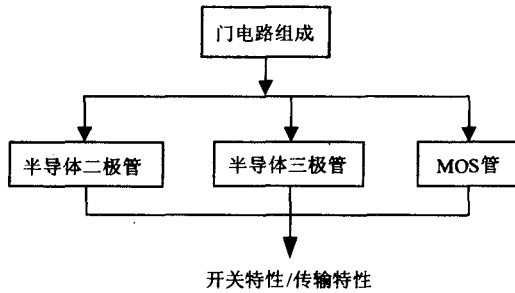


图 2.1

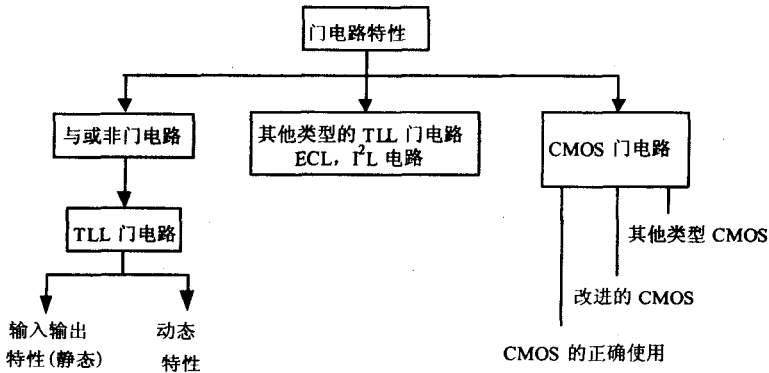


图 2.2

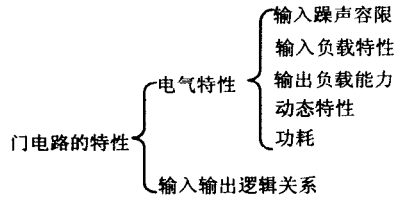


图 2.3

2.2 疑难解惑

问题 2.2.1 何为门电路?它是如何分类的?

【指点迷津】

门电路是指实现一些基本逻辑功能的电子电路。

门电路分为分立元件门电路和集成门电路。集成门电路种类很多,最常用的集成门电路主要分为 TTL 序列集成逻辑门和 CMOS 集成逻辑门两大类。典型代表有: TTL 与非门和与集电极开路(OC)门、TTL 三态(TS)门、CMOS 与非门、CMOS 或非门、CMOS 漏极开路门、CMOS 三态门等。

问题 2.2.2 何为集成门电路?门电路的性能包括哪些方面?

【指点迷津】

目前使用的集成门电路有两类:一类是用双极型晶体管构成的电路,称为 TTL 集成门电路;另一类是 CMOS 管构成的集成电路,称为 CMOS 集成门电路。主要特性参数有:标称逻辑电平、开门电平、关门电平、扇入系数、扇出系数和平均传输延迟等。这些参数与工程运用直接相关。另外 CMOS 门具有低功耗、高抗干扰、高稳定性等突出优点,且 CMOS(74HCT 系列)和 TTL(74LS 系列)完全兼容,可以直接相互连接,因而给使用带来很大方便。

门电路的性能包括两方面:一是作为基本逻辑单元的逻辑功能,另一是作为电路器件的电气特性。所谓逻辑功能,是指在一定的逻辑定义下电路输出信号的高、低电平与输入信号高、低电平之间的相互逻辑关系(例如与、或、非、与非、或非和异或等)。所谓电气特性,是指电路输入和输出电压、电流之间的关系。电气特性包括静态特性和动态特性。静态特性是指电路在稳态时,电压电流间的关系。它包括电压传输特性、输入特性和输出特性;动态特性是指电路在状态转换过程中电压电流间的关系,它包括传输时间和动态尖峰电流等。





问题 2.2.3 什么是门电路抗干扰能力?

【指点迷津】

抗干扰能力,是指保证反相器输出的高、低电平在规定范围内所允许输入信号正、负向波动的范围。一般用噪声容限来定量描述反相器的抗干扰能力,如图 2.4 所示。

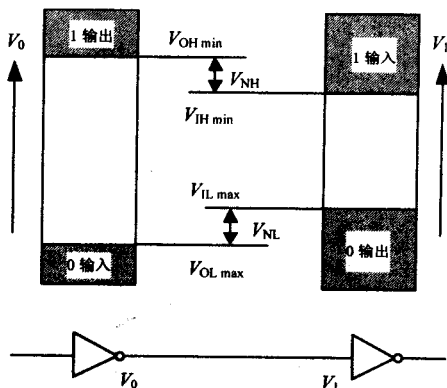


图 2.4

一般门电路都给定输出高电平的下限值 $V_{OH\ min}$, 同时又规定了它输入高电平的最小值 $V_{IH\ min}$ 和输出低电平的上限值 $V_{OL\ max}$ 以及输入低电平的最大值 $V_{IL\ max}$, 根据 $V_{OH\ min}$ 定出输入高电平的下限 $V_{IH\ min}$ 。在将许多门电路互相连接组成系统时, 前一级门电路的输出就是后一级门电路的输入。对后一级而言, 输入高电平信号可能出现的最小值, 即 $V_{OH\ min}$ 。由此便可得到输入为高电平时的噪声容限为

$$V_{NH} = V_{OH\ min} - V_{IH\ min}$$

同理可得, 输入为低电平时的噪声容限为:

$$V_{NL} = V_{IL\ max} - V_{OL\ max}$$

问题 2.2.4 什么是门电路带负载能力?

【指点迷津】

带负载能力是指反相器保持输出的高、低电平在允许值的前提下, 器件所能承受负载电流的大小。由于输出高、低电平两种情况下, 负载电流的方向有所不同, 下面分别进行讨论。

(1) TTL 门电路的扇入数取决于它的输入端的个数, 例如一个 3 输入端的与非门, 其扇入数 $N_i=3$ 。

(2) 扇出数的情况则稍复杂, 现以 TTL 与非门带同类门作为负载时来讨论。这时可有两种情况, 一种情况是负载电流从外电路流入与非门, 称为灌电流负载; 另一种是负载电流从与非门流向外电路, 称为拉电流负载。灌与拉形象地表明了负载的性质。下面分别予以介绍:

- 灌电流工作情况





图 2.5(a)表示 TTL 与非门的灌电流负载的情况。图中左边为驱动门，右边为负载门，当驱动门的输出端为逻辑 0(低电压 V_{OL})时，负载门由电源 V_{CC} 通过 R_{b1} 、 T_1 的发射结和输入端有电流 I_{IL} 灌入驱动门的 T_3 的集电极，这就是灌电流负载的由来。不难理解，当负载门的个数增加时，总的灌电流 I_{IL} 将增加，同时也将引起输出低电压 V_{OL} 的升高。前已述及 TTL 门电路的标准输出低电压 $V_{OL}=0.4V$ ，这就限制了负载门的个数。在输出为低电平的情况下，所能驱动的同类门的个数由下式决定：

$$N_{OL} = \frac{I_{OL}(\text{驱动门})}{I_{IL}(\text{负载门})}$$

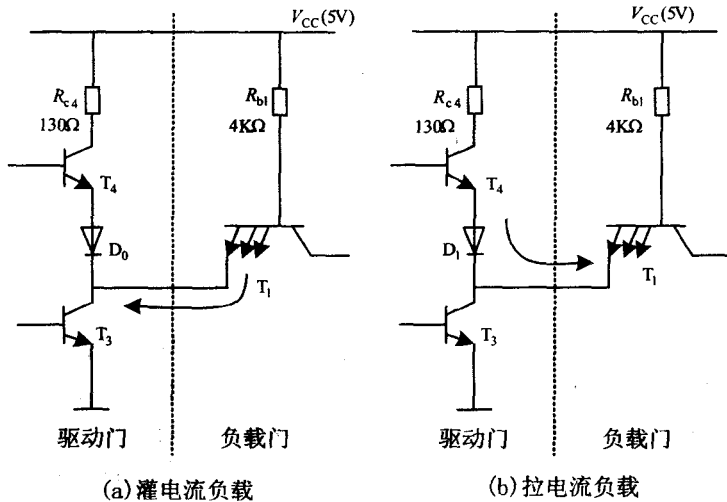


图 2.5

● 拉电流工作情况

当驱动门的输出为高电平时，将有电流 I_{IH} 从驱动门拉出而流至负载门(图 2.5(b))。当负载门的个数增多时，必将引起输出高电压的降低，但不得低于标准高电压的低限值 $V_{OH}=2.4V$ 。这样，输出为高电平时的扇出数可表示如下：

$$N_{OH} = \frac{I_{OH}(\text{驱动门})}{I_{IH}(\text{负载门})}$$

通常基本的 TTL 门电路，其扇出数约为 10，而性能更好的门电路的扇出数最高可达 30~50。

问题 2.2.5 什么是“线与”？普通 TTL 门电路为什么不能进行“线与”？

【指点迷津】

虽然推拉式输出电路结构具有输出电阻很低的优点，但使用时有一定的局限性。首先，我们不能把它们的输出端并联使用。由图 2.6 可见，倘若一个门的输出是高电平而另一个门的输出是低电平，则输出端并联以后必然有很大的负载电流同时流过这两个门的输出级。这个电流的数值将远远超过正常工作电流，可能使门电路损坏。





其次,在采用推拉式输出级的门电路中,电源一经确定(通常规定工作在+5V),输出的高电平也就固定了,因而无法满足对不同输出高低电平的需要。

此外,推拉式电路结构也不能满足驱动较大电流,较高电压的负载的要求。

问题 2.2.6 OC 门为什么能进行“线与”?其外接电阻如何选取?

【指点迷津】

OC 门电路需要外接负载电阻和电源。负载电阻的选取不但与 OC(OD)门的输出特性有关,与输出高电平和输出低电平的要求有关,而且与所带负载门的数目、输入端数、负载门的输入特性等有关。

例 假设 m 个 OC 门并接实现线与,驱动 n 个 TTL 门电路共 p 个输入端,如图 2.7 所示。如果要求 X 点的输出高电平不低于 V_{OH} , 门的输出低电平电流不大于 I_{OL} , 试选择外接负载电阻 R_L 。已知: OC 门关闭时输出端漏电流为 I_{OZ} , 负载门的输入低电平电流为 $(-I_{IL})$, 输入高电平电流为 I_{IH} 。

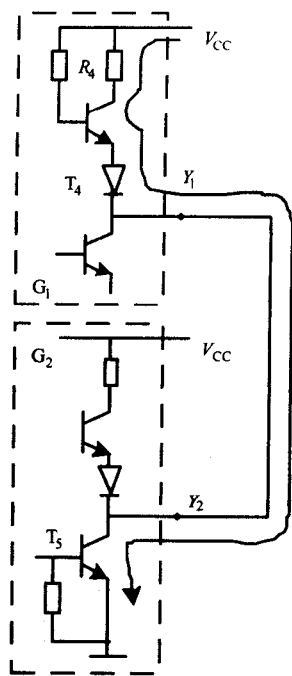


图 2.6

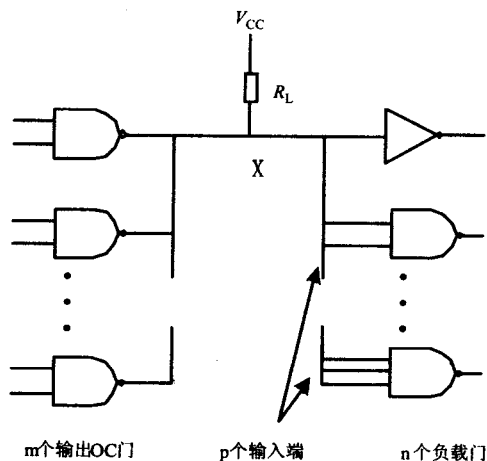


图 2.7

【解答】

(1) OC 门都关闭时, X 点输出高电平, 且应大于等于 V_{OH} 。

当 OC 门都关闭时, 每个门都会有一个漏电流 I_{OZ} (m 个门的输出漏电流即为 mI_{OZ}); 同时每个负载门的每个输入端都有一个输入高电平电流 I_{IH} (p 个输入端的输入电流即为 pI_{IH})。注意, 这些电流流过 R_L 并产生压降 $(mI_{OZ} + pI_{IH})R_L$, 所以为保证 X 点输出电平 $\geq V_{OH}$, R_L 不能太大, 即

$$V_{CC} - (mI_{OZ} + pI_{IH})R_L \geq V_{OH}$$

(2) 当某个(些)输出门导通时, X 点将输出低电平 V_{OL} , 此时会有电流从负载门流出并灌入导通的输出门中, 此电流不能太大, 以防 OC 门因过流而烧毁。注意, 在最坏情况下, 当只有一个输出门导通时, 流过 R_L 的电流(即 $(V_{CC} - V_{OL})/R_L$) 和从每个负载门流出的输入低电平电流 I_{IL} (n 个负载门即为 nI_{IL}) 都将灌入该导通的输出门中, 所以 R_L 不能太小, 以保证“灌入”电流的总和不大于该输出门最大允许的输出低电平电流 I_{OL} , 故有:

$$\frac{V_{CC} - V_{OL}}{R_L} + nI_{IL} \leq I_{OL}$$

(3) 由式(A)可求得 R_L 的最大允许值 $R_{L\max}$, 由上式可求得 R_L 的最小允许值 $R_{L\min}$, 所以 R_L 的选择范围为 $R_{L\min} \leq R_L \leq R_{L\max}$ 。

问题 2.2.7 三态门输出有哪 3 种状态? 保证接至同一母线上的许多三态门电路能够正常工作的必要条件是什么?

【指点迷津】

三态门的三态是指输出为 0 电平、1 电平和高阻三种状态, 如图 2.8 所示。当器件的控制端信号 EN 为使能电平(有的为 0 电平, 有的为 1 电平)时, 器件被选通, 输出逻辑电平 0 或 1; 反之器件处于非工作状态, 输出端对外呈现高阻态, 使用时, 当多个三态门的输出端并接在一起时, 任何时刻只允许一个门被选通, 否则就会出现一般集成门输出端并接时的后果, 即器件损坏或不能正常工作。

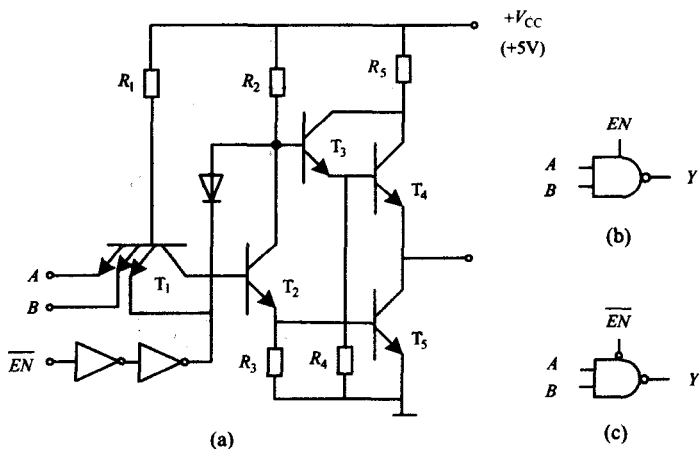


图 2.8

问题 2.2.8 CMOS 门电路有何优缺点?

【指点迷津】

CMOS 门的主要优点为:

- (1) 功耗低。低静态功耗仅为 $5\text{mW} \sim 10^{-3}\text{mW}$, 动态功耗因工作时伴有分布电容的充放





电而有所提高。

(2) 抗干扰能力强。由于 CMOS 门逻辑电压摆幅大(74HCXX 为 0~5V, CD40XX 系列为 0V~15V), 所以抗干扰能力强。

(3) 带同类门的负载能力强。因为 CMOS 门工作时不需要输入电流, 前级门与后级门无电流的联系, 所以从理论上说, 一个门带同类负载门的个数是无限制的, 但实际上考虑到分布电容充放电的影响, N 也应小于 50 个。

缺点是易损坏。由于 MOS 管绝缘栅薄且输入阻抗高, 易被干扰电荷移动所造成的高压击穿。所以使用时要小心谨慎, 主要注意两点:

(1) 电源电压不能超过手册所规定的值。

(2) 未使用的输入端绝对不能悬空, 应按逻辑功能的需要接至电源或地线, 否则不是损坏器件就是工作不正常。

问题 2.2.9 TTL 与 CMOS 逻辑如何解决“接口”问题?

【指点迷津】

一般 TTL 集成门(也包括 CMOS 门)输出端彼此不能并接, 否则易烧坏器件。而有些实际应用中又需要多个门的输出端并接, 如总线传输, 因此产生了 TL 集电极开路门、TTL 三态门和 CMOS 三态门。

问题 2.2.10 门电路多余输入端如何处理?

【指点迷津】

在利用集成逻辑门电路(TTL 或 CMOS)作具体的设计时, 经常会遇到有多余的输入端不用的情况, 此时, 对多余输入端的处理应以不改变电路工作状态及稳定可靠为原则。

对于 TTL 与非门, 对多余输入端的处理原理上有 3 种方法:

(1) 悬空。这种方法易于引入干扰, 所以在实际中一般不采用;

(2) 接电源 V_{CC} 或接固定的高电平。这种方法的优点就是不增加信号的驱动电流;

(3) 与有用的输入端并连。这种方法的优点就是可提高逻辑的可靠性, 但使信号要提供的驱动电流增大(特别是在 $V=1$ 时)。

对于 CMOS 电路, 由于 MOS 管属于电压控制型器件, 输入电阻非常高, 在直流状态下栅极几乎不向信号源取电流, 所以当 CMOS 门电路的输入端通过一电阻 R , 接到地时, 无论 R 有多大, V_i 总是 0V。可见, 用电压表去量 CMOS 电路悬空输入端, 指针应为“0”。

实际中, 由于受外界干扰, CMOS 电路悬空时输入端的电位不定, 会破坏电路正确的逻辑关系, 而且因电路输入阻抗高, 受外界电场的干扰, 会引起器件损坏, 故多余的输入端不能悬空。一般情况下, 处理多余输入端有两种方法:

(1) 与电路有用的输入端并联使用。但这会增加电路的输入电容量, 影响开关速度, 所以常在工作频率不太高时采用。

(2) 如果工作频率较高, 不宜使输入电容太大, 则应根据逻辑要求, 把多余的输入端接 V_{DD} (与非门)或 V_{SS} (或非门)。





2.3 典型例题与考研题分析

2.3.1 典型例题分析

例1 已知TTL与非门带拉电流最大值 $I_H = -400 \mu\text{A}$, 最大灌电流 $I_L = 15\text{mA}$, 输出高电平 $V_{OH} = 3.4\text{V}$, 输出低电平 $V_{OL} = 0.5\text{V}$, 发光二极管正向导通电压为 $V_{D\text{on}} = 2\text{V}$, 正向电流 I_D 为 $5\text{mA} \sim 10\text{mA}$, 三极管导通电压为 $V_{BE} = 0.7\text{V}$, 饱和电压为 $V_{CE\text{sat}} = 0.3\text{V}$, $\beta = 50$, $R_C = 500\Omega$. 发光二极管驱动电路如图2.9所示, 求:

- (1) 两个电路有何不同之处。
- (2) 图中 R 和 R_b 的取值范围。

【解答】

(1) 由图2.9(a)可知, 只有当与非门输出为低电平时, 二极管才能导通。而图2.9(b)中, 只有当与非门输出为高电平时, 三极管才能导通, 从而使二极管导通。

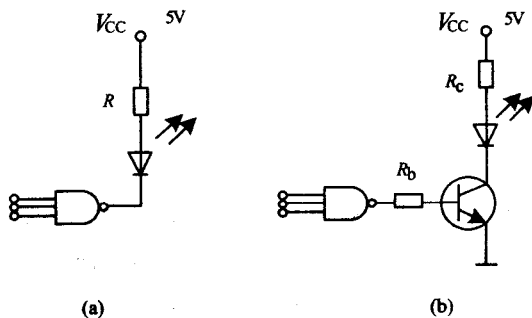


图 2.9

- (2) 图(a): 当输出低电平时

$$V_{CC} - I_D \cdot R - V_{D\text{on}} = V_{OL}$$

$$R = \frac{V_{CC} - V_{OL} - V_{D\text{on}}}{I_D}$$

得

代入 $I_D = 5\text{mA} \sim 10\text{mA}$, 得 $250\Omega \leq R \leq 500\Omega$ 。

图(b): 当输出高电平时, 三极管导通且进入饱和区, 设三极管基极电流为 I_b , 集电极电流为 I_c 。

$$V_{CC} - I_c \cdot R_C - V_{D\text{on}} - V_{CE\text{sat}} = 0$$

$$I_c = \frac{V_{CC} - V_{CE\text{sat}} - V_{D\text{on}}}{R_C} = \frac{5 - 0.3 - 2}{500} \text{A} = 5.4\text{mA}$$

$$I_b = \frac{I_c}{\beta} = \frac{5.4}{50} = 0.108\text{mA}$$



$$R_b = \frac{V_{OH} - V_{BE}}{I_b} = \frac{3.4 - 0.7}{0.108} = 25\text{k}\Omega$$

三极管在饱和区内, 故 $R_b \leq 25\text{k}\Omega$ 。

又因为与非门处于最大 b 拉电流时

$$R_b = \frac{V_{OH} - V_{BE}}{I_H} = \frac{3.4 - 0.7}{400 \times 10^{-3}} = 6.75\text{k}\Omega$$

故 $6.75\text{k}\Omega \leq R_b \leq 25\text{k}\Omega$ 。

例 2 TTL 集电极开路门和 TTL 与非门级联的电路如图 2.10 所示。已知 OC 门允许的最大灌电流 $I_{L\max} = 10\text{mA}$, 输出管截止的漏电流 $I_{OL} = 80\mu\text{A}$ 。与非门的输入短路电流 $I_{IS} = 0.5\text{mA}$, 输入反向漏电流 $I_{IH} = 20\mu\text{A}$, $V_{CC} = 5\text{V}$, $V_{OH\min} = 3\text{V}$, $V_{OL\max} = 0.3\text{V}$ 。求 OC 门的外接电阻 R_L 的阻值范围为多少?

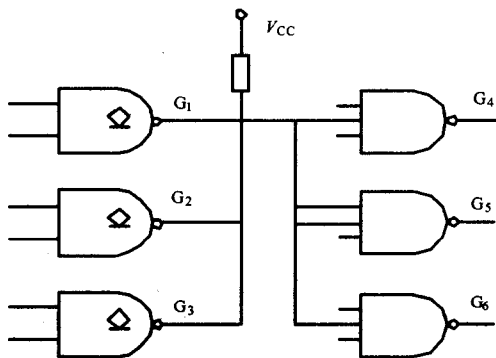


图 2.10

【分析】

OC 门的外接电阻 R_L 的选取应保证输出高电平时, 不低于输出高电平的最小值 $V_{OH\min}$; 输出低电平时, 不高于输出低电平的最大值 $V_{OL\max}$ 。所以, R_L 的选取应该分两种情况。

【解答】

(1) 当所有的 OC 门都输出高电平时, R_L 的选择应该满足以下关系

$$R_{L\max} = \frac{V_{CC} - V_{OH\min}}{nI_{OH} + m'I_{IH}} = \frac{5 - 3}{(3 \times 80 + 4 \times 20) \times 10^{-6}} = 6.25\text{k}\Omega$$

其中, n 为 OC 门的数目, m' 为所有负载门与 OC 门输出端连接的总输入端数, I_{OH} 为 OC 门输出截止时的漏电流, I_{IH} 为负载门输入为高电平时的反向输入漏电流。

(2) 当所有的 OC 门中有一个输出为低电平时, R_L 的选择应满足以下关系

$$R_{L\min} = \frac{V_{CC} - V_{OL\max}}{I_{L\max} - m'I_{IS}} = \frac{5 - 0.3}{(10 - 3 \times 0.5) \times 10^{-3}} = 553\Omega$$

其中, $I_{L\max}$ 是 OC 门允许的最大灌电流, I_{IS} 为负载门的输入短路电流, m' 为负载门的数目。

R_L 的选取范围为 $392\Omega < R_L < 6.25\text{k}\Omega$ 。为了使 OC 门工作速度快一点, R_L 应选取接近 $R_{L\min}$ 的值, 所以可选取 $R_L = 450\Omega$ 。





2.3.2 考研题分析

例 1 图 2.11 表示二极管与门带同类与门负载的情况, 门的级数越多, 则每级的门的输出电压 V_o 将作怎样的变化趋势? 如何解决此缺点?

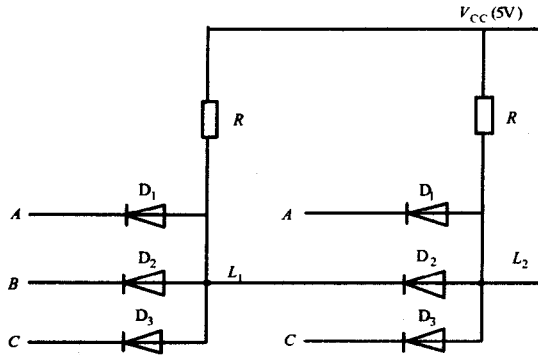


图 2.11

【解答】

二极管与门在输出低电平时, 下一级与门输入的二极管将导通, 因此第二级二极管与门的输出低电平将抬高一个 PN 结导通压降。依次类推, 每增加一级同类二极管与门, 后级输出的低电平就增加一个 $V_{be on}$, 级间采用倒相器隔离可解决此类问题。

例 2 图题 2.12 表示由二极管与门和 BJT 反相器结合的二极管 BJT 与非门电路(称为 DTL 电路), 以解决图题 2.12 所示电路存在的问题, 试分析该电路为什么能够实现与非逻辑关系? 二极管 D_4 、 D_5 起什么作用, 可否省略 D_5 ?

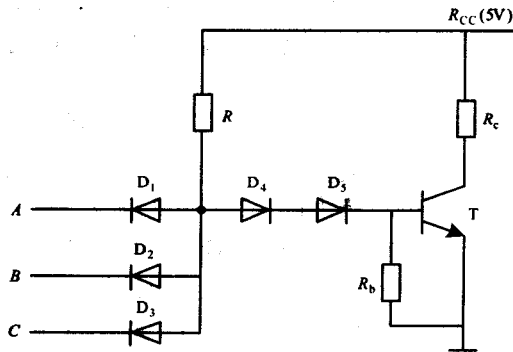


图 2.12

【解答】

电路输入级为 Diode 与门逻辑, 3 个输入端, 输出为 P, 输出级为 T 反相器, 两者结合成 DTL 类型的逻辑电路, 此题中与逻辑结合反向逻辑, 实现与非逻辑。

当 $A=B=C=V_H$ 高电平时, 3 个输入二极管全部截止, P 点钳位在 3 个导通电压约 2.1V 附近, T 管饱和导通, 输出 L 被下拉至低电平 V_{CES} 。





当 A, B, C 中任意一个输入为低电平使其导通时, P 点钳位在 1 个导通电压附近, 为 $0.7V \sim 0.9V$ (输入低电平大于 0), 该 V_P 电压不足以使 D_4 、 D_5 和 T 管导通, 由于 T 截止, 输出 L 上拉至高电平。

综合可见, 该 DTL 实现与非逻辑。

D_4 和 D_5 起电平移位作用, 保证 T 管可靠的截止, D_5 可省略。

2.4 重要习题精选精解

1. 为什么说 TTL 与非门的输入端在以下 4 种接法下都属于逻辑 0:

- (1) 输入端接地。
- (2) 输入端接低于 $0.8V$ 的电源。
- (3) 输入端接同类与非门的输出低电压 $0.2V$ 。
- (4) 输入端通过 500Ω 的接地电阻。

【解答】

TTL 电路输出低电平 $V_{OL} \approx 0.4V$, 输入低电平 $V_{IL} \approx 0.8V$, 前 3 种情况输入都在低电平范围内, 属于逻辑 0。在(4)中, $R=500\Omega$ 相对 R_b 和 r_{be} 电阻很小, 对于 $V_{CC}=5V$ 电源, 分压在 500Ω 上的电压小于 $0.8V$, 也属于逻辑 0。

2. 为什么说 TTL 与非门的输入端在以下 4 种接法下都属于逻辑 1:

- (1) 输入端悬空。
- (2) 输入端接高于 $2V$ 的电源。
- (3) 输入端接同类与非门的输出高电压 $3.6V$ 。
- (4) 输入端接 $10k\Omega$ 的电阻到地。

【解答】

TTL 电路输出高电平 $V_{OH} \approx 2.4V$, 输入高电平 $V_{IH} \approx 2V$ 。对于(2)和(3), 输入电压都高于 $2V$, 属于逻辑 1。当输入悬空时, 输入 PN 结截止, 与输入高电平使 PN 结截止一样, 因此为逻辑 1; 对于(4), 电阻 $10k\Omega$ 上得到 $V_{CC}=5V$ 的分压大于 $2V$, 故此也属于输入逻辑 1。

3. 设有一个 74LS00 反相器驱动两个 7404 反相器和 4 个 74LS00 反相器。

- (1) 问驱动门是否超载。
- (2) 若超载, 试提出一改进方案; 若未超载, 问还可以增加几个 74LS00 门。

【解答】

74LS00 作为驱动门和负载, 其电学参数为

$$I_{OL\max} = 8mA, \quad I_{OH\max} = 0.4mA, \quad I_{IL\max} = 0.4mA, \quad I_{IH\max} = 0.02mA$$

7404 作为负载, 其电学参数为

$$I_{IL\max} = 1.6mA, \quad I_{IH\max} = 0.04mA$$

则两个 7404 负载的输入电流为

$$2I_{IL\max} = 2 \times 1.6 = 3.2mA, \quad 2I_{IH\max} = 2 \times 0.04 = 0.08mA$$

4 个 74LS00 负载的输入电流为

$$4I_{IL\max} = 4 \times 0.4 = 1.6mA, \quad 4I_{IH\max} = 4 \times 0.02 = 0.08mA$$





(1) 在驱动管输出低电平下, 74LS00 总的灌电流为 $3.2+1.6=4.8\text{mA}$, 而驱动管能提供最大 8mA 的灌电流, 因此不会超载; 在驱动管输出高电平下, 74LS00 总的拉电流为 $0.08+0.08=0.16\text{mA}$, 而驱动管可提供 0.4mA 的拉电流, 也未超载。

(2) 74LS00 无论输出高或低, 都未超载。灌电流余量为 $8-4.8=3.2\text{mA}$, 可驱动 $3.2/0.4=8$ 个 74LS00 门; 拉电流余量为 $0.4-0.16=0.24\text{mA}$, 可驱动 $0.24/0.02=12$ 个 74LS00 门, 综合可知, 取其中小项, 无论输出灌电流或拉电流, 可再驱动额外附加的 8 个 74LS00 门。

4. 图 2.13 表示三态门作总线传输的示意图, 图中 n 个三态门的输出接到数据传输总线, D_1, D_2, \dots, D_n 为数据输入端, CS_1, CS_2, \dots, CS_n 为片选信号输入端。试问 CS 信号如何进行控制, 以便数据 D_1, D_2, \dots, D_n 通过总线进行正常传播。

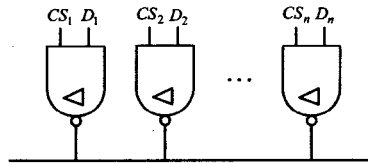


图 2.13

【解答】

总线与传输的数据之间的关系为分时共享, 只有在片选成立时, 数据才能与总线连接, 而任意一个时刻, 只能有一个数据与总线连接, 以避免冲突。考虑到片选信号 $CS_i=1$ 时对应的第 i 个三态门被选中, 因此各片的片选信号正脉冲应分时到达, 没有交迭, 使各种数据在 CS_i 的控制下分时占用总线。

5. 图 2.14 表示一个 2 输入端 BiCMOS 与非门电路, 试分析该电路是怎样实现与非逻辑关系的, 即 $L = \overline{A \cdot B}$?

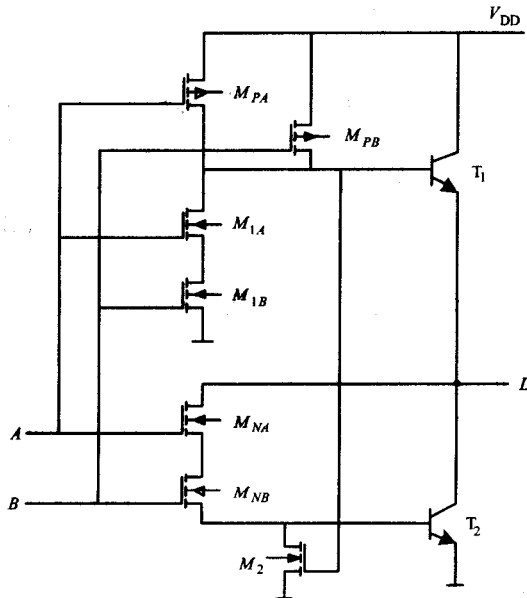


图 2.14





【解答】

M_{1A} 与 M_{1B} 两 NMOS 串联, M_{PA} 与 M_{PB} 两 PMOS 管并联, N 与 P 共用控制信号 A 和 B , 实现典型的 CMOS 与非门, 该输出经过 T_1 射极跟随后输出, 保持同相关系, 最终实现 A 与 B 的与非。

M_2 、 M_{NA} 和 M_{NB} 3 个 NMOS 管控制负载管 T_2 的状态, 当 $AB=0$, $(AB)b=1$ 时, M_2 将 T_2 的基极下拉到 0, T_2 截止, T_1 导通, 上拉输出至 1; 当 $AB=1$, $(AB)b=0$ 时, M_2 截止, M_{NA} 和 M_{NB} 导通, 将输出下拉到 GND, 实现与非逻辑。

M_2 还提供了 T_2 从饱和到截止的反向电流泄漏通道, 加速了输出从低电平到高电平的转化。

6. 某厂生产的双互补对和反相器(4007)引出端如图 2.15 所示, 试分别连接:

(1) 3 反相器 (2) 3 输入端或非门 (3) 或非门 $L = \overline{C(A+B)}$ (4) 传输门

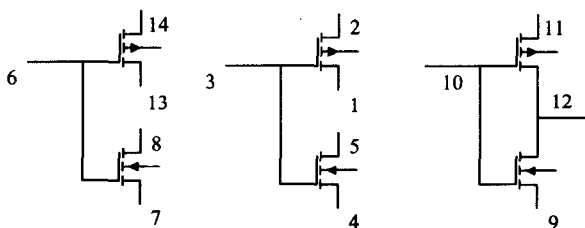


图 2.15

【解答】

(1) 8、13 端点相连, 6 入, 8 出, 14 连 V_{CC} , 7 连 GND; 1、5 端点相连, 3 入, 5 出, 2 连 V_{CC} , 4 连 GND; 10 入, 12 出, 11 连 V_{CC} , 9 连 GND。

(2) 7、4、9 端相连接 GND, 14 连 V_{CC} , 8、5、12 相连为输出, 1 与 11 相连, 2 和 13 相连, 6、3、10 为输入。

(3) 14、2、11 相连接 V_{CC} , 13、1、12 相连为输出, 9 与 5 连, 4 与 8 连, 7 接 GND, 10、3、6 为输入端。

(4) 2 接 9, 1、5、12、15 相连, 4 接 11, 10、13、8 相连, 3、6 相连, 7 接 GND, 14 接 V_{CC} 。

解答此类连线题目时, 可根据题意先画出逻辑电路, 再根据提供的单元进行连线设计, 注意这种连线设计并非惟一, 存在多种选择。

7. 某 CMOS 器件的电路如图 2.16 所示, 试写出其逻辑表达式, 说明它是什么逻辑电路。

【解答】

该电路可从逻辑真值表进行功能判断, 也可从电路结构进行判断。

列真值表发现, 只有当 A 和 B 取值不同时, 输出得 1, 输出为异或逻辑。

从电路结构上分析, B 信号经过反相后得到 Bb , 这一对互补信号控制 CMOS 传输门的栅, CMOS 传输门的输入为 A 的反相信号 Ab , 根据控制信号的连接关系, 当 $B=0$, $Bb=1$ 时, TG 通, Ab 经过 TG 和输出倒相器到达输出 L , 即 $L=(Bb)A$; 当 $B=1$, $Bb=0$ 时, TG 关闭, A 等效于经过三级倒相到达输出, 即 $L=B(Ab)$; 两者合成为 $L=A(Bb)+(Ab)B$, 即异或逻辑。



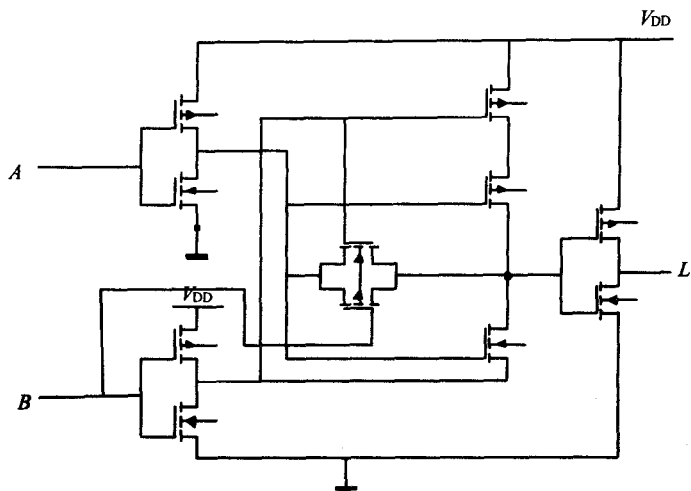


图 2.16

8. 写出图 2.17 所示电路的逻辑表达式。

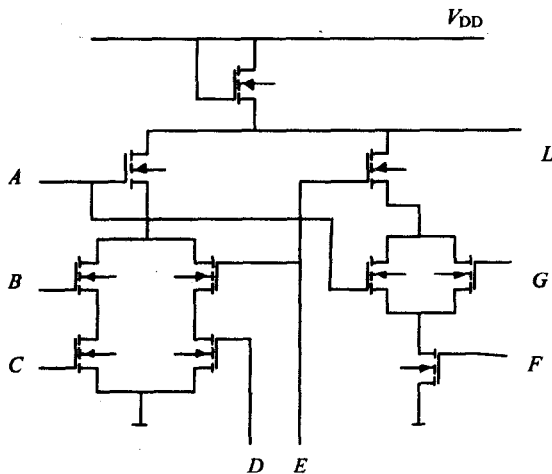


图 2.17

【解答】

根据 N-MOS 下拉逻辑网络串与并的逻辑准则, 其输出逻辑为

$$L = (BC + DE)A + (A + G)EF$$

9. 当用 HC CMOS 驱动基本的 74TTL 门电路时, 试简述其设计思路, 指出是否需要加接口电路? 并就开关速度和功耗两方面对接口电路进行评价。

【解答】

查得 HC MOS 的 $V_{OH\ min} = 4.9V$, 而其负载 74TTL 的 $V_{IH\ min} = 2V$, 驱动管输出高电平满足负载管最小高电平的输入要求, 故不需要另外的接口电路。

灌电流负载时的扇出数 $N_{OL} = I_{OL\ max} / I_{IL\ min} = 4mA / 1.6mA = 2.5$ 。

拉电流负载时的扇出数 $N_{OH} = I_{OH\ max} / I_{IH\ max} = 4mA / 0.04 = 100$ 。





两者相比取小，则扇出数 $N_o=2$ 。

由于没有接口电路，故此速度和功耗性能由原电路决定。

2.5 两级训练题

2.5.1 达标训练题

1. 填空题

- (1) 硅二极管的截止条件是_____，导通条件是_____。
- (2) 三极管截止的特点是_____，饱和的特点是_____。
- (3) 3种基本逻辑门是_____、_____和_____。
- (4) TTL 门电路的低电平噪声容限为_____，高电平噪声容限为_____。
- (5) 三态门的主要用途是可以_____轮流传送几个不同的数据或控制信号。
- (6) CMOS 门电路的输入阻抗很高，因此静态功耗_____，但由于存在输入电容，所以随着输入信号频率的增加，功耗也会_____。
- (7) TTL 与非门的两个状态通常称为关态和开态，当输入有一个为低电平时，对应的是_____态；当输入全为高电平时对应的是_____态。
- (8) TTL 三态门的3种可能输出状态是_____、_____和_____。
- (9) 在 TTL 三态门、OC 门、与非门、异或门和或非门电路中，能实现“线与”逻辑功能的门为_____，能实现总线连接方式的门为_____。

2. TTL 门电路及 CMOS 门电路如图 2.18 所示，已知 TTL 门的参数为 $V_{ON}=1.4V$ ， $V_{OFF}=0.7V$ ， $R_{ON}=2k\Omega$ ， $R_{OFF}=0.7k\Omega$ ， $V_{IH}=3.6V$ ， $V_{IL}=0V$ 。试写出各电路的输出逻辑表达式。

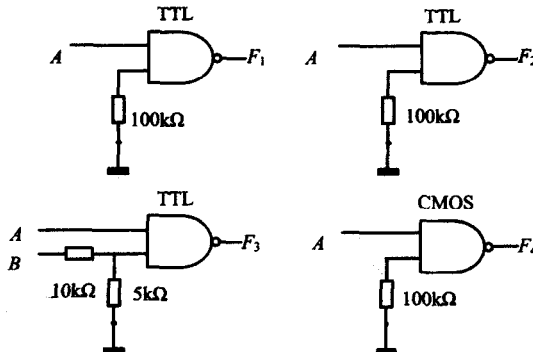


图 2.18

3. TTL 门电路如图 2.19 所示。

- (1) 试写出各电路的输出逻辑表达式。
- (2) 已知输入波形如图 2.20 所示，试画出 F_1 ， F_2 的波形。



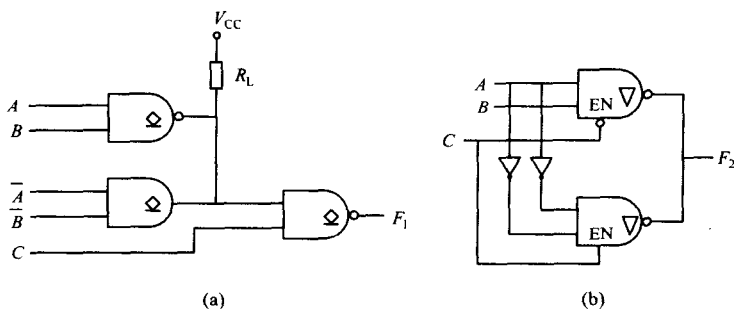


图 2.19

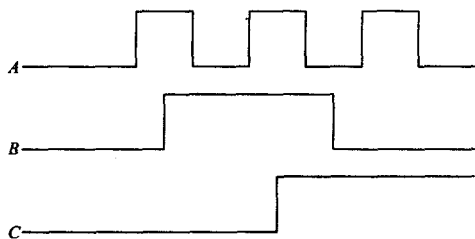


图 2.20

2.5.2 考研挑战题

1. 填空题

- (1) TTL 与非门的关门电平为 $0.65V$, 开启门电平为 $1.75V$, 当其输入低电平为 $0.4V$, 高电平为 $3.25V$ 时, 其输入低电平噪声容限 V_{NL} 为 _____, 输入高电平噪声容限 V_{NH} 为 _____。
- (2) 如果某 TTL 与非门的输入低电平噪声容限 V_{NL} 为 $0.5V$, 输出低电平 V_{OL} 为 $0.3V$, 那么它的关门电平 V_{OFF} 为 _____。
- (3) 对于或非门只要有一个输入为高电平, 则输出就为 _____ 电平, 所以对或非门的多余输入端的处理不能接 _____ 电平。
- (4) 对于 TTL 与非门, 只要有一个输入为低电平, 则输出就为 _____ 电平, 所以对与非门多余输入端的处理不能接 _____ 电平。
- (5) 在 TTL 类电路中, 输入端悬空等于接 _____ 电平。
- (6) 一般 TTL 集成门电路的平均传输延迟时间比 CMOS 集成门电路 _____, 功耗比 CMOS 门电路的 _____。
- (7) 在 CMOS 类门中, 对未使用的输入端应当接 _____, 或者 _____, 而不允许 _____。
- (8) MOS 场效应管工作于饱和区时, 由于 _____, 从而抵消了漏极电压增加的影响, 使漏极电流基本不变。
- (9) 所谓 MOS 管的开启电压是指开始形成导电沟道所需要的 _____。





(10) MOS管的饱和区与非饱和区的界限满足_____。

2. 有CMOS门电路如图2.21所示。试写出输出 F_1 和 F_2 的逻辑表达式。

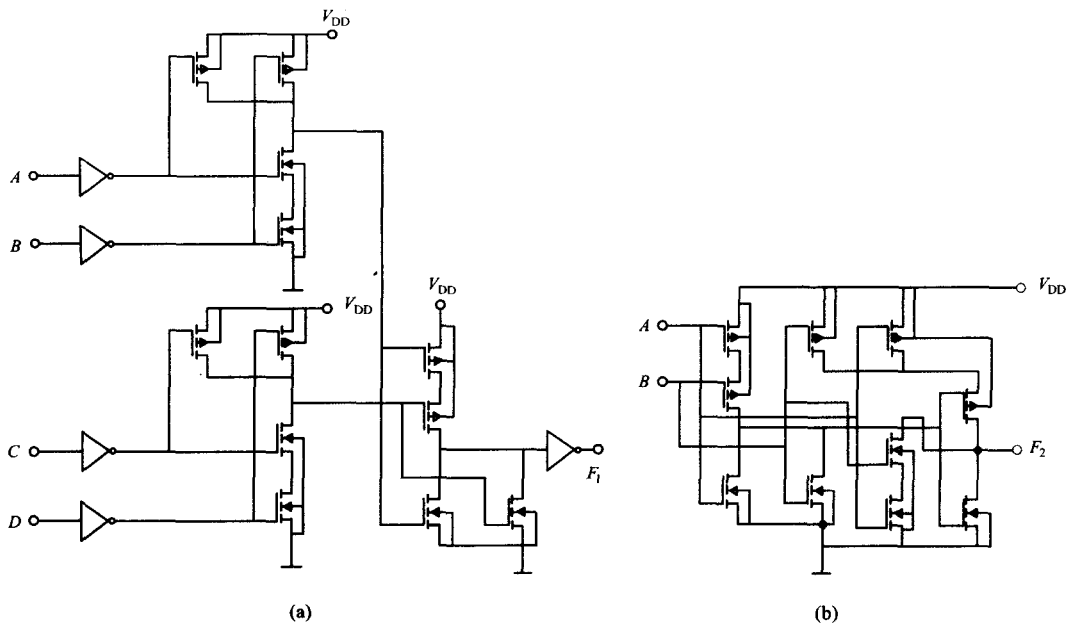


图 2.21

3. 如图2.22所示电路均用CMOS门电路构成。试写出各输出的逻辑表达式。

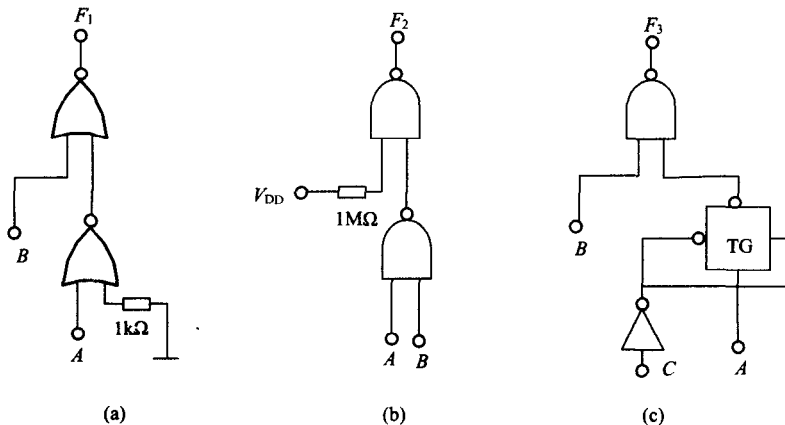


图 2.22

4. 电路如图2.23所示, 已知三极管导通时, $V_{BE}=0.7V$, 当饱和时, $V_{CES}=0.3V$, $\beta=100$; OC门的最大允许灌电流 $I_{LM}=10mA$, 输出低电平 $V_{OL}=0.3V$; TTL与非门的 $I_{IL}=1.5mA$, $I_{IH}=20mA$, 要求当三极管集电极输出P端为高电平时 $V_{PH}=3.5V$, 低电平时 $V_{PL}=0.3V$ 。

- (1) 若P端接5个与非门, 则 R_B 的取值范围为多少;
- (2) 若 $R_B=20k\Omega$, 则此时电路能带多少个与非门;
- (3) 若将OC门换成普通TTL与非门, 则电路会有什么问题。



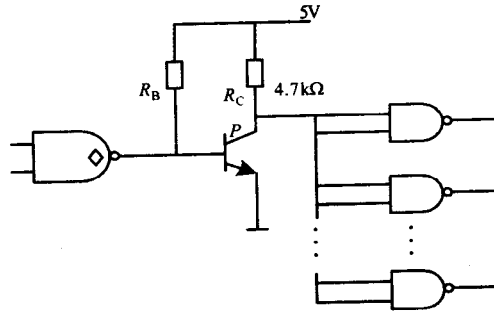


图 2.23

第 3 章 组合逻辑电路的分析与设计

3.1 本章知识结构图

逻辑代数是本课程的基础理论，是分析和设计逻辑电路的教学工具，要求熟练掌握其基本定律和基本规则。

通过本章学习，应掌握组合电路在电路结构和逻辑功能上的特点，掌握组合逻辑电路的分析与设计方法。不管是用小规模、中规模，还是用大规模集成电路设计组合电路，在多数情况下，将提出的设计要求进行逻辑抽象，再写出逻辑函数表达式，这关键的两步是必不可少的。同时还应掌握对组合逻辑电路的竞争冒险现象的产生原因和最基本的消除措施。本章主要内容如图 3.1、图 3.2 和图 3.3 所示。

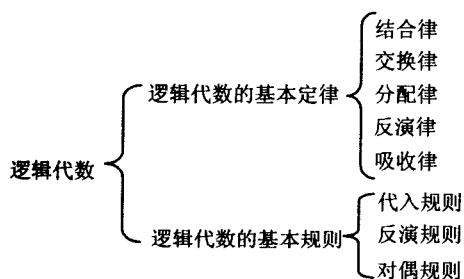


图 3.1

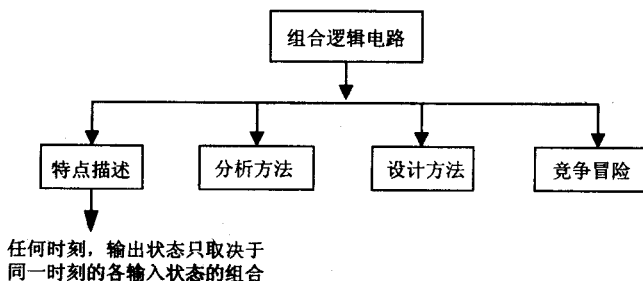


图 3.2

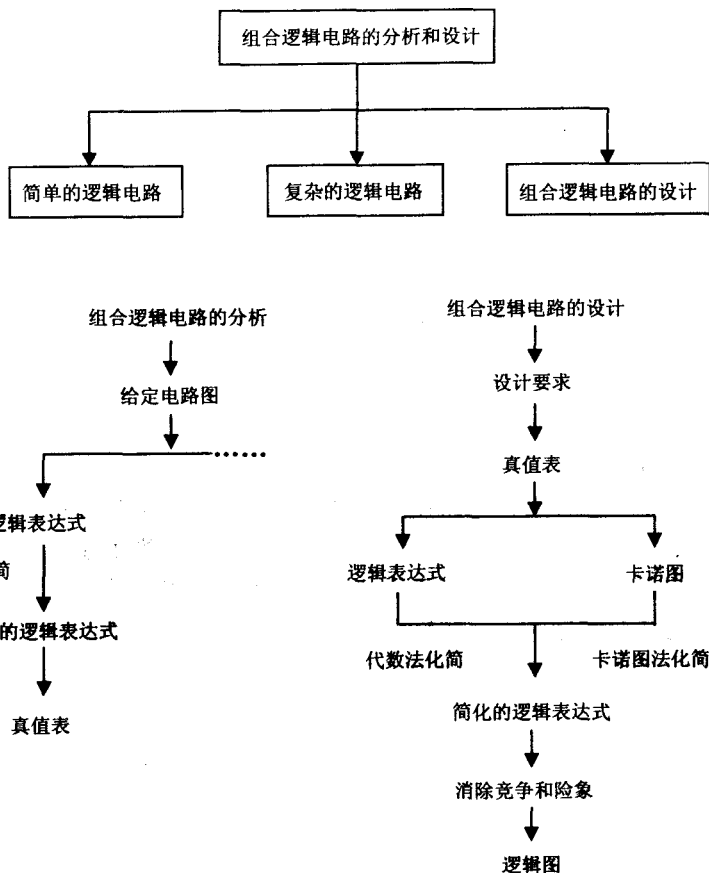


图 3.3

3.2 疑难解惑

问题 3.2.1 何为组合逻辑电路? 它具有何特点?

【指点迷津】

在逻辑电路中,任意时刻的输出状态只取决于该时刻的输入信号状态,而与信号作用前电路的状态无关,这种电路称为组合逻辑电路,简称组合电路。

组合电路的功能特点:

(1) 电路的输入状态确定之后,输出状态则惟一地被确定下来,因而输出变量是输入变量的逻辑函数。

(2) 电路的输出状态不影响输入状态,电路的历史状态不影响输出状态。

组合电路的结构特点:





- (1) 电路中不存在输出端到输入端的反馈通路。
- (2) 电路中不包含存储信号的记忆元件，一般由各种门电路组合而成。

常用组合逻辑功能电路主要包括：基本运算器电路、比较器电路、判奇偶电路、数据选择器、编码器电路、译码器电路和显示器电路。

问题 3.2.2 组合逻辑电路分析的步骤是什么？

【指点迷津】

确定已知组合逻辑电路的逻辑功能，称之为组合逻辑电路的分析。其步骤如图 3.4 所示，主要有：

(1) 写出给定逻辑电路的逻辑函数表达式。一般方法是从输入到输出逐级写出逻辑函数表达式。

(2) 对写出的逻辑函数表达式进行逻辑化简。

(3) 根据化简后的逻辑函数表达式列出逻辑状态表(真值表)；

(4) 根据逻辑状态表或逻辑函数表达式对逻辑电路进行分析，并确定其功能。

即已知逻辑图→写逻辑式→运用逻辑代数化简→列逻辑状态表→分析逻辑功能。

同一个逻辑关系可有多种实现方案。为了提高电路工作的可靠性和经济性等，组合逻辑电路的设计通常以电路简单、所用器件最少为目标，但应避免所设计的组合逻辑电路发生竞争冒险，即：因数字信号传递路径不同而使传输端在瞬间产生错误输出的现象。

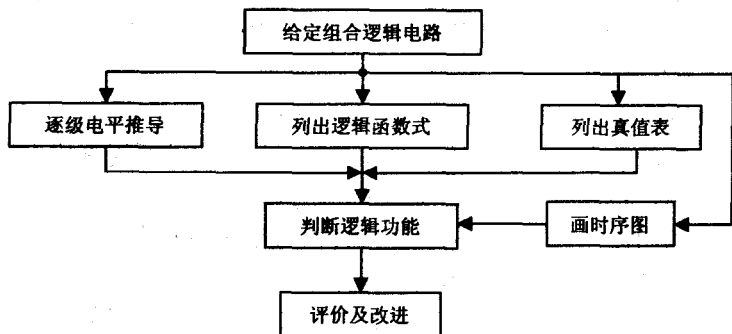


图 3.4

问题 3.2.3 半加器与全加器有何区别？

【指点迷津】

半加器电路可完成两个一位二进数的求和运算，半加器是一个由加数、被加数、和数、向高位进位数组成的运算器，它仅考虑本位数相加，不考虑低位来的进位。全加器比半加器电路多一个低位进位输入端，共有 3 个输入端。全加器仍然是一个 1 比特加法器电路，与半加器相比只是多了一个低位进位输入端。





问题 3.2.4 何为比较器电路?

【指点迷津】

比较器电路有 3 个输出端, 一是 $A=B$ 输出端, 二是 $A>B$ 输出端, 三是 $A<B$ 输出端。对于多位比较器, 在进行比较时, 从最高位向下一位一位地比较, 当比较到哪一位有结果时便有输出信号, 若比完最后一位仍然相等, 就是 $A=B$ 输出端输出高电平 1。

问题 3.2.5 何为奇偶检验电路?

【指点迷津】

判奇、判偶电路的输入端有多个, 具体输入端数量视具体电路而定, 但是这种电路的输出端只有一个。判奇电路的输出端状态是这样: 当输出端为 1 时, 说明输入信号中高电平 1 的数目为奇数。对于判偶电路而言, 当输出端为 1 时, 说明输入信号中高电平 1 的数目为偶数。

问题 3.2.6 组合逻辑电路设计的步骤是什么?

【指点迷津】

组合逻辑电路设计主要是将客户的具体设计要求用逻辑的函数加以描述, 再用具体的电路加以实现的过程, 组合逻辑电路的设计可分为小规模集成电路、中规模集成电路、定制或半定制集成电路的设计。

组合逻辑电路的设计步骤如图 3.5 所示, 可分为:

- (1) 根据电路功能的文字描述, 将其输入与输出的逻辑关系用真值表的形式列出;
- (2) 过逻辑化简, 将真值表写出最简的逻辑函数表达式;
- (3) 选择合适的门器件, 把最简的表达式转换为相应的表达式;
- (4) 根据表达式画出该电路的逻辑电路图;
- (5) 最后一步进行实物安装调试, 这是最终验证设计是否正确的手段。

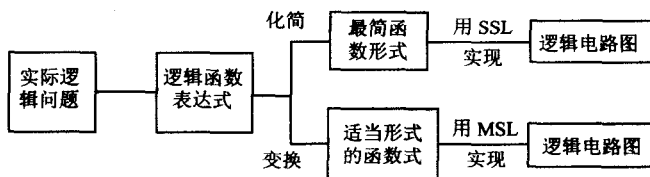


图 3.5

问题 3.2.7 什么是竞争? 什么是冒险? 克服竞争冒险的方法有哪些?

【指点迷津】

在组合电路中, 信号经由不同的途径达到某一会合点的时间有先有后叫做竞争。门电



路中有两个输入信号同时向相反的电平跳变的现象称为冒险。由于竞争而引起电路输出发生瞬间错误现象，表现为输出端出现了原设计中没有的窄脉冲，常称其为毛刺，如图 3.6 所示。

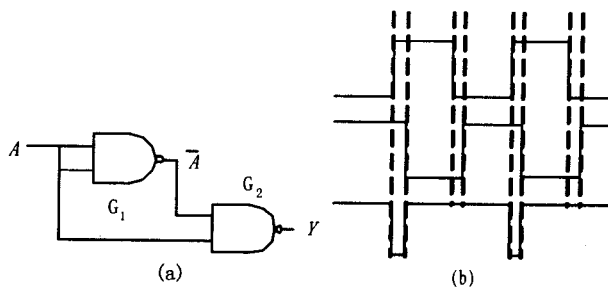


图 3.6

把由于竞争而在电路输出端可能产生的尖峰脉冲的现象叫做竞争冒险。

竞争冒险的判断有两种：代数法与卡诺图法。

- 代数法：与或组合形式时，一个输入变量的相反变化可能引起险象，如 $A\bar{A}$ ， $A + \bar{A}$ 。
- 卡诺图法：如函数卡诺图上为简化作的圈相切，且相切处又无其他圈包含，则可能有险象。

消除竞争冒险的主要方法有：

(1) 引入封锁脉冲

在输入信号转换前到达，转换后消失(低电平)，如图 3.7 所示。

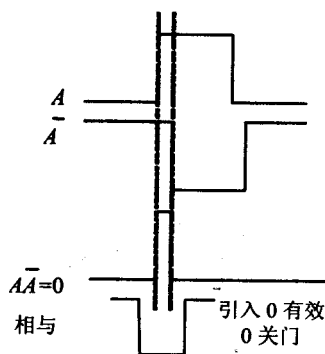


图 3.7

(2) 引入滤波电容

尖峰脉冲通过电容到地(旁路)

由于竞争冒险而产生的尖峰脉冲一般都很窄(多在几十纳秒以内)，所以只要在输出端并接一个很小的滤波电容 C_f ，如图 3.8 所示，就足以把尖峰脉冲的幅度削弱至门电路的阈值电压以下。在 TTL 电路中， C_f 的数值通常在几十至几百皮法的范围内。

这种方法的优点是简单易行，而缺点是增加了输出电压波形的上升时间和下降时间，使波形变坏。



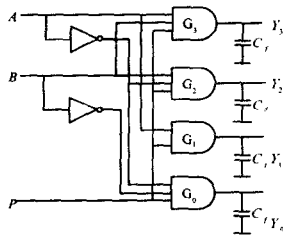


图 3.8

(3) 采用可靠性编码

如格雷码(每次只用一个输入端改变)

(4) 修改逻辑设计

增加冗余项(加上多余的项)如

$$Y = \bar{A}B + AC = \bar{A}B + AC + BC$$

当 $B = C = 1$ 时

$$Y = A + \bar{A} + 1$$

3.3 典型例题与考研题分析

3.3.1 典型例题分析

例 1 图 3.9 所示逻辑电路是一个多功能函数发生器, 其中 S_3 、 S_2 、 S_1 和 S_0 作为控制信号, A 、 B 作为数据输入。试写出当 S_3 、 S_2 、 S_1 和 S_0 为不同取值组合时, 输出 Y 的逻辑函数式。

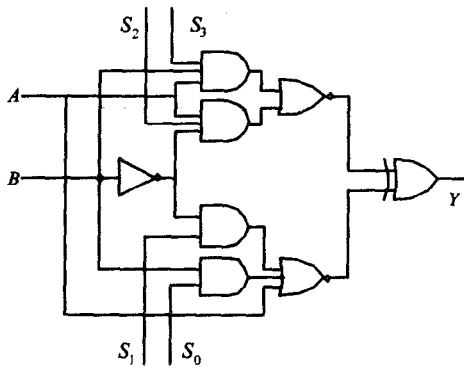


图 3.9



【分析】

本例在 S_3 、 S_2 、 S_1 和 S_0 控制信号选通作用下，传送 A 、 B 数据。由于 S_3 、 S_2 、 S_1 和 S_0 共有 16 种取值组合，因此输出 Y 对应有 16 种函数关系，从而构成多功能函数发生器。

【解答】

写出输出了的函数表达式

$$Y = \overline{S_3}AB + S_2\overline{A}\overline{B} \oplus S_1\overline{B} + S_0B + A$$

不同的 S_3 、 S_2 、 S_1 和 S_0 取值下 Y 的函数式如表 3.1 所示。

表 3.1 电路真值表

$S_3S_2S_1S_0$	Y	逻辑功能	$S_3S_2S_1S_0$	Y	逻辑功能
0000	A	等 A 函数	1000	$\overline{A}\overline{B}$	禁止 A 函数
0001	$A+B$	或函数	1001	$A \odot B$	异或函数
0010	$A+\overline{B}$	比较函数	1010	\overline{B}	否 B 函数
0011	1	常 1 函数	1011	$\overline{A}\overline{B}$	与非函数
0100	AB	与函数	1100	0	常 0 函数
0101	B	等 B 函数	1101	$\overline{A}\overline{B}$	禁止 B 函数
0110	$A \odot B$	同或函数	1110	$\overline{A+B}$	或非函数
0111	$\overline{A+B}$	比较函数	1111	\overline{A}	否 A 函数

【举一反三】

本例通过 S_3 、 S_2 、 S_1 和 S_0 的选通作用，给出了由 A 、 B 两个变量组成的全部 16 个逻辑函数。通常若有 n 个逻辑变量则可组成 2^{2n} 个逻辑函数。本例解题的关键在于正确地理解题意，分清输入端 S_3 、 S_2 、 S_1 、 S_0 、 A 、 B 共 6 个变量之间的关系，哪些是选通信号，哪些是传送的有效数据。容易出错的地方是将电路作为具有 6 个输入变量的关系来处理，从而得不出正确的结果。

例 2 设有 A 、 B 和 C 三个变量代表 3 位二进制数码，且 $Y=4A+2B+C$ 。试用与非门实现 $2 \leq y \leq 5$ 判断的逻辑电路。

【解答】

(1) 由题意， ABC 是一个 3 位二进制数，由式 $Y=4A+2B+C$ 知， A 、 B 和 C 的权分别为 4、2 和 1。设满足 $2 \leq y \leq 5$ 条件的电路输出为 F ，真值表即如图 3.10(a) 所示。

(2) 用“先取后舍”法由图的最简逻辑表达式为：

$$F = A\overline{A}\overline{B} + B\overline{A}\overline{B} = \overline{\overline{A}A} \cdot \overline{\overline{B}B}$$

(3) 逻辑图如图 3.10(b) 所示。

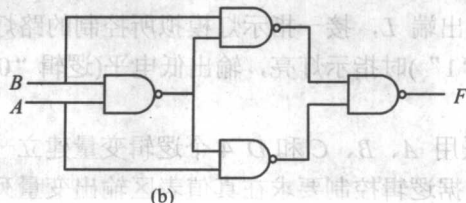
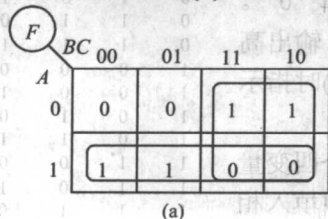


图 3.10

【举一反三】

设计组合逻辑电路的关键是正确列出真值表。例如,设计以下3变量组合逻辑电路:

- (1) 判奇电路。输入中有奇数个1时,输出为1,否则为0。所以,真值表如表3.2的第一列所示。
- (2) 判偶电路。输入中有偶数个1时输出为1,否则为0。所以,真值表如表3.2的第二列所示。
- (3) 判一致电路。输入变量取值相同时输出为1,否则为0。真值表如表3.2的第三列所示。
- (4) 判不一致电路。输入变量取值不一致时输出为1,否则为0。真值表如表3.2的第四列所示。
- (5) 被3整除电路。输入能被3整除时输出为1,否则为0。真值表如表3.2的第五列所示。
- (6) A、B和C多数表决电路。输入中有两个或两个以上为1时输出才为1,所以真值表如表3.2的最右列所示,注意C有否决权。

表3.2 电路真值表

输入			判奇电路	判偶电路	判一致电路	不一致电路	被3整除	表决
A	B	C	(Y ₁)	(Y ₂)	(Y ₃)	(Y ₄)	(Y ₅)	(Y ₆)
0	0	0	0	1	1	0	1	0
0	0	1	1	0	0	1	0	0
0	1	0	1	0	0	1	0	0
0	1	1	0	1	0	1	1	1
1	0	0	1	0	0	1	0	0
1	0	1	0	1	0	1	0	1
1	1	0	0	1	0	1	1	0
1	1	1	1	0	1	0	0	1

例3 试设计一个路灯控制逻辑电路,要求在4个不同的地方都能独立地控制路灯的亮灭。

【分析】

一般组合逻辑电路设计过程可归纳为:由给定问题列出真值表,再求得简化的逻辑表达式,再根据表达式画出逻辑电路。

【解答】

设该逻辑电路4个输入变量为A、B、C和D,接入高电平(+5V)作为逻辑“1”,接入低电平(“地”)作为逻辑“0”。逻辑电路输出端L,接一指示灯模拟所控制的路灯,输出高电平(逻辑“1”)时指示灯亮,输出低电平(逻辑“0”)时指示灯灭。

(1) 采用A、B、C和D 4个逻辑变量建立一个四变量真值表,根据逻辑控制要求在真值表区输出变量列中填入相应逻辑值(见表3.3)。

表3.3 电路真值表

输入				输出
A	B	C	D	L
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0



(2) 化简。用卡诺图化简法化简，如图 3.11 所示。

L	CD	00	01	11	10
	AB	00	0	1	0
	01	1	0	1	0
	11	1	0	1	0
	10	0	1	0	1

图 3.11

(3) 根据卡诺图写出化简后的逻辑表达式。

$$Y = \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BCD + A\overline{B}CD + ABC\overline{D} + ABCD$$

(4) 根据化简后的逻辑表达式画出逻辑电路图如图 3.12 所示。

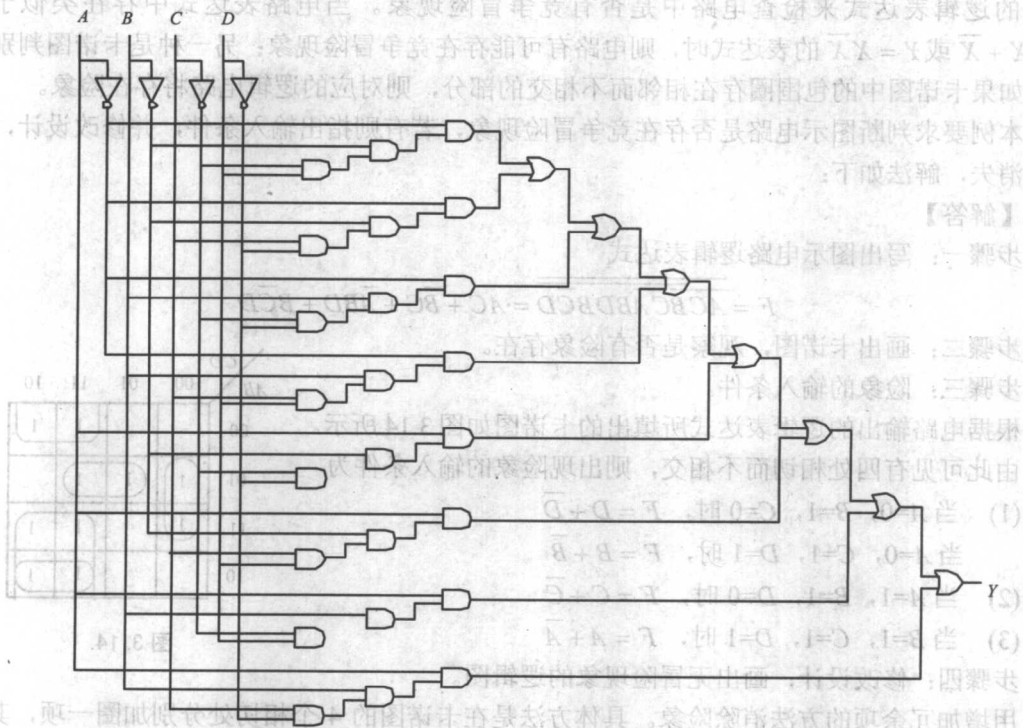


图 3.12

【举一反三】

按照以上设计思路，读者可自行设计；多人表决电路、奇校验电路、偶校验电路等典型组合逻辑电路，上述逻辑电路，实际上也可视为二四位奇校验电路。

例 4 判断图 3.13 所示电路有无竞争冒险现象？若有，则说明险象的输入条件，并对电路图进行修改，画出无冒险现象的逻辑图。



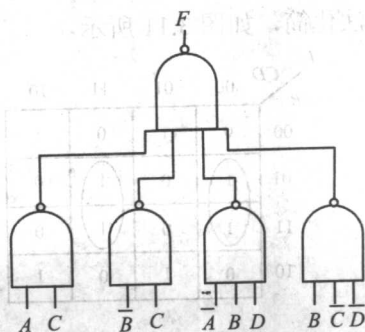


图 3.13

【分析】

一般而言,判断电路是否存在竞争冒险现象采用如下两种方法:一种是代数法,通过电路的逻辑表达式来检查电路中是否有竞争冒险现象。当电路表达式中存在类似于 $Y = X + \bar{X}$ 或 $Y = X\bar{X}$ 的表达式时,则电路有可能存在竞争冒险现象;另一种是卡诺图判别法,如果卡诺图中的包围圈存在相邻而不相交的部分,则对应的逻辑电路将存在险象。

本例要求判断图示电路是否存在竞争冒险现象,若有则指出输入条件,并修改设计,使之消失,解法如下:

【解答】

步骤一:写出图示电路逻辑表达式

$$F = \overline{AC} \overline{BC} \overline{ABD} \overline{BCD} = AC + \overline{BC} + \overline{ABD} + \overline{BCD}$$

步骤二:画出卡诺图,观察是否有险象存在。

步骤三:险象的输入条件。

根据电路输出的逻辑表达式所填出的卡诺图如图 3.14 所示。

由此可见有四处相切而不相交,则出现险象的输入条件为

- (1) 当 $A=0, B=1, C=0$ 时, $F = D + \bar{D}$
当 $A=0, C=1, D=1$ 时, $F = B + \bar{B}$
- (2) 当 $A=1, B=1, D=0$ 时, $F = C + \bar{C}$
- (3) 当 $B=1, C=1, D=1$ 时, $F = A + \bar{A}$

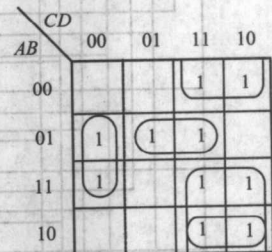


图 3.14

步骤四:修改设计,画出无冒险现象的逻辑图。

用增加冗余项的方法消除险象。具体方法是在卡诺图的 4 个相切处分别加圈一项,其加圈后的卡诺图如图 3.14 所示,修改后的逻辑函数式为

$$F = AC + \overline{BC} + \overline{ABD} + \overline{BCD} + \overline{ABC} + \overline{ACD} + \overline{ABD} + \overline{BCD}$$

则无竞争冒险逻辑图如图 3.15 所示。

【举一反三】

对于解答检测电路险象的题目,常规解题步骤为:先求逻辑表达式;然后根据逻辑表达式画出卡诺图;通过查找卡诺图中的相切而不相交处,写出现象的输入条件,并通过添加冗余项来消除险象。

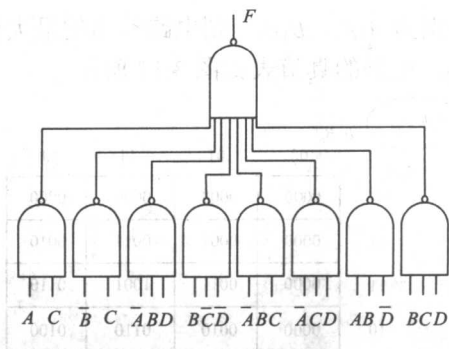


图 3.15

3.3.2 考研题分析

1. (83年)图 3.16(a)所示电路为使用奇数校验的系统方框图, 图中奇数校验器的作用是检查码组经传输后是否有差错, 然后在校验器 P_1 端送出相应的信号。当数码发送端的码组 ABC (二进制码)中已经有奇数个 1 时, 则送出校验位 $P=0$, 使 $ABCP$ 中仍保持奇数个 1; 而当码组 ABC 中只有偶数个 1 时, 则送出校验位 $P=1$, 使 $ABCP$ 中具有奇数个 1。要求采用最少数量的异或门设计一个奇数校验器使正常时 P_1 端输出为 1, 否则为 0。

【解答】

在发送端, 当 ABC 中有奇数个 1 时, 发送校验位 $P=0$, 故 $P = \overline{A \oplus B \oplus C}$ 。此校验位 P 同 ABC 一道发往接收端, 在接收端检查 $ABCP$ 中 1 的个数, 当 $ABCP$ 中有奇数个 1 时 $P_1=1$, 故有

$$P_1 = A \oplus B \oplus C \oplus P$$

用 3 个异或门构成的奇数校验器如图 3.16(b)所示。

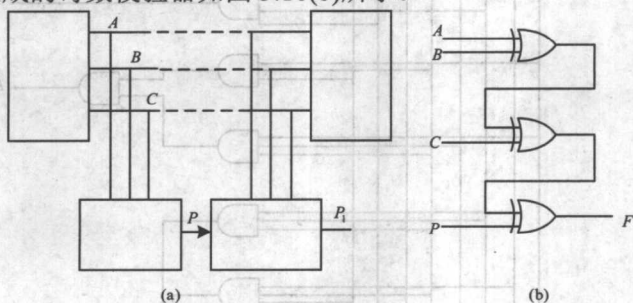


图 3.16

【举一反三】

本题的文字叙述较长, 主要是给出一个奇偶发生/校验原理及系统应用的概念。

2. 设计一个组合逻辑电路, 输入是两个 2 位的二进制数, 输出是此二数的乘积。列出真值表, 求出逻辑式, 画出逻辑图。

【解答】





设两个 2 位的二进制分别为 A_1A_0, B_1B_0 , 则电路输出的最大值为 9, 因此输出是一个 4 位二进制数, 设为 $P_3P_2P_1P_0$ 。电路的真值表如图 3.17 所示。

A_1A_0	B_1B_0	00	01	11	10
00	00	0000	0000	0000	0000
01	00	0000	0001	0011	0010
11	00	0000	0011	1001	0110
10	00	0000	0010	0110	0100

图 3.17

从图 3.17 中可得

$$P_3(A_1, A_0, B_1, B_0) = \sum m(15), \quad P_2(A_1, A_0, B_1, B_0) = \sum m(10, 11, 14)$$

$$P_1(A_1, A_0, B_1, B_0) = \sum m(6, 7, 9, 11, 13, 14), \quad P_0(A_1, A_0, B_1, B_0) = \sum m(5, 7, 13, 15)$$

化简后得

$$P_3(A_1, A_0, B_1, B_0) = A_1A_0B_1B_0$$

$$P_2(A_1, A_0, B_1, B_0) = A_1B_1\bar{B}_0 + A_1\bar{A}_0B_1$$

$$P_1(A_1, A_0, B_1, B_0) = \bar{A}_1A_0B_1 + A_0B_1\bar{B}_0 + A_1\bar{B}_1B_0 + A_1\bar{A}_0B_0$$

$$P_0(A_1, A_0, B_1, B_0) = A_0B_0$$

电路图如图 3.18 所示。

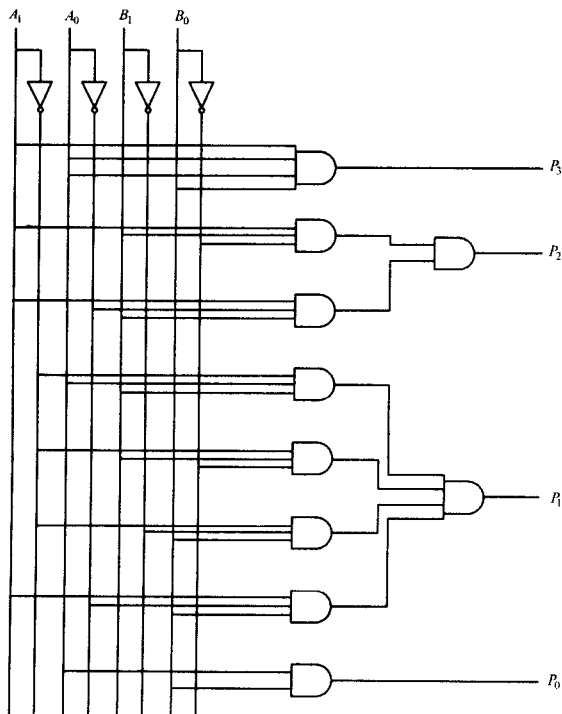


图 3.18



3.4 重要习题精选精解

1. 图 3.19 所示逻辑电路为逻辑选择器，其中 X, Y 为输入数据端， S_1, S_2 为功能选择端。

- (1) 求输出函数 F 的逻辑表达式；
- (2) 分析当 S_1 和 S_2 取不同值时电路所完成的不同功能。

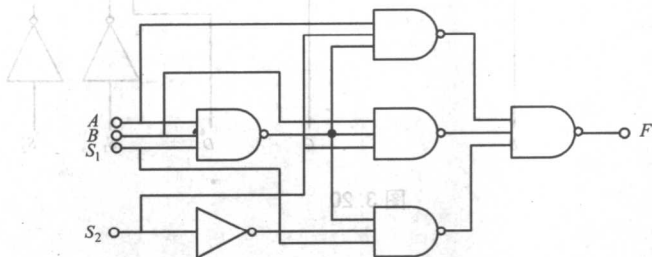


图 3.19

【分析】

本例在 S_1 和 S_2 控制信号的选通作用下，传输 X, Y 数据。由于 S_2 和 S_1 有 4 种取值组合，因此输出 F 对应有 4 种函数关系，从而构成一个多功能函数发生器。

【解答】

写出输出 F 的函数表达式，令 A, B 和 S_1 经过第一个与非门后的输出为 $K, K = \overline{ABS_1}$ ，

$$F = \overline{AS_2KBKS_2KS_2S_1} = AS_2K + BKS_2 + K\overline{S_2S_1}$$

$$= AS_2\overline{ABS_1} + BS_2\overline{ABS_1} + \overline{S_2S_1}\overline{ABS_1}$$

不同 S_2S_1 组合下， F 的函数式如表 3.4 所示。

表 3.4 逻辑函数中 S_1 和 S_2 的取值

S_1	S_2	F
0	0	0
0	1	$A+B$
1	1	AB
1	0	$A \oplus B$

【举一反三】

本例通过 S_2 和 S_1 的选通作用，给出了由 A 和 B 两个变量组成的 4 个逻辑函数。本题的关键在于正确理解题意，分清输入端 A, B, S_1 和 S_2 这 4 个变量间的关系，区别选通信号与有效数据。容易出错的地方是将电路作为具有 4 个输入变量的关系来处理，则无法得到正确答案。

2. 已知组合电路图如图 3.20 所示，图中 S_1, S_2 为控制变量，试列出真值表说明各输出函数与 S_1, S_2 及输入 $ABCD$ 间的关系，并指出该电路的逻辑功能。

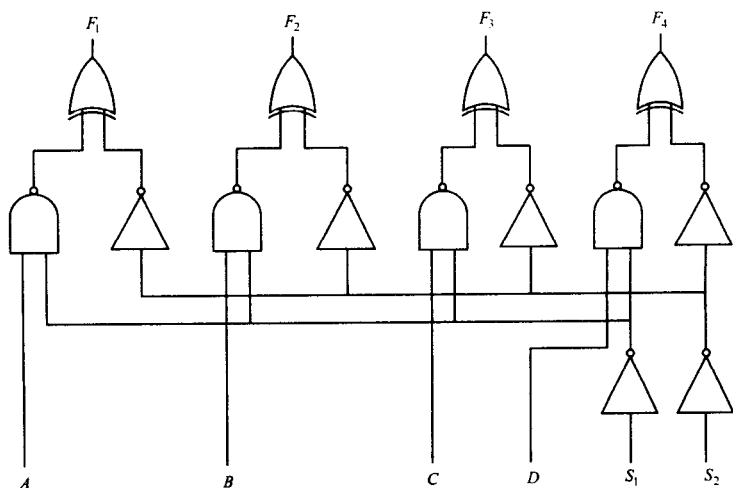


图 3.20

【分析】

该电路通过控制变量的不同组合得到不同的输出 F ，通过对真值表的分析可得出电路所完成的不同逻辑功能。

【解答】

写出输出 F_i 的表达式如下

$$F_1 = \overline{A}S_1 \oplus S_2, \quad F_2 = \overline{B}S_1 \oplus S_2$$

$$F_3 = \overline{C}S_1 \oplus S_2, \quad F_4 = \overline{D}S_1 \oplus S_2$$

根据 F_i 的表达式写出真值表如表 3.5 所示，该电路逻辑功能为

表 3.5 逻辑关系对应表

S_1	S_2	F_1	F_2	F_3	F_4
0	0	\overline{A}	\overline{B}	\overline{C}	\overline{D}
0	1	A	B	C	D
1	0	1	1	1	1
1	1	0	0	0	0

当 $S_1S_2=00$ 时，输出为输入数据。当 $S_1S_2=01$ 时，输出为输入的负逻辑。当 $S_1S_2=10$ 时，输出置 1。当 $S_1S_2=11$ 时，输出置 0。

3. 某雷达站有 3 部雷达 A 、 B 和 C ，其中 A 和 B 功率消耗相等， C 的功率是 A 的两倍。这些雷达由两台发电机 X 和 Y 供电，发电机 X 的最大输出功率等于雷达 A 的功率消耗，发电机 Y 的最大输出功率是 X 的 3 倍。要求设计一个逻辑电路，能够根据各雷达是启动或关闭的信号，以最节约电能的方式启、停发电机。

【解答】

设 A 、 B 、 C 为 3 部雷达启动时消耗的功率，若启动则为 1，关闭为 0， X 、 Y 为两台发电机输出的功率，启动为 1，关闭为 0。则由题意，得



$$A=B, C=2A, X=A=B, Y=3X=3A=3B$$

由真值表得到逻辑函数，化简得

$$X = \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} = \overline{AB} \oplus C + \overline{BA} \oplus C$$

$$Y = AB + C$$

4. 判断图 3.21 所示电路是否存在险象。如果存在险象，如何消除？

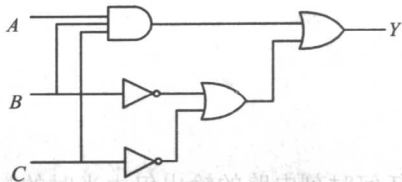


图 3.21

【解答】

电路的输出逻辑函数为

$$Y = ABC + \overline{B} + \overline{C}$$

当 $A=C=1$ 或 $A=B=1$ 时， $Y=B + \overline{B}$ 或 $Y=C + \overline{C}$ ，故存在静态 1 险象。

根据“第 3 项多余”法则，在函数中增加 AC 和 AB 项即可消除险象，即

$$Y = ABC + \overline{B} + \overline{C} + AC + AB$$

画成逻辑图如图 3.22 (a) 所示，相当于在图 3.22 (b) 所示的卡诺图中加冗余项 AC 和 AB 。

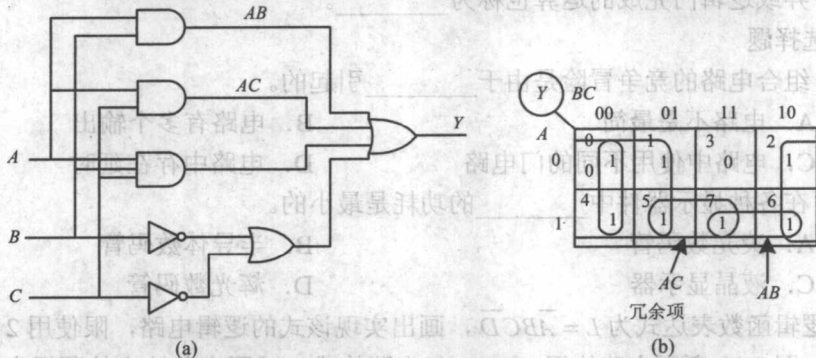


图 3.22

注意，在图 3.22 (b) 中，加入长条包围圈 (m_4, m_5, m_6, m_7) 消除险象更简单，这相当于在原式中加入和项，即

$$Y = ABC + \overline{B} + \overline{C} + A$$

【举一反三】

险象的消除方法主要有 3 种：

方法一：在电路输出端加小滤波电容法。由于竞争产生的干扰脉冲一般很窄，所以在电路输出端对地并接一个 100 pF 以下的小电容即可有效地滤除尖峰脉冲。此方法的优点是简单易行，缺点是输出波形同时被恶化。

方法二：加冗余项法。例如 $Y=AB+\overline{A}C$ ，有险象，加入冗余项 BC 后险象即被消除。加冗余项法除了用公式法外，还可用卡诺图法：在相邻的包围圈加冗余项。

3.5 两级训练题

3.5.1 达标训练题

1. 填空题

- (1) 组合逻辑电路是指任何时刻电路的输出仅由当时的_____决定。
- (2) 将十进制数的十个数字编成二进制代码的过程叫_____。
- (3) 在几个信号同时输入时，只对优先级别高的进行编码叫_____。
- (4) 代码的特定含义翻译出来的过程叫做_____； n 位二进制译码器有_____个输入，有_____个输出，工作时译码器只有一个输出有效。
- (5) 两个 1 位二进制数相加叫做_____。两个同位的加和来自低位的进位，三者相加叫做_____。
- (6) 从若干输入数据中选择一路作为输出的电路叫做_____。
- (7) 当输入信号改变状态时，输出端可能出现虚假过渡干扰脉冲的现象叫_____。
- (8) 异或逻辑门完成的运算也称为_____。

2. 选择题

- (1) 组合电路的竞争冒险是由于_____引起的。
 - A. 电路不是最简
 - B. 电路有多个输出
 - C. 电路中使用不同的门电路
 - D. 电路中存在延时
 - (2) 在各种显示器件中_____的功耗是最小的。
 - A. 荧光数码管
 - B. 半导体数码管
 - C. 液晶显示器
 - D. 辉光数码管
3. 逻辑函数表达式为 $L = \overline{ABC\overline{D}}$ ，画出实现该式的逻辑电路，限使用 2 输入与非门。
4. 如图 3.23 所示电路均用 CMOS 门电路构成。试写出各输出的逻辑表达式。

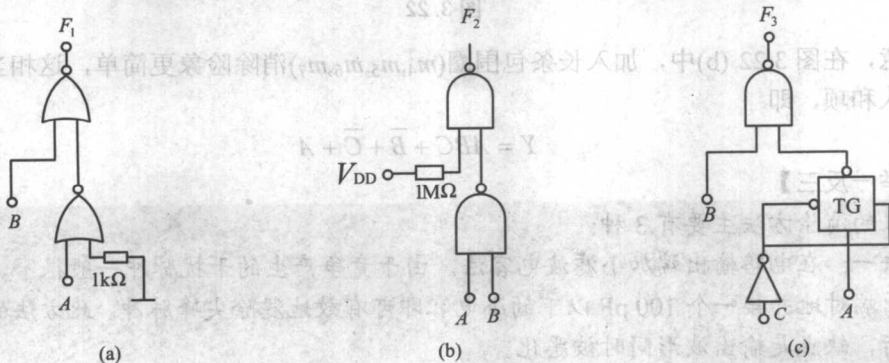


图 3.23



3.5.2 考研挑战题

1. 填空题

- (1) 将 1999 个“1”异或起来得到的结果是_____，而 2000 个 1 异或的结果是_____。
- (2) 一个二进制编码器若需要对 12 个输入信号进行编码，则要采用_____位二进制代码。
- (3) 5 变量输入译码器，其译码输出信号最多应有_____个。
- (4) 输出低电平有效的二-十进制译码器的输入 8421BCD 码为 0110 时，其输出 $\bar{Y}_9 \sim \bar{Y}_0 =$ _____。
- (5) 全加器跟半加器的区别是_____。
- (6) 对于高电平是输出有效电平的译码器，每个输出都是_____。若以这种类型的译码器实现组合逻辑电路时，还需要增加_____。
- (7) 对于低电平是输出有效电平的译码器，每个输出都是_____。若以这种类型的译码器实现组合逻辑电路时，还需要增加_____。
- (8) 当输入变量中“1”的个数为奇数时，奇校验器的输出为_____；当输入变量中“1”的个数为偶数时，奇校验的输出为_____。

2. 选择题

- (1) 半导体数码管的每个显示线段都是由_____构成的。

A. 灯丝	B. 发光二极管
C. 发光三极管	D. 熔丝
 - (2) 只考虑本位数，而不考虑低位来的进位的加法称为_____。

A. 全加	B. 半加
C. 全减	D. 半减
3. 请简单描述下述电路(图 3.24)的基本功能。

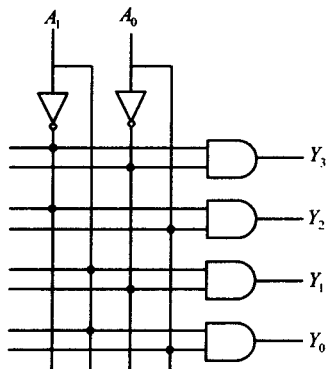


图 3.24

4. 下面是一幅全加器的电路图(图 3.25)，图中用到了非门、与门和或门，试将该电路



图用非门和与非门实现。

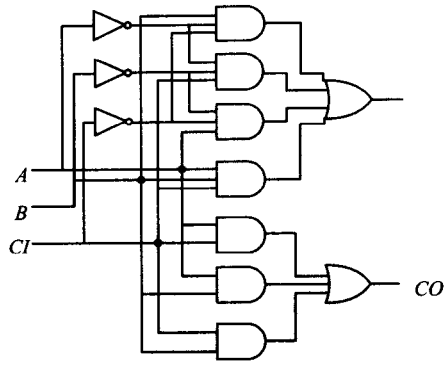


图 3.5

第4章 常用组合逻辑功能器件

4.1 本章知识结构图

本章除了介绍常用组合逻辑器件的逻辑功能外，还要重点介绍这些逻辑器件上附加控制端(如使能端、选通输入端、片选端及禁止端等)的功能。使学生能够根据器件的功能表正确合理地运用这些控制端，最大限度地发挥所用器件的潜力，设计出任何其他逻辑功能的组合电路。本章主要内容如图 4.1 所示。

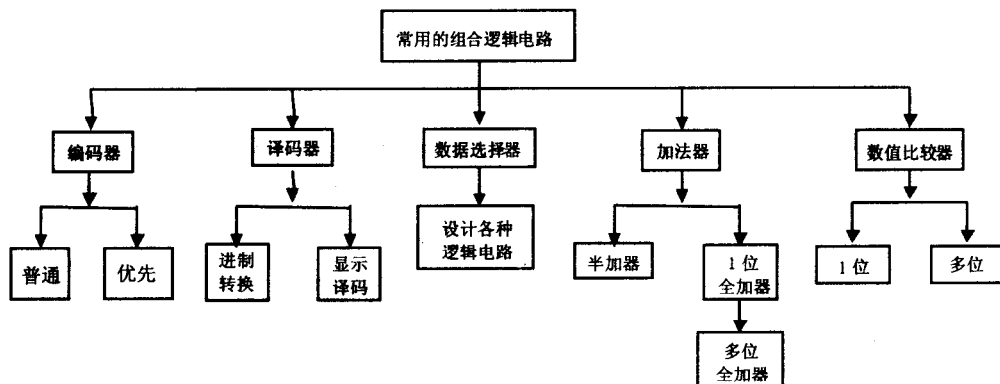


图 4.1

4.2 疑难解惑

问题 4.2.1 采用 MSI 设计组合逻辑电路有何特点?

【指点迷津】

一般说来，用 MSI 设计组合电路不像用 SSI 设计那样规范化。这种设计更多地是依靠对被设计的逻辑问题的功能和对各种常用组合电路部件的逻辑功能及其使用方法的深刻了解，在此基础上，利用逻辑思维和逻辑联想的方法去寻求设计的突破口，找出解决问题的思路和方法。

用 MSI 设计组合逻辑电路的大致步骤如下：

- (1) 逻辑抽象，列出真值表；
- (2) 写出逻辑表达式；
- (3) 将得到的逻辑式与已知 MSI 器件的逻辑函数式对照比较，结果有以下 4 种可能：
 - ① 与某种 MSI 的输出函数形式上完全相同，这时就用这种 MSI 直接实现。如用“2”



选 1MUX”实现 $n+1$ 变量以下的逻辑函数即属这种情况。

② 输入端数或功能是某种 MSI 输出函数的子集,这时也可用这种 MSI 实现,但需对多余输入端作适当处理。

③ MSI 的函数式是要产生的函数式的一部分,这时可通过扩展的办法或附加少量其它电路来实现所要求的功能。

④ 与所知或可用的 MSI 的函数功能基本上无共同之处,则只好另想办法,或用 SSI 设计。

根据逻辑函数式对比较的结果,即可确定可以采用的器件和所用器件各输入端应接入的变量或常量(1 或 0),以及各片之间的连接方式。

(4) 按照上面对比较的结果,画出设计的逻辑电路图。

用中规模集成器件设计组合逻辑电路,使设计工作量大大减少,同时还可避免或减少设计中引起的错误。中规模集成器件构成的组合:电路体积小、连线少,大大提高了电路的可靠性。

问题 4.2.2 什么是译码?译码器如何分类?

【指点迷津】

将二进制代码的各种状态按照其原来的“含义”翻译过来,叫做二进制译码器。例如,要设计一个二进制译码器,要求其能将输入的一组三位二进制代码 ABC 译成对应的 8 个低电平有效的输出信号 $\bar{Y}_0 \sim \bar{Y}_7$, 具体的译码功能如表 4.1 所示。

表 4.1 3 位二进制译码器的状态表

输 入			输 出							
A (A_2)	B (A_1)	C (A_0)	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

现在我们按照组合逻辑电路的设计思路设计该译码器。

(1) 由状态表写出逻辑式

$$\begin{aligned} \bar{Y}_1 &= \overline{ABC} & \bar{Y}_0 &= \overline{ABC} & \bar{Y}_2 &= \overline{ABC} & \bar{Y}_3 &= \overline{ABC} \\ \bar{Y}_4 &= \overline{ABC} & \bar{Y}_5 &= \overline{ABC} & \bar{Y}_6 &= \overline{ABC} & \bar{Y}_7 &= \overline{ABC} \end{aligned}$$

(2) 由逻辑式画出逻辑图

考虑用“与非”实现,画出逻辑图,如图 4.2 所示。



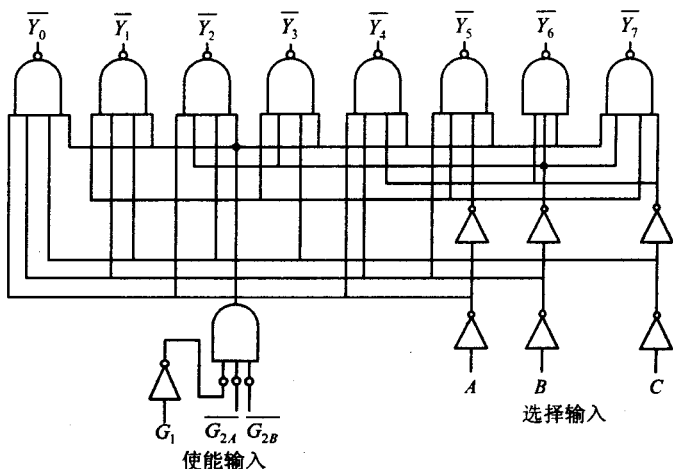


图 4.2

问题 4.2.3 与普通编码器相比, 优先编码器的特点是什么? 如何应用?

【指点迷津】

一般编码器, 在任一时刻, 只允许在一个输入端加入有效电平, 当两个以上输入端加上有效电平时, 编码器的输出状态将是混乱的。但是在计算机系统中, 往往有多个外部设备同时向计算机申请中断。计算机必须确定哪一个外设的优先级别最高, 以便首先为它服务。这种当某一时刻有多个请求服务信号时, 能识别请求信号优先级别, 并只对其中优先级别最高者进行编码的逻辑部件称为优先编码器。

问题 4.2.4 如何采用译码器与数据选择器实现逻辑函数?

【指点迷津】

(1) 用译码器实现。因为译码器实际上是一个最小项发生器, 所以只要选择其中所需的最小项输出即可组成所需逻辑函数。

(2) 用数据选择器实现。因为数据选择器的输出是“地址”变量同“数据”变量的与或函数, 所以只要把逻辑函数中的一些变量当作“地址”, 其余变量当作“数据”, 即可用数据选择器实现逻辑函数。

用 MSI 实现组合逻辑函数, 最常用的器件是多路选择器和最小项译码器(即二进制译码器或称通用译码器), 前者适用于组成单输出逻辑函数, 后者适用于组成多输出逻辑函数。

用最小项译码器实现逻辑函数。最小项译码器的输入代码包含了输入变量的全部取值组合, 故在输出函数式中可以得到输入变量的每一个最小项。任何逻辑函数都可以写成最小项表达式。所以根据函数包含的最小项, 将这种译码器的对应输出端通过简单电路的连接, 就可以得到所求的逻辑函数。用最小项译码器实现逻辑函数的步骤为:

(1) 列出所求函数的真值表, 或写出最小项表达式。根据函数的最小项, 选择合适的译码器。

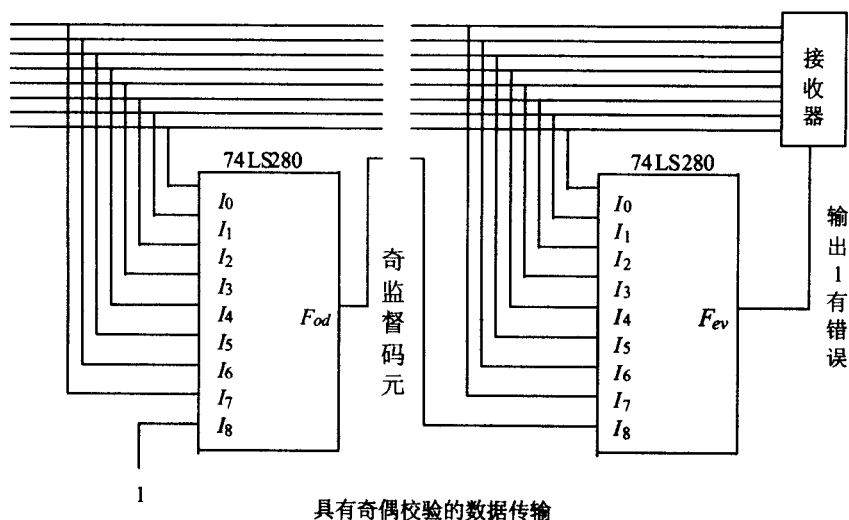
(2) 确定译码器的输入变量, 并用译码器的输出函数式表示所求逻辑函数。

(3) 按求出的输入和输出函数式画出译码器的电路连线图。

问题 4.2.5 什么是奇偶校验器? 如何应用?

【指点迷津】

利用奇(偶)校验方法进行检错的组合逻辑电路称为奇偶校验器。图 4.3 所示为一个具有奇校验器的数据传输系统, 它采用了两片 74LS280。



74LS280 功能表

输入 $I_0 \sim I_8$ 中 1 的个数	F_{od}	F_{ev}
偶数	0	1
奇数	1	0

图 4.3

发送端 280 芯片:

用来产生 9 位码组中的奇监督位 F_{od} 信号, 即

$$F_{od} = (I_0 \oplus I_1 \oplus I_2 \oplus I_3 \oplus I_4 \oplus I_5 \oplus I_6 \oplus I_7) \oplus I_8 (I_8 = 1)$$

F_{od} 的取值使 9 位码组中 1 的个数成奇数, 即:

当 8 位信息码中 1 的个数成奇数时, $F_{od} = 0$ 。

当 8 位信息码中 1 的个数成偶数时, $F_{od} = 1$ 。

接收端 280 芯片:

对 9 位码组进行奇校验产生 F_{ev} 信号

如果 $F_{ev} = 0$, 表明码组中 1 的个数为奇数, 传输正确。

如果 $F_{ev} = 1$, 表明码组中 1 的个数不为奇数, 传输错误。

如最上面的 1 位信息码传输中出错, 因而导致 F_{ev} 信号为 1。

$$F_{ev} = I_0 \oplus I_1 \oplus I_2 \oplus I_3 \oplus I_4 \oplus I_5 \oplus I_6 \oplus I_7 \oplus I_8$$

产生 9 位码组中的奇监督位信号图如图 4.4 所示。由此可以看出:



- (1) 利用 280 芯片可以进行奇校验,也可以进行偶校验,可以自由选择。
- (2) 奇偶校验方法只能检测 1 位错,不能检测两位同时错,但由于方法简单,硬件很少,因此仍然得到广泛应用。

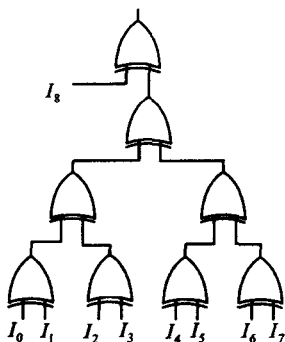


图 4.4

4.3 典型例题与考研题分析

4.3.1 典型例题分析

例 1 试用 8 选 1 数据选择器 SN74LS151 集成电路实现 4 变量逻辑函数

$$Y = f(A, B, C, D) = \sum m(1, 5, 6, 7, 9, 11, 12, 13, 14)$$

【分析】

本例要求用 8 选 1 数据选择器实现 4 变量逻辑函数。而逻辑函数式是由最小项之和的形式给定,只要式中任何一个最小项对应的输入取值出现,函数值必为 1,否则为 0。因此本例可用扩展法实现。用两片 SN74LS151 器件扩展成 16 选 1 数据选择器来实现。这一数据选择器的输出函数为 $Y = \sum_0^{15} m_i D_i$, 其中 m_i 是由 4 个地址输入变量组成的最小项, D_i 为对应于地址输入 m_i 的传送信号。因此,只需将所要实现的逻辑函数式的 4 个变量作为 16 选 1 数据选择器的地址输入,则逻辑函数式的最小项与 m_i 就完全一致。因此,若逻辑函数式中包含有最小项 m_i ,就将与 m_i 对应的传送信号 D_i 取 1,否则 D_i 取 0。这样处理,就使得 16 选 1 数据选择器的输出为所要实现的 4 位变量逻辑函数。

【解答】

用两片 8 选 1 数据选择器 SN74LS151 器件扩展成 16 选 1 数据选择后,数据输入端随之增加至 16 个,地址输入需要 4 位。但所用 SN74LS151 器件只有 3 个地址输入端,8 个数据输入端。因此需将 16 个数据输入分成高 8 位数据和低 8 位数据,分别由一片 SN74LS151 器件选送,二者之间的转接可利用片选信号控制。4 位地址输入共构成 16 个 4 位二进制代码。由于最高位在低 8 位代码中为 0,在高 8 位代码中为 1,因此可将 4 位地址输入的最高位作为片选信号,余下的 3 位对应接入 SN74LS151 器件的地址输入端,这样即可实现功能





扩展。16个传送变量可从待实现的逻辑函数卡诺图(略)中得出。电路连接如图4.5所示。

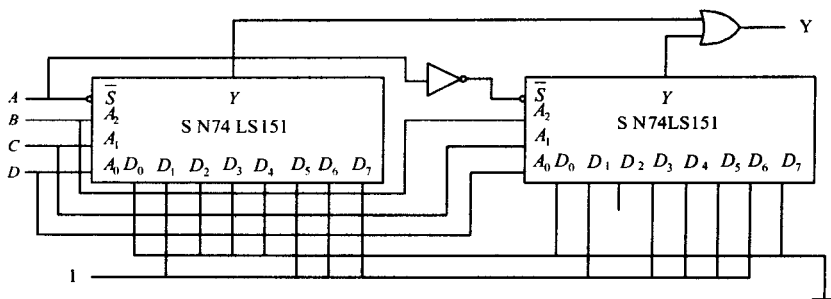


图 4.5

例 2 设计一个能实现两个一位二进制数的全加运算和全减运算的组合逻辑电路。要求用以下器件分别构成电路：

- (1) 用适当的门电路；
- (2) 用 3 线-8 线译码器 CT74LS138 器件及必要的门电路；
- (3) 用双 4 选 1 数据选择器 CT74LS153 器件及必要门电路。

【分析】

本例以设计 1 位全加、全减运算电路为目标，介绍了组合逻辑电路的两种设计方法。一是门级电路设计，二是利用中规模器件设计。

两种设计方法的共同之处在于必须认真分析题意，把用文字描述的设计要求抽象成一个逻辑问题，即建立输出函数的逻辑表达式。不同之处在于，门级电路设计时必须进行化简及逻辑变换，用最少的门电路实现设计要求；利用中规模器件设计时，可直接用由最小项之和表示的逻辑函数式，而勿须化简。关键是要熟悉所用器件的功能及输入(或输出)使能控制，从而正确地应用器件。

【解答】

以下分 3 个步骤进行。

步骤一：题意分析

本例所设计的电路，要求能实现两个 1 位二进制数的全加及全减运算。

在全加运算时，一位二进制数作为被加数，记为 A ；另一位二进制数作为加数，记为 B ，同时还要接收低位送入的进位信号，记为 CI 。输出一是本位相加和，记为 S ；二是向高位送出的进位信号，记为 CO 。

在全减运算时， A 则要作为被减数， B 作为减数， CI 作为低位向本位的借位信号。输出 S 即是本位差， CO 是本位向高位的借位信号。而且，全加和全减两种运算还必须设置控制信号，即加/减控制信号，记为 M 。并设 $M=0$ ，作全加运算； $M=1$ ，作全减运算。

只要正确地处理这些关系，就可得出设计结果。

步骤二：利用真值表分析函数功能

将加/减控制信号 M 作为一个输入变量，作真值表如表 4.2 所示。由表中关系可得全加、全减器的输出函数式如下：

$$S = \sum m(1,2,4,7,9,10,12,15)$$



$$CO = \sum m(3,5,6,7,9,10,11,15)$$

表 4.2 加减运算真值表

M	A	B	CI	CO	S	M	A	B	CI	CO	S
0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	1	0	1	1	0	0	1	1	1
0	0	1	0	0	1	1	0	1	0	1	1
0	0	1	1	1	0	1	0	1	1	1	0
0	1	0	0	0	1	1	1	0	0	0	1
0	1	0	1	1	0	1	1	0	1	0	0
0	1	1	0	1	0	1	1	1	0	0	0
0	1	1	1	1	1	1	1	1	1	1	1

利用卡诺图 4.6 化简输出函数 S、CO

$$S = \overline{ABC}I + \overline{ABC}\overline{I} + ABCI + \overline{ABC}\overline{I} = A \oplus B \oplus CI$$

$$CO = BCI + \overline{M}ACI + \overline{M}AB + M\overline{A}CI + M\overline{A}B \\ = BCI + (CI + B) + (M \oplus A)$$

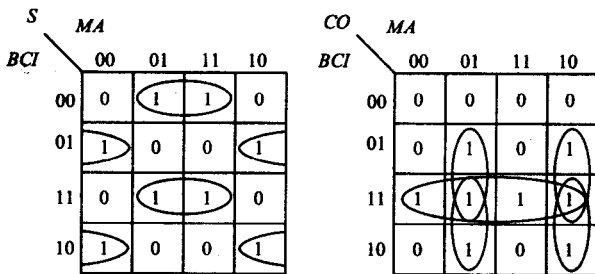


图 4.6

步骤三

方法 1: 利用门电路设计

将给定的输出函数 S 与 CO 利用卡诺图化简, 并进行逻辑变换, 得

$$S = \overline{ABC}I + \overline{ABC}\overline{I} + ABCI + \overline{ABC}\overline{I} = A \oplus B \oplus CI$$

$$CO = BCI + \overline{M}ACI + \overline{M}AB + M\overline{A}CI + M\overline{A}B \\ = BCI + (CI + B) + (M \oplus A)$$

利用异或门及与或门构成的 1 位全加、全减运算电路, 如图 4.7 所示。

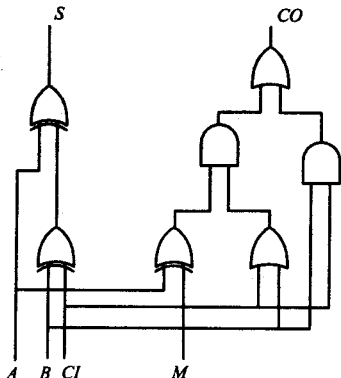


图 4.7

方法 2: CT74LS138 器件设计

利用 CT74LS138 器件设计由给定的输出函数 S 与 CO 可知,这是一个 4 变量(A, B, CI, M)的逻辑函数。因此,必须用两片 CT74LS138 器件先扩展成 4 线-16 线译码器,然后用 7408 与非门实现函数。

逻辑图如图 4.8 所示,此时有

$$S = \bar{Y}_1 \bar{Y}_2 \bar{Y}_4 \bar{Y}_7 \bar{Y}_9 \bar{Y}_{10} \bar{Y}_{12} \bar{Y}_{15}$$

$$CO = \bar{Y}_3 \bar{Y}_5 \bar{Y}_6 \bar{Y}_7 \bar{Y}_9 \bar{Y}_{10} \bar{Y}_{11} \bar{Y}_{15}$$

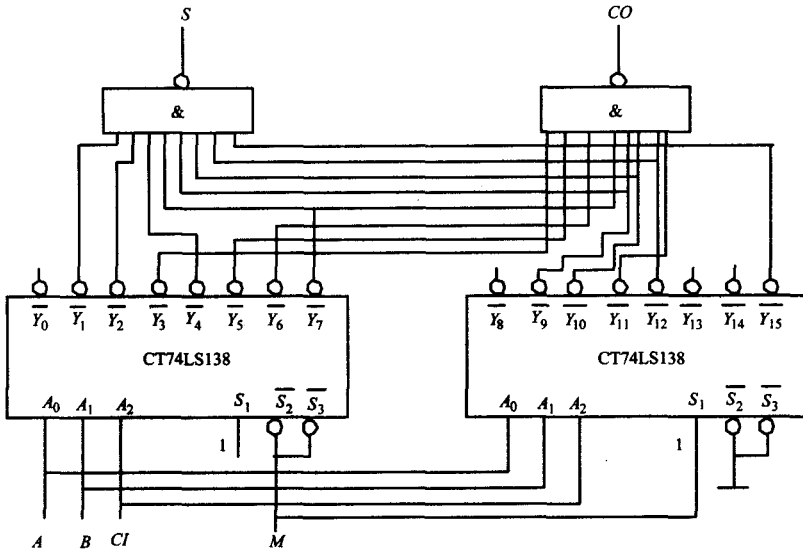


图 4.8

方法 3: 利用 CT74LS153 器件设计

将给定的输出函数 S 与 CO 做适当变换,得出

$$S = \sum m(1, 2, 4, 7, 10, 12, 15)$$

$$= \bar{M}(\bar{A}\bar{B}CI + \bar{A}BC\bar{I} + A\bar{B}C\bar{I} + ABCI) + M(\bar{A}\bar{B}CI + \bar{A}BC\bar{I} + A\bar{B}C\bar{I} + ABCI)$$

$$CO = \sum m(3, 5, 6, 7, 9, 10, 11, 15)$$

$$= \bar{M}(\bar{A}\bar{B}CI + \bar{A}BC\bar{I} + A\bar{B}C\bar{I} + ABCI) + M(\bar{A}\bar{B}CI + \bar{A}BC\bar{I} + A\bar{B}C\bar{I} + ABCI)$$

由上面分析可知,无论做全加运算或全减运算,输出 S 均相同,而输出 CO 则各不相同。由双 4 选 1 数据选择器 CT74LS153 的功能得知,它可以接收 4 个输入变量,即一个片选信号、两个地址信号和一个传送信号。因此可设定 A, B 为地址信号, CI 为传送信号,并设置片选信号有效。其输出表达式为

$$Y = (\bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3)$$

因此各用其中一个 4 选 1 数据选择器分别实现 S 与 CO 函数。

在实现 S 函数时, $D_0 = D_3 = CI$, $D_1 = D_2 = \bar{CI}$

在实现 CO 函数时, $D_0 = MCI$, $D_1 = M + CI$

$D_2 = \bar{M}CI$, $D_3 = \bar{M} + CI$



设计逻辑图如图 4.9 所示。

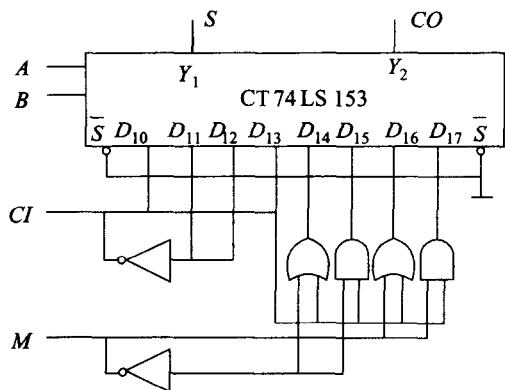


图 4.9

例 3 用 3 片 3-8 译码器组成一个 5-24 译码电路。

【分析】

本题要求对 3-8 译码器进行功能扩展，因为输入为 5 个二进制数，输出为 24 个二进制数。24=8×3，因此可用 3 个 3-8 译码器扩展实现，可考虑将输入信号中的前 2 位用于选通 3-8 译码器，后三位用于片内地址的选择。先写出真值表如表 4.3 所示，再根据真值表绘出逻辑电路图。

表 4.3 输入输出数真值表

输入					输出	输入					输出
A_4	A_3	A_2	A_1	A_0	\bar{Y}	A_4	A_3	A_2	A_1	A_0	\bar{Y}
0	0	0	0	0	\bar{Y}_0	0	1	1	0	0	\bar{Y}_{12}
0	0	0	0	1	\bar{Y}_1	0	1	1	0	1	\bar{Y}_{13}
0	0	0	1	0	\bar{Y}_2	0	1	1	1	0	\bar{Y}_{14}
0	0	0	1	1	\bar{Y}_3	0	1	1	1	1	\bar{Y}_{15}
0	0	1	0	0	\bar{Y}_4	1	0	0	0	0	\bar{Y}_{16}
0	0	1	0	1	\bar{Y}_5	1	0	0	0	1	\bar{Y}_{17}
0	0	1	1	0	\bar{Y}_6	1	0	0	1	0	\bar{Y}_{18}
0	0	1	1	1	\bar{Y}_7	1	0	0	1	1	\bar{Y}_{19}
0	1	0	0	0	\bar{Y}_8	1	0	1	0	0	\bar{Y}_{20}
0	1	0	0	1	\bar{Y}_9	1	0	1	0	1	\bar{Y}_{21}
0	1	0	1	0	\bar{Y}_{10}	1	0	1	1	0	\bar{Y}_{22}
0	1	0	1	1	\bar{Y}_{11}	1	0	1	1	1	\bar{Y}_{23}

【解答】

令 A_4, A_3 信号用于选通 3-8 译码器，当 $A_4A_3=00$ 时，选通第一片译码器，输出为 0~7，当 $A_4A_3=01$ 时，输出为 8~15，当 $A_4A_3=10$ 时，输出为 16~23。其逻辑电路图如图 4.10 所示。图中， A_4 和 A_3 信号经过逻辑门组合后给 3-8 译码器提供使能信号，而其余 3 位信号则用于译码器内部的地址选择，从而得到所需的 5-24 译码电路。答案如图 4.10 所示。



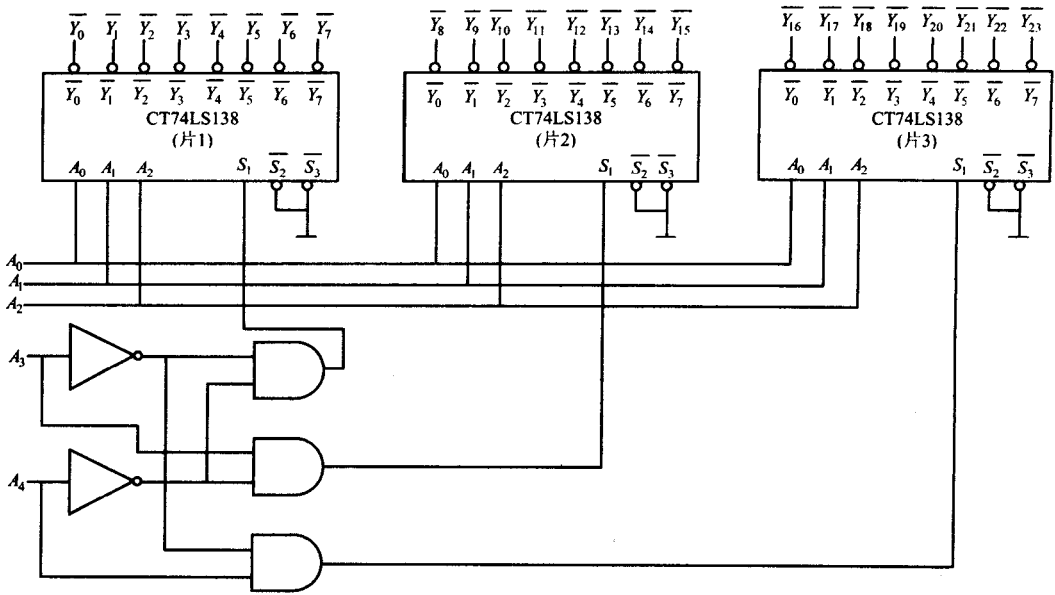


图 4.10

例 4 图 4.11 所示电路由 3 线-8 线译码器 74LS138 和 16 选 1 MUX74150 组成。ABCD 和 $X_3X_2X_1X_0$ 分别为两个 4 位二进制数。试分析该电路的逻辑功能。

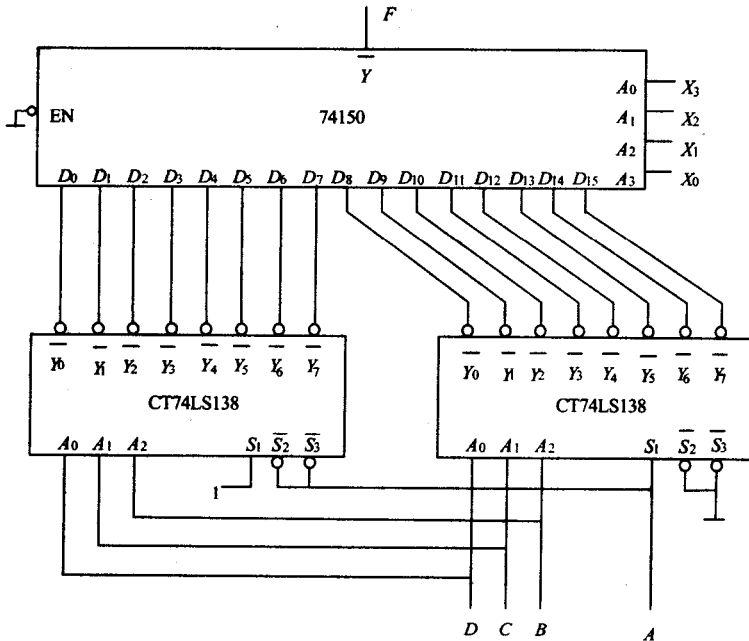


图 4.11

【分析】

由给定电路图可知，两片 74LS138 级联，扩展成了一个 4 线-16 线译码器。其 16 位输



出为数据选择器 74150 的输入数据，而 $X_3X_2X_1X_0$ 则控制数据的选通。而且， $X_3X_2X_1X_0$ 控制选通的数据就是 $ABCD$ 控制的输出数据，即当且仅当 $X_3X_2X_1X_0$ 与 $ABCD$ 相同时，输出 F 为 1，所以该电路的逻辑功能为 4 位二进制数据比较器。

【解答】

该逻辑电路为 4 位二进制同比较器，当输入 $X_3X_2X_1X_0$ 与 $ABCD$ 相同时，输出 F 为 1，当输入 $X_3X_2X_1X_0$ 与 $ABCD$ 不同时，输出 F 为 0。

例 5 设计一个多功能组合电路， G_1 、 G_0 为控制变量， A 、 B 为输入变量， F_1 、 F_2 为输出变量。当 $G_1G_0=00$ 时，对 AB 做加 1 运算； $G_1G_0=01$ 时，对 AB 做减 1 运算； $G_1G_0=10$ 时，对 AB 做加 0 运算；当 $G_1G_0=11$ 时，为禁止状态。

- (1) 试用最少的门电路实现该电路的功能。
- (2) 试用一片 4 选 1 数据选择器和最少量的门实现该电路。

【分析】

要用最少的门电路实现电路功能，先列出电路的真值表，作出卡诺图求得最简的逻辑表达式。用数据选择器实现的时候，由于数据选择器的输出方程与逻辑方程的标准式在形式上完全一致，因此组合逻辑电路的设计可以直接用数据选择器实现，其方法是，将逻辑函数的输入变量作为数据选择器的控制码加到控制端，并将逻辑函数值加到数据输入端。

【解答】

根据电路功能，列出真值表 4.4。

表 4.4 F_1 和 F_2 真值表

G_1	G_0	A	B	F_1	F_2
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	1
0	0	1	1	0	0
0	1	0	0	1	1
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	1	1
1	1	0	0	d	d
1	1	0	1	d	d
1	1	1	0	d	d
1	1	1	1	d	d

由真值表作卡诺图如图 4.12 所示。



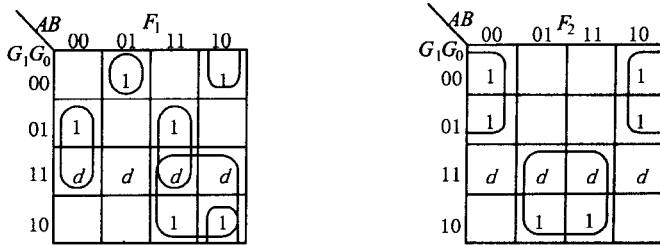


图 4.12

由图 4.12 可得最简的逻辑表达式

$$F_1 = \overline{G_1 G_0} AB + G_0 \overline{AB} + G_0 AB + \overline{G_0} \overline{AB} + G_1 A$$

$$F_2 = \overline{G_1} \overline{B} + G_1 B$$

根据此式可以画出如图 4.13 所示的逻辑图。

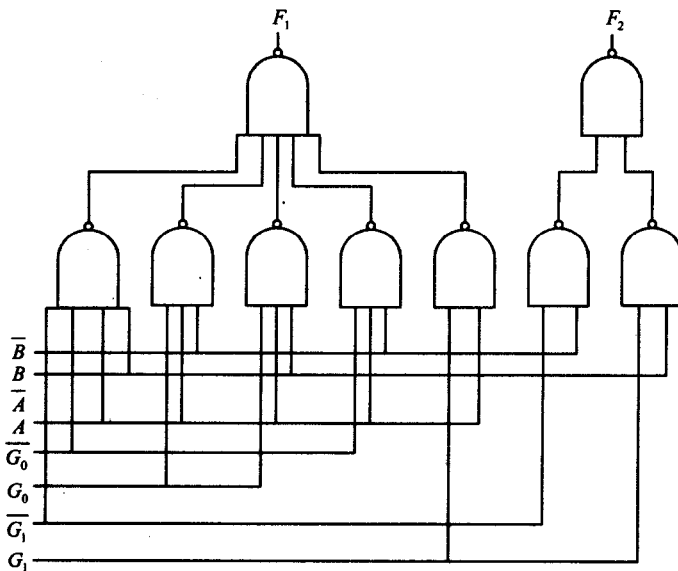


图 4.13

在用卡诺图 4.14 实现逻辑函数时可以采用降维的方法。可以降维得到图 4.15。

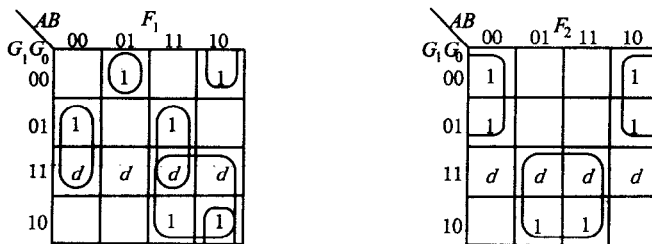


图 4.14



$G_1 G_0$	F_1	$G_1 G_0$	F_2
00	$A \oplus B$	00	\overline{B}
01	$\overline{A \oplus B}$	01	\overline{B}
11	d	11	d
10	A	10	B

图 4.15

所以，用 MUX 实现的逻辑图如图 4.16 所示。

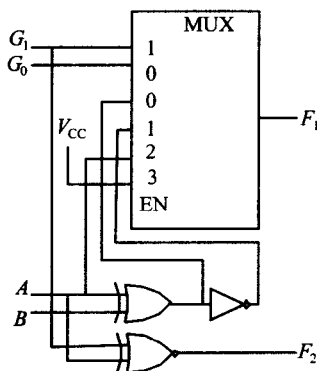


图 4.16

例 6 如图 4.17 所示，并行输入数据 $I_3 I_2 I_1 I_0 = 1010$ ，控制端 $X=0$ ， $A_1 A_0$ 的时序为 00、01、10 和 11，试画出输出端 L 的波形。

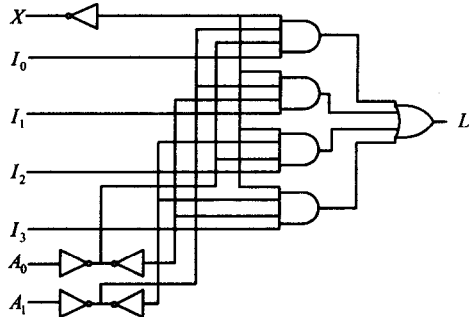


图 4.17

【解答】

分析逻辑电路可以得到数据选择器的真值表，如表 4.5 所示。

表 4.5 数据选择器真值表

X	A_1	A_0	I_3	I_2	I_1	I_0	L
1	X	X	X	X	X	X	0
0	0	0	X	X	X	I_0	I_0
0	0	1	X	X	I_1	X	I_1
0	1	0	X	I_2	X	X	I_2
0	1	1	I_3	X	X	X	I_3



由真值表可以写出 L 的逻辑表达式

$$L = \overline{X}(A_1 \overline{A_0} I_0 + \overline{A_1} A_0 I_1 + A_1 \overline{A_0} I_2 + A_1 A_0 I_3)$$

由逻辑表达式和已知条件可知, 当 $I_1 I_2 I_3 = 1010$, $X=0$, $A_1 A_0$ 的时序 00, 01, 10, 11 时, $L=0101$ 。 A_0 、 A_1 、 L 的波形如图 4.18 所示。

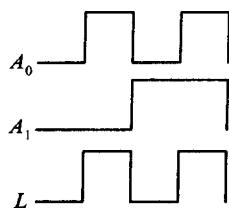


图 4.18

4.3.2 考研题分析

例 1 (01)一把密码锁有 3 个按键, 分别为 A、B 和 C。当 3 个键都不按下时, 锁不打开, 也不报警; 当只有一个键按下时, 锁不打开, 但发出报警信号; 当有两个键同时按下时, 锁打开, 也不报警; 但 3 个键同时按下时, 锁被打开, 但要报警。试设计此逻辑电路, 要求分别用以下电路芯片实现:

- (1) 门电路;
- (2) 3 线-8 线译码器和与非门;
- (3) 双 4 选 1 数据选择器和非门;
- (4) 全加器。

【分析】

这是一道组合电路综合试题, 本题表明, 同一个逻辑函数可有多种实现方案, 重点在于灵活运用。

【解答】

设键按下为 1, 未按下为 0; 令开锁信号为 K , 锁开为 1, 锁闭为 0; 报警信号为 J , 报警为 1, 不报警为 0。逻辑关系真值表如表 4.6 所示。

表 4.6 真值表

A	B	C	J	K
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

(1) 用门电路实现。由表 4.6 所示真值表, 得

$$K(A, B, C) = \sum m(3, 5, 6, 7)$$

$$J(A, B, C) = \sum m(1, 2, 4, 7)$$

卡诺图化简并转换后, 得

$$K(A, B, C) = AB + BC + CA$$

$$J(A, B, C) = A \oplus B \oplus C$$

逻辑图如图 4.19 所示。

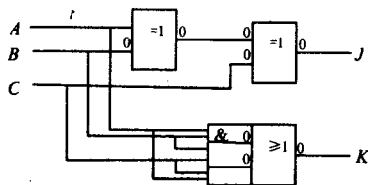


图 4.19

(2) 用 3 线-8 线译码器实现。

$$K(A, B, C) = \sum m(3, 5, 6, 7) = \overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}$$

$$J(A, B, C) = \sum m(1, 2, 4, 7) = \overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7}$$



则逻辑图如图 4.20 所示。

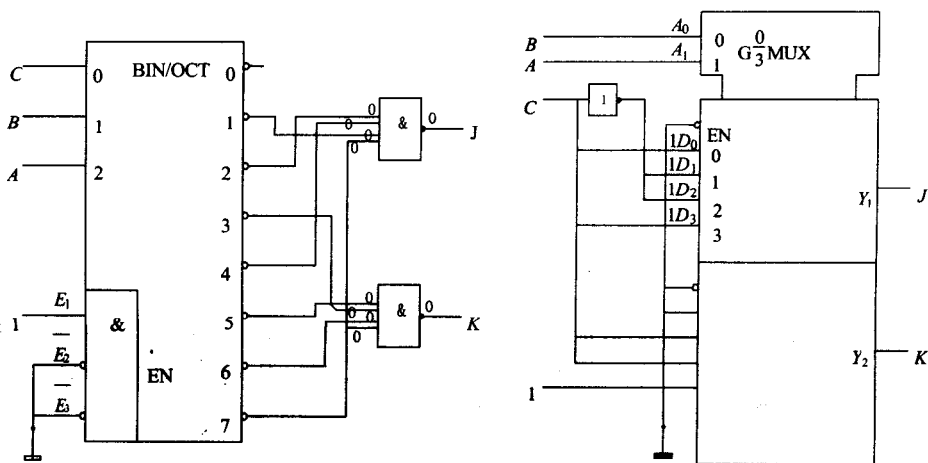


图 4.20

(3) 用双 4 选 1 数据选择器实现。

$$K(A, B, C) = \sum m(3, 5, 6, 7) = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

$$J(A, B, C) = \sum m(1, 2, 4, 7) = \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C + ABC$$

故可用一片 4 选 1 数据选择器实现。若以 A, B 为输入地址，则对应输出 K 的 $D_0=0, D_1=D_2=C, D_3=1$ ；对应输出 J 的 $D_0=D_3=C, D_1=D_2=\overline{C}$ ，所以电路如图 4.20 所示。

(4) 用全加器实现。输出 J 相当于一个 1 位二进制全加器的全加和，输出 K 就相当于全加进位。所以用一个 1 位二进制全加器就可实现该功能，逻辑图如图 4.21 所示。

例 2 (01)试用全加器实现：

- (1) 4 位二进制全减；
- (2) 2 位二进制相乘；
- (3) 1 位 8421BCD 码相加；
- (4) 1 位 8421BCD 码转换成余 3 码；
- (5) 4 位二进制码转换成 8421BCD 码。必要时可用少量门电路。

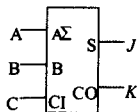


图 4.21

【分析】

本题在于活用加法器。二进制加法器不但可以实现两个二进制数的全加，实现 2 变量或 3 变量函数的奇偶判断(所有输入变量的异或为 1，则为奇数个 1)，3 变量的多数表决(加法器的进位输出就是一个 3 变量多数表决输出)等，而且还可以用于实现二进制数的全减(补码相加)，相乘，8421BCD 码相加以及代码转换等。

【解答】

(1) 用全加器构成 4 位二进制全减器。

原理：减去某个二进制数就是加上该数的反码并加“1”(即补码相加)。所以，两个 4 位二进制数相减电路如图 4.22 所示，图中先将数 B 变成反码，然后与数 A 相加。

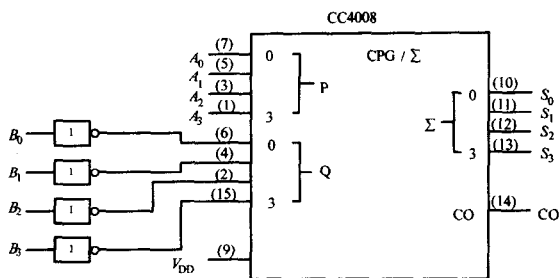


图 4.22

(2) 用全加器实现 2 位二进制数相乘。设二进制数为 $A=A_1A_0$ 和 $B=B_1B_0$ ，其乘积 $P=P_3P_2P_1P_0$ ，其中 $P_0=A_0B_0$ ， $P_1=A_1B_0+A_0B_1$ ， $P_2=A_1B_1+C_1$ (C_1 为 P_1 位来的进位)， $P_3=C_2$ (C_2 为 P_2 位来的进位)，如图 4.23(a)所示，其电路实现如图 4.23(b)所示。

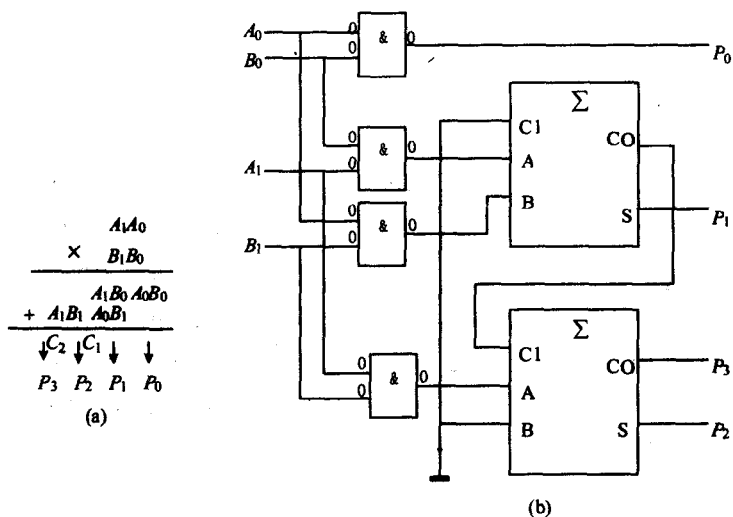


图 4.23

(3) 用 4 位全加器实现两个 8421BCD 码相加。用二进制全加器将两个 8421BCD 码相加时，其和是二进制码。当和数小于等于 9 时，8421BCD 码与二进制码相同。但当和数 > 9 时，8421BCD 码产生进位(逢十进一)，所以用二进制全加器对两个 8421BCD 码相加后，需要将二进制表示的和数转换成 8421BCD 码。转换原理很简单：4 位二进制数是逢十六进一，1 位 BCD 码是逢十进一，所以当二进制表示的和数大于 9 时，就应加 6 实现逢十进一，而小于等于 9 时则不加 6，电路如图 4.24 所示。

图 4.24 中第一个加法器对两个 BCD 码输入相加，其输出 $C'S'_3S'_2S'_1S'_0$ 是 5 位二进制码；然后将其送往数值比较器及或门，判别 $C'S'_3S'_2S'_1S'_0$ 是否 > 9，当 $C' = 0$ 且 $S'_3S'_2S'_1S'_0 \leq 1001$ 时，或门输出低电平，第 2 个全加器的数 Q 端为 0000，电路不加 6，输出 $C'S'_3S'_2S'_1S'_0$ 同 $C'S'_3S'_2S'_1S'_0$ 相同，是二进制码也是 2 位 8421BCD 码。当 $C' = 1$ 时(此时和数大于等于 $16_{(10)}$ ，“十位”肯定为 1)或 $S'_3S'_2S'_1S'_0 > 1001$ 时(“十位”也肯定为 1)，或门输出 $C = C' + Y_{P>9}$ 为高电平，所以 C 即



为BCD码的“十位”输出；与此同时，将数 $S_3'S_2'S_1'S_0'$ 送往第二个加法器作加6处理： $C=1$ ，使第二个加法器的输入数 Q 端变为0110，电路加6，故输出 $C'S_3'S_2'S_1'S_0'$ 变为2位8421BCD码输出。

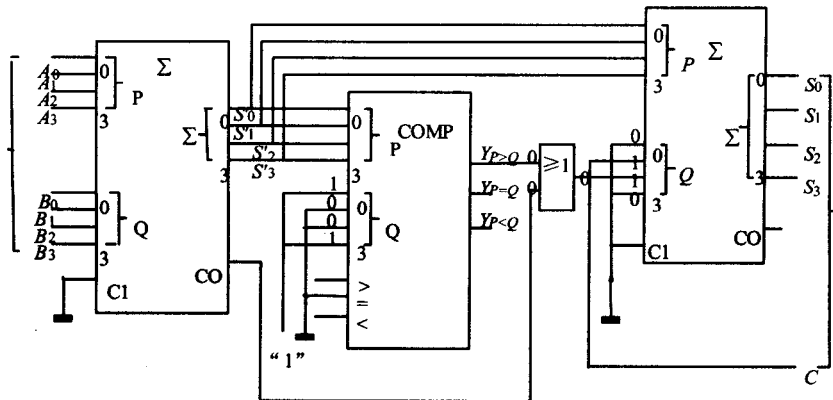


图 4.24

(4) 8421BCD码转换成余3码，因为余3码同421BCD码相比，每个数都大于3，所以只要将8421BCD码作为一个输入数加到数 A 输入端并令数 B 恒等于0011(即 $3_{(10)}$)，实现8421BCD码加3即可(图略)。

(5) 4位纯二进制码转换成8421BCD码。列出4位二进制码与8421BCD码的对照真值表，如表4.7所示。从表中发现，当输入代码小于1010时，输出代码的低(个)位与输入代码完全相同；当输入代码大于等于1010时， U_0 和 B_0 完全相同，但 $B_3B_2B_1$ 总比 $T_0U_3U_2U_1$ 小3。

表 4.7 二进制码和BCD码的转换

等效十进制数	4位二进制码				8421BCD				
	B_3	B_2	B_1	B_0	十位		个位		
					T_0	U_3	U_2	U_1	U_0
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	1
2	0	0	1	0	0	0	0	1	0
3	0	0	1	1	0	0	0	1	1
4	0	1	0	0	0	0	1	0	0
5	0	1	0	1	0	0	1	0	1
6	0	1	1	0	0	0	1	1	0
7	0	1	1	1	0	0	1	1	1
8	1	0	0	0	0	1	0	0	0
9	1	0	0	1	0	1	0	0	1
10	1	0	1	0	1	0	0	0	0
11	1	0	1	1	1	0	0	0	1
12	1	1	0	0	1	0	0	1	0
13	1	1	0	1	1	0	0	1	1
14	1	1	1	0	1	0	1	0	0
15	1	1	1	1	1	0	1	0	1

需要修正



所以, 只要 $B_3B_2B_1 \geq 101$ 再加上 011, 即可获得高位代码输出 $T_0U_3U_2U_1$ 。判别 $B_3B_2B_1 \geq 101$ 的卡诺图如图 4.25(a)所示, 电路实现如图 4.25(b)所示。由图中可见, 当 $Y_{\geq 5} = B_3B_2 + B_3B_1 = 1$ 时, CC4008 的输出数 $Q=0011$, $B_3B_2B_1$ 加 3。

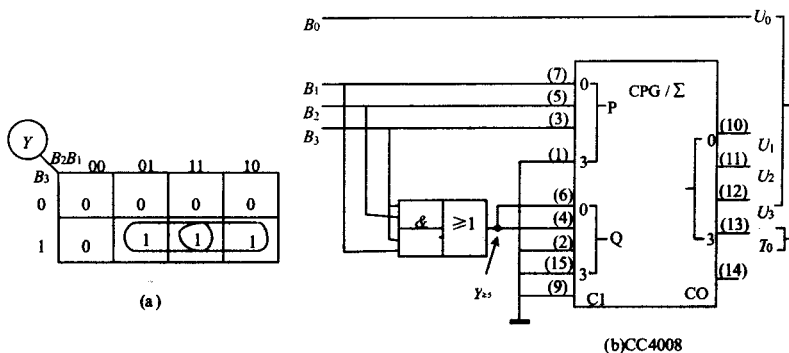


图 4.25

例 3 (99)设计一个多功能组合逻辑电路, 要求实现表 4.26(a)所示的逻辑功能, 其中 M_1 和 M_0 为多功能选择信号, A 和 B 为输入逻辑变量, F 为输出逻辑变量。试用 8 选 1 数据选择器和门电路实现该电路。8 选 1 数据选择器 74151 的框图及功能表如图 4.26(b)及表 4.8 所示, 并规定 $A_2A_1A_0=M_1M_0A$ 。

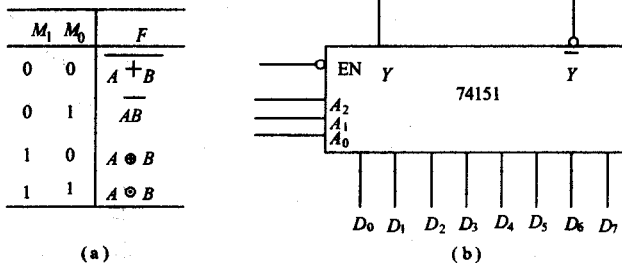


图 4.26

【分析】

本题的关键是列真值表。本题易出错之处在于地址线 $A_2A_1A_0$ 的高低位混淆。这是一个不错的综合考核题。

【解答】

列真值表 4.8, 由卡诺图 4.27(a)得逻辑表达式

$$\begin{aligned}
 F(M_1, M_0, A, B) &= \sum m(0, 4, 5, 6, 9, 10, 12, 15) \\
 &= \overline{M_1}M_0AB + \overline{M_1}M_0\overline{AB} + \overline{M_1}M_0\overline{AB} + \overline{M_1}M_0AB \\
 &\quad + M_1\overline{M_0}AB + M_1\overline{M_0}\overline{AB} + M_1M_0\overline{AB} + M_1M_0AB
 \end{aligned}$$

画电路图。以前 3 个变量 (M_1M_0A) 为地址, 最后一个变量为数据, 得 $D_0 = D_3 = D_5 = D_6 = \overline{B}$, $D_1 = 0$, $D_2 = 1$, $D_4 = D_7 = B$ 。电路连接如图 4.27(b)所示。



表 4.8 74151 的功能表

选通	输入地址			数据	输出	
	A_2	A_1	A_0		D_i	Y
1	X	X	X	X	0	1
0	0	0	0	$D_0 \sim D_7$	D_0	\bar{D}_0
0	0	0	1	$D_0 \sim D_7$	D_1	\bar{D}_1
0	0	1	0	$D_0 \sim D_7$	D_2	\bar{D}_2
0	0	1	1	$D_0 \sim D_7$	D_3	\bar{D}_3
0	1	0	0	$D_0 \sim D_7$	D_4	\bar{D}_4
0	1	0	1	$D_0 \sim D_7$	D_5	\bar{D}_5
0	1	1	0	$D_0 \sim D_7$	D_6	\bar{D}_6
0	1	1	1	$D_0 \sim D_7$	D_7	\bar{D}_7

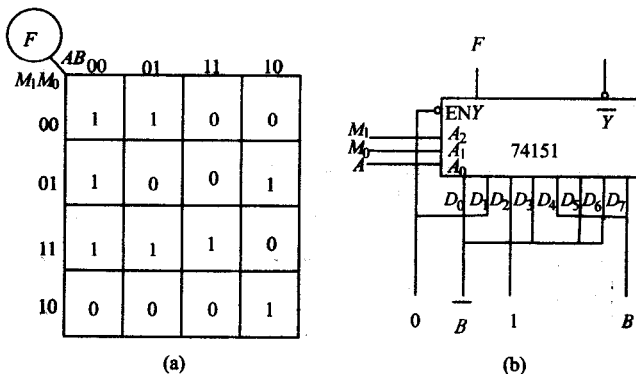


图 4.27

4.4 重要习题精选精解

1. 试用与非门设计一个译码器，译出对应 $ABCD=0010$ 、 1010 、 1110 状态的 3 个信号。

【解答】

根据题意，所要求设计的译码器输入端应为 4 个即 A 、 B 、 C 和 D ，设输出端为 Y_1 、 Y_2 和 Y_3 ，当输入为 $ABCD=0010$ 时，译出 $Y_1=1$ ；当 $ABCD=1010$ 时，译出 $Y_2=1$ ；当 $ABCD=1110$ 时，译出 $Y_3=1$ ，由此可以列出真值表如表 4.9 所示。

表 4.9 译码器真值表

A	B	C	D	Y_1	Y_2	Y_3
0	0	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

由此可以得出逻辑表达式

$$F = \overline{A}BC\overline{D} \quad F = A\overline{B}C\overline{D} \quad F = ABC\overline{D}$$

由逻辑表达式可以设计出由与非门构成的译码器,如图 4.28 所示。

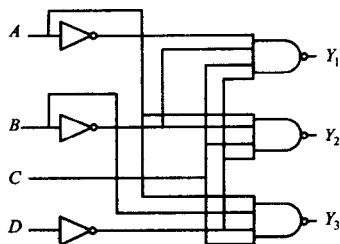


图 4.28

2. 应用译码器 74138 设计一个能对 32 个地址进行译码的译码系统。

【解答】

因为一片 74138 的输入端共有 3 位,可以形成 8 个地址,所以要组成 32 个地址的译码系统需要 4 片 74138。列真值表,如表 4.10 所示,逻辑图如图 4.29 所示。

表 4.10 真值表

E	D	C	B	A	
0	0	0	0	0	} (1) 地址 00H-07H
0	0	1	1	1	
0	1	0	0	0	} (2) 地址 08H-0FH
0	1	1	1	1	
1	0	0	0	0	} (3) 地址 10H-17H
1	0	1	1	1	
1	1	0	0	0	} (4) 地址 18H-1FH
1	1	1	1	1	

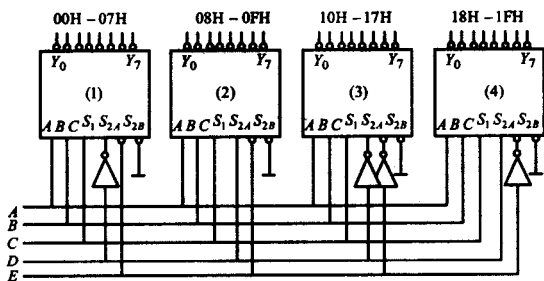


图 4.29

3. 应用图 4.30 所示的电路产生逻辑函数 $F=S_1+S_0$ 。

【解答】

将逻辑函数 $F=S_1+S_0$ 转化为最小项表达式

$$\begin{aligned} F &= S_1S_0 + S_1\overline{S_0} + S_0S_1 + S_0\overline{S_1} \\ &= S_1S_0 + S_1\overline{S_0} + \overline{S_1}S_0 \end{aligned}$$

而图中的数据选择器实现逻辑函数 $F=S_1+S_0$, 则需令 $F=L$ 。只要使 $I_0=0, I_1=I_2=I_3=1$, 即有 $F=L$, 就可以用图 4.30 中的数据选择器实现 $F=S_1+S_0$ 。

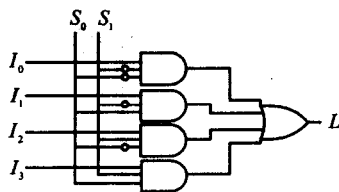


图 4.30



4. 74151 的连接方式和各输入端的输入波形如图 4.31 所示，画出输出端 Y 的波形。

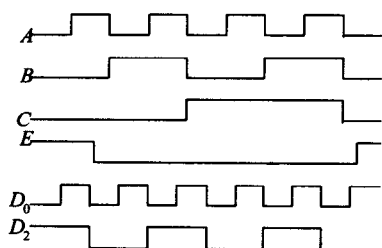


图 4.31

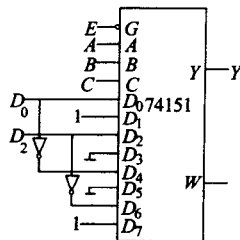


图 4.32

【解答】

由图 4.32 中 74151 所构成的逻辑电路可知其数据输入端的状态为

$$D_0 = D_0 \quad D_1 = D_1 = 1 \quad D_2 = D_2$$

$$D_3 = D_3 = 0 \quad D_4 = D_0 \quad D_6 = D_2$$

写出此时 74151 的功能表，如表 4.11 所示。

表 4.11 74151 的功能表

输入				输出
使能 E	选择			Y
	C	B	A	
0	0	0	0	D_0
0	0	0	1	1
0	0	1	0	D_2
0	0	1	1	0
0	1	0	0	D_0
0	1	0	1	0
0	1	1	0	D_2
0	1	1	1	1
1	X	X	X	0

由功能表的输出状态和图 4.31 中给出的 A、B、C、E、D₀ 和 D₂ 的波形，可画出输出端 Y 的波形，如图 4.33 所示。

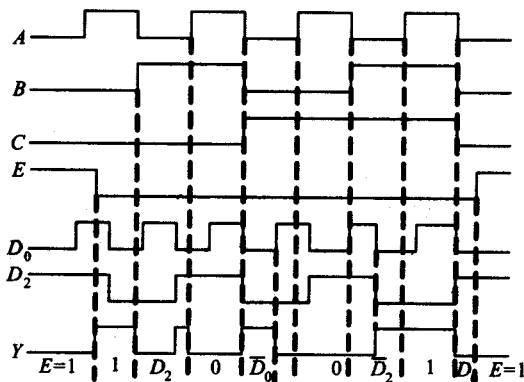


图 4.33

5. 应用已介绍过的中规模组合逻辑电路设计一个 4 位数据传输电路，其功能是将 16 个输入数据中的任何一个传送到 16 个输出端中的任何一个输出端，其示意图如图 4.34



所示。

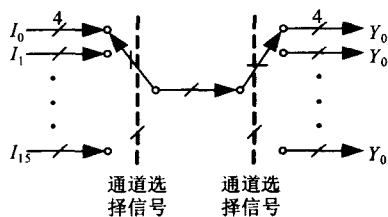


图 4.34

【解答】

根据教材中介绍过的中规模组合逻辑电路, 8 选 1 数据选择器 74LS151 和 3 线-8 线译码器 74LS138 各两片组成的逻辑电路可将 16 个输入数据中的任何一个传送到 16 个输出端中的任何一个输出端。当 $D=0$ 时(1)组 74151 和 74138 工作, 将输入的数据 $I_0 \sim I_7$ 中的任何一个传输到 8 个输出端的 $Y_0 \sim Y_7$ 输出。当 $D=1$ 时, (2)组 74151 和 74138 工作, 将输入数据 $I_8 \sim I_{15}$ 从 $Y_8 \sim Y_{15}$ 输出, 如图 4.35 所示。

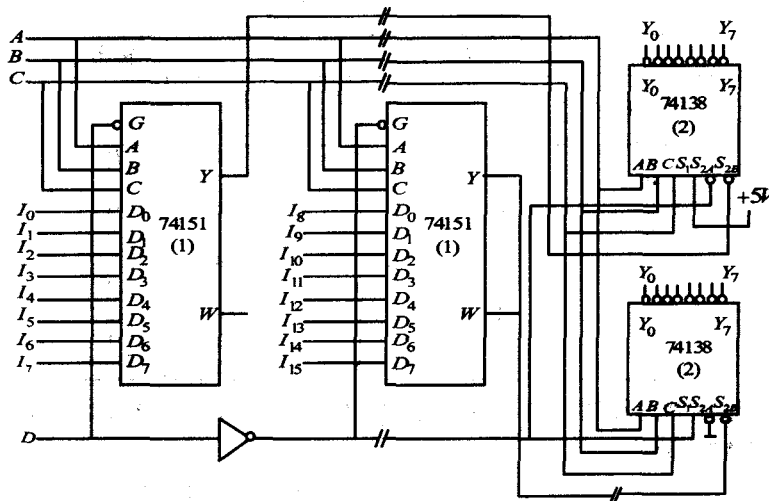


图 4.35

6. 试用 5 个双输入端或门和一个与门实现语句“ $A > B$ ”, A 和 B 均为两位二进制数。

【解答】

首先写出两位二进制数进行大小比较的逻辑表达式, 即写出 $A > B$ 的逻辑表达式如下:

$$F_{A>B} = \overline{A_1}B_1 + (\overline{A_1}B_1 + A_1\overline{B_1})A_0\overline{B_0} = \overline{A_1}B_1 + A_1\overline{B_1}A_0\overline{B_0} + A_1B_1A_0\overline{B_0}$$

用卡诺图将该逻辑表达式化为或与表达式, 填卡诺图, 如图 4.36(a)所示, 并对 0 进行画圈。

$$\begin{aligned} F_{A>B} &= \overline{A_1}B_1 + B_1\overline{B_0} + B_1A_0 + A_1A_0 + A_1\overline{B_0} \\ &= (\overline{B_1} + \overline{B_0})(A_1 + \overline{B_1})(A_1 + A_0)(\overline{B_1} + A_0)(A_1 + \overline{B_0}) \end{aligned}$$

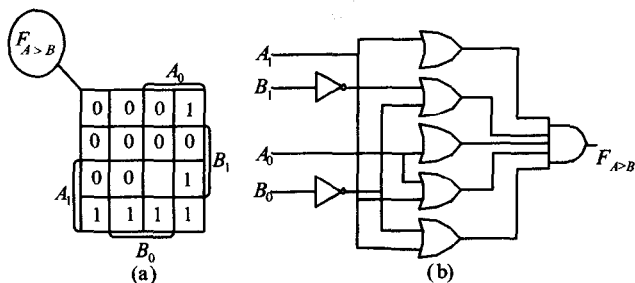


图 4.36

所以可以用 5 个 2 输入端或门和一个 5 输入端与门实现 $A>B$, 如图 4.36 (b)所示。

7. 试用不同的器件实现一个加、减可控算术运算电路。当 $x=0$ 时, 实现两个 1 位二进制数的全加运算; 当 $x=1$ 时, 实现两个 1 位二进制数的全减运算。

- (1) 试用 3 个异或门, 3 个与非门以及少量的非门逻辑实现该电路。
- (2) 试用 3-8 译码器和少量的门实现电路。

【分析】

考虑所需实现的逻辑器件的框图如图 4.37 所示, 其中 X 用于选择进行全加或全减运算, A 和 B 为输入的两个二进制数, Y 为输出。当进行全加运算时, CO 为向高位的进位, CI 为来自低位的进位。当进行全减运算时, CO 为向高位的借位, CI 为来自低位的借位。

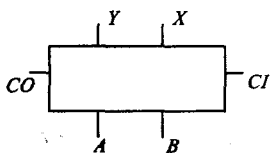


图 4.37

实现此题所要求的逻辑电路时, 可以考虑将 X 、 A 、 B 和 CI 视为 4 个二进制的输入位, 而把 CO 和 Y 视为输出。其中, Y 输出始终为:

$$Y = A \oplus B \oplus CI$$

而 CO 则可列出随输入变化的真值表, 而根据真值表得出输出 CO 。真值表如表 4.12 所示。

【解答】

(1) 用异或门, 与非门实现

根据对真值表的观察分析, 可知: $CO = B \cdot CI + (A \oplus B) \cdot (B \oplus CI)$

$$Y = A \oplus B \oplus CI$$

因此, 该运算电路的内部框图如图 4.38 所示。

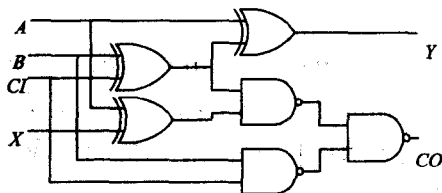


图 4.38

(2) 用 3-8 译码器和少量的门实现

列出 Y 的判别电路的真值表, 根据此真值表得到 Y 的标准与或表达式; 根据 CO 的真



值表, 得到 CO 的标准与或表达式。 Y 的判别电路的真值表如表 4.12 所示。根据该表可得 Y 的最小与或表达式为

$$Y = \sum m(1, 2, 4, 7, 9, 10, 12, 15)$$

CO 的最小与或表达式为

$$CO = \sum m(3, 5, 6, 7, 9, 10, 11, 15)$$

表 4.12 真值表

全加器						全减器					
X	A	B	CI	CO	Y	X	A	B	CI	CO	Y
0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	1	0	1	1	0	0	1	1	1
0	0	1	0	0	1	1	0	1	0	1	1
0	0	1	1	1	0	1	0	1	1	1	0
0	1	0	0	0	1	1	1	0	0	0	1
0	1	0	1	1	0	1	1	0	1	0	0
0	1	1	0	1	0	1	1	1	0	0	0
0	1	1	1	1	1	1	1	1	1	1	1

因为输入为 4 位二进制码, 所以必须先要把 3-8 译码器扩展成 4-16 译码器。只要把 A 、 B 和 CI 作为两片 3-8 译码器的代码输入, X 控制对两片译码器进行选通, 则可扩展成 4-16 译码器, 实现要求的逻辑功能, 具体电路略。

8. 试用一片 3-8 译码器和少量门电路组成一个多位地址输入的译码电路, 画出逻辑电路图。

- (1) 输入地址 $A_7 \sim A_0$ 的状态为 $A8H, A9H, \dots, AFH$ 时, 译码器输出 $\overline{Y}_0 \sim \overline{Y}_7$ 分别被译中。
- (2) 输入地址 $A_9 \sim A_0$ 的状态为 $2E0H, 2E1H, \dots, 2E7H$ 时, 译码器输出 $\overline{Y}_0 \sim \overline{Y}_7$ 分别被译中。

【分析】

(1) 十六进制数 $A8$ 对应的二进制表示为: 1010 和 1000 。 AF 对应的二进制表示为: 1010 和 1111 。可见对应的二进制数前 5 位都相同, 区别仅在于后 3 位数。因此可以考虑用前 5 位数作为 3-8 译码器的使能信号, 而后 3 位数来控制译码器的输出。令 $S_1 = A_7$, $\overline{S}_2 = A_6 + \overline{A}_5$, $\overline{S}_3 = A_4 + \overline{A}_3$; 则只有当输入为 $A8H, A9H, \dots, AFH$ 时, 译码器才会对应输出 $\overline{Y}_0 \sim \overline{Y}_7$ 。

(2) 与(1)相似, $2E0=10,1110,0000$; $2E7=10,1110,0111$ 。可见只要将前 7 位作为使能信号, 3 位数来控制译码器的输出即可。令 $S_1 = A_9$, $\overline{S}_2 = A_8 + \overline{A}_7 + \overline{A}_6$, $\overline{S}_3 = \overline{A}_5 + A_4 + A_3$, 则只有当输入为 $2E0H, 2E1H, \dots, 2E7H$ 时, 译码器才输出 $\overline{Y}_0 \sim \overline{Y}_7$ 。

【解答】

具体逻辑电路图如图 4.39 和 4.40 所示。

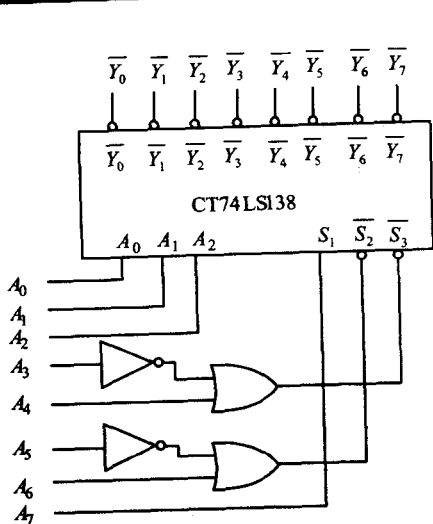


图 4.39

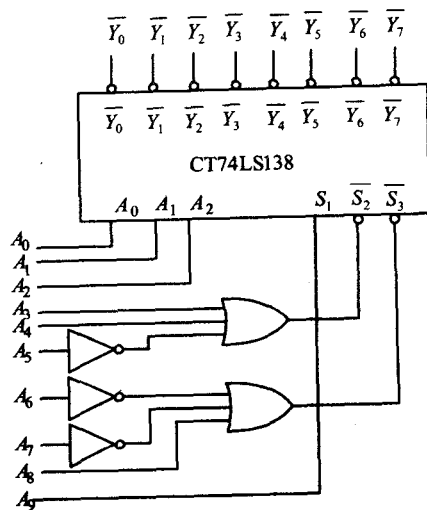


图 4.40

9. 设 X 和 Y 分别为两个 4 位二进制数, 试用 4 位全加器 74LS283 实现一个 $2(X+Y)$ 的运算电路。

【分析】

初步分析后, 可考虑使用 3 片 74LS283 组合实现上述运算, $2(X+Y)=(X+Y)+(X+Y)$, 所以可以考虑用两片 74LS283 分别实现 $X+Y$, 然后再通过第三片 74LS283 将前两片的输出相加后便可以输出 $2(X+Y)$ 。

但如果使用这种方法进行设计, 存在两个问题, 首先, 需要使用 3 片全加器 74LS283 才能实现这一简单电路, 开销过大。其次, 最为严重的是若 $X+Y$ 有进位, 则进位不能输入到第三片全加器, 则此时输出就会出错。因此不能采用这种方法。

如果从二进制乘法的性质出发, 乘二就是左移一位, 因此只需使用一片 74LS283, 将进位位及 4 位输出作为输出的前 5 位, 然后再在后面补上一位 0, 构成 6 位输出, 则只需使用 1 片 74LS283, 便可实现要求的运算电路。

【解答】

逻辑电路图如图 4.41 所示

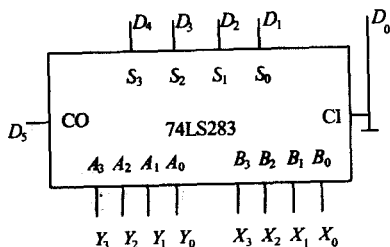


图 4.41

10. 试用 2 片 3 线-8 线译码器 74LS138 扩展为 4 线-16 线译码器, 用来构成一个 8421BCD 译码器。74LS138 的逻辑图及真值表分别如图 4.42 和表 4.14 所示, 8421BCD 译码器的框





图如图 4.43 所示。

表 4.14 74LS138 的真值表

输入				输出							
使能	选择			\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
S_A	$\bar{S}_B + \bar{S}_C$	A_2	A_1	A_0							
X	1	X	X	X	1	1	1	1	1	1	1
0	X	X	X	X	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1
1	0	1	0	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	0

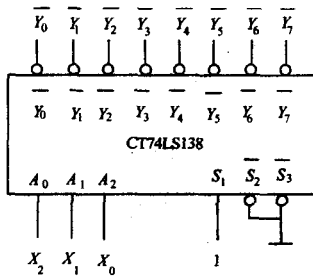


图 4.42

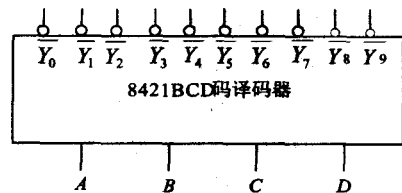


图 4.43

【分析】

先写出十进制数与 8421BCD 码的关系,如表 4.15 所示。由转换表可见当输出 X 为 0 到 7 时,对应 BCD 码的高位 A 为 0, A 位仅当 X 输出 8 或 9 时,才为 1。而且当输出 X 为 0 和 8, 1 和 9 时,对应 BCD 码的低三位都对应相同。因此可以考虑用高位 A 作为片选信号,来选通片 1 和片 2(当 A 为 0 时,选通片 1,当 A 为 1 时,选通片 2。片 1 的 Y_0 到 Y_7 对应于十进制数 0 到 7,片 2 的 Y_0 和 Y_1 对应十进制数 8 和 9)。

【解答】

如图 4.44 所示连接。 $ABCD$ 为 4 位二进制输入,第一片译码器的 8 位以及第二片译码器的前两位构成 0~9 的输出。

表 4.15 对应关系表

十进制数	8421BCD 码
X	$A B C D$
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	0 1 0 1
6	0 1 1 0
7	0 1 1 1
8	1 0 0 0
9	1 0 0 1

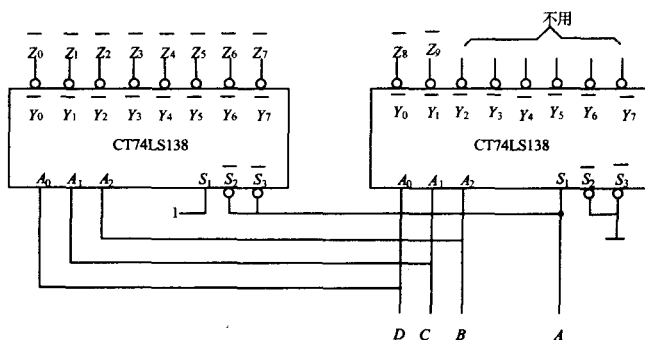


图 4.44

11. 试用 2 片 3 线-8 线译码器 74LS138 扩展为 4 线-16 线译码器, 用来构成一个余 3 码译码器。74LS138 的逻辑图及真值表分别如图 4.42 和表 4.14 所示, 余 3 码译码器的框图如图 4.45 所示。

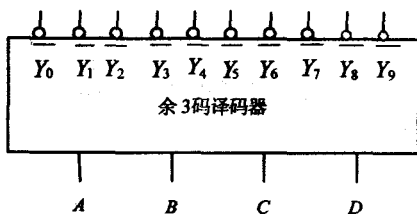


图 4.45

【分析】

本例与上例相似, 首先写出余三码与十进制数的转换关系表, 然后通过转换关系, 确定对应的输出。余三码与十进制数的转换关系见表 4.16。

表 4.16 对应关系表

十进制数	余 3 码			
	A	B	C	D
x				
0	0	0	1	1
1	0	1	0	0
2	0	1	0	1
3	0	1	1	0
4	0	1	1	1
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0

【解答】

由上表可见, 若把 4 位余三码视为 4 位二进制数进行 4 线-16 线译码, 则译码输出后的 3~12 对应于十进制数 0~9。

因此, 用两片 3 线-8 线译码器 74LS138 构成的余 3 码译码器的逻辑图如图 4.46 所示。



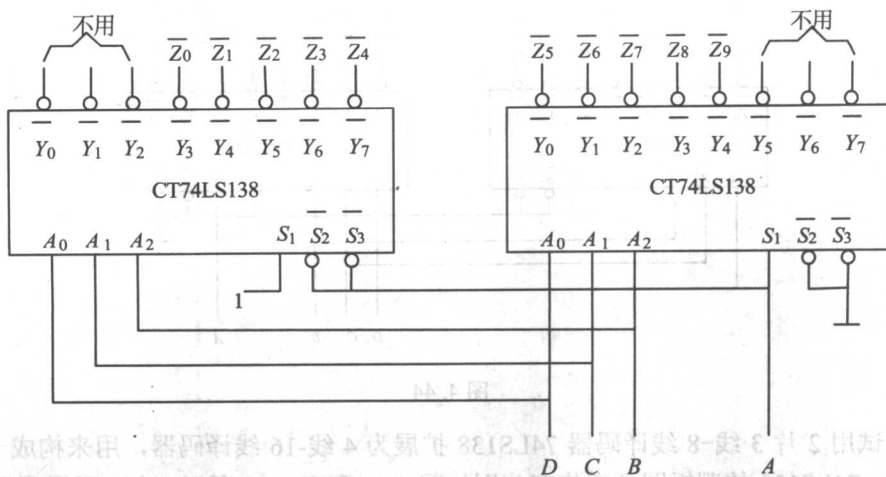


图 4.46

【举一反三】

在设计编码转换电路时，通常先写出不同编码之间的转换关系表，然后根据转换关系表分析两种编码之间的转换关系，通过转换关系，得出所需设计的逻辑电路图。

12. 试设计一个组合逻辑电路，使它从一个四位二进制数中选出能被 4, 5, 6 整除的数。

(1) 用 4 线-16 线译码器及与非门实现(译码器反码输出)。

(2) 用 8 选 1 MUX74151 实现。74151 的框图如图 4.47 所示， $A_2A_1A_0$ 为控制码， $D_7 \sim D_0$ 为输入数据， F 为输出。

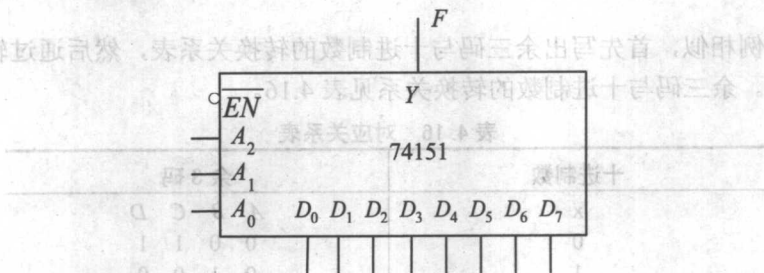


图 4.47

【分析】

用 4 线-16 线译码器及与非门构成判别电路时，由于译码器已将输入的 4 位二进制代码对应的全部最小项给出，因此仅需将判别电路的输出逻辑式以最小项和的形式写出，即可利用必要的门电路实现结果。

用 MUX 实现该判别电路时，应为控制码只有 3 位，因此考虑将输入的四位二进制数的前三位作为控制码，而第四位则根据判别电路的逻辑表达式，经过与非门的变化后将适当的逻辑表达式输入给 $D_7 \sim D_0$ 。

【解答】

令 4 位二进制数为 $ABCD$ ，输出为 F ，则真值表如表 4.17 所示。





表 4.17 输入输出真值表

输入				输出	输入				输出
A	B	C	D	F	A	B	C	D	F
0	0	0	0	1	1	0	0	0	1
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	1
0	0	1	1	0	1	0	1	1	0
0	1	0	0	1	1	1	0	0	1
0	1	0	1	1	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

由真值表可得

$$F = \overline{ABCD} + \overline{ABC\overline{D}} + \overline{AB\overline{C}D} + \overline{A\overline{B}CD} + \overline{A\overline{B}\overline{C}D} + \overline{A\overline{B}C\overline{D}} + \overline{A\overline{B}CD} + \overline{A\overline{B}CD}$$

(1) 用 4 线-16 线译码器及与非门实现

令 $ABCD=A_3A_2A_1A_0$

$$\begin{aligned} F &= Y_0 + Y_4 + Y_5 + Y_6 + Y_8 + Y_{10} + Y_{12} + Y_{15} \\ &= \overline{Y_0 Y_4 Y_5 Y_6 Y_8 Y_{10} Y_{12} Y_{15}} \end{aligned}$$

所以其逻辑电路图如图 4.48 所示。

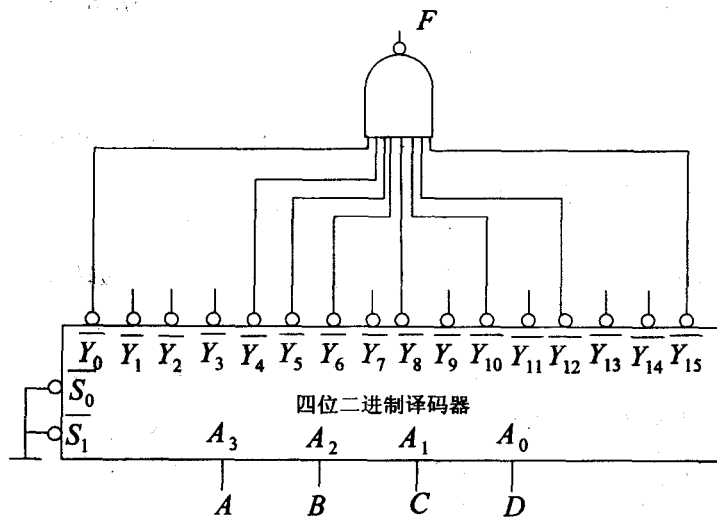


图 4.48

(2) 用 8 选 1 MUX74151 实现

$$\begin{aligned} F &= \overline{ABCD} + \overline{ABC\overline{D}} + \overline{AB\overline{C}D} + \overline{A\overline{B}CD} + \overline{A\overline{B}\overline{C}D} + \overline{A\overline{B}C\overline{D}} + \overline{A\overline{B}CD} + \overline{A\overline{B}CD} \\ &= \overline{ABCD} + \overline{ABC \cdot 1} + \overline{AB\overline{C}D} + \overline{A\overline{B}CD} + \overline{A\overline{B}\overline{C}D} + \overline{A\overline{B}C\overline{D}} + \overline{A\overline{B}CD} \end{aligned}$$

比较选 1MUX74151 的功能表达式 Y 与输出 F ，取

$$D_0 = D_3 = D_4 = D_5 = D_6 = \overline{D}$$

$$D_1 = 0, D_2 = 1, D_7 = D$$

则有所以，用 74LS151 实现的逻辑电路图如图 4.49 所示。



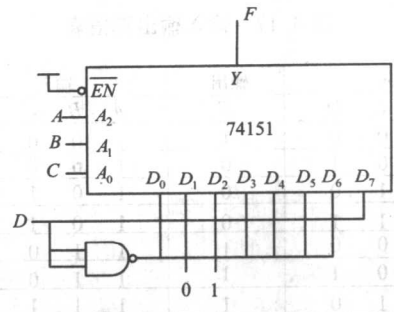


图 4.49

13. 试用一片 4 位二进制全加器 74LS283 及与非门将 4 位二进制数转换为 8421BD 码。

【分析】

由题意可知，输入是 4 位二进制数，输出是 8421BD 码，当输入为 0000~1001 时输入的二进制数与 BD 码相同，当输入为 1010~1111 时，则与 BD 码不同，其对应关系如表 4.18 所示，由表可知，输入的 4 位二进制码若是 1010~1111 时，转换电路的输出应按两位 8421BD 码表示成 $D_{10}D_8D_4D_2D_1=10000\sim 10101$ ，二者之间恒差 6(0110)。本例要求用 74LS283 器件实现，由于 $B_0=D_1$ ，因此仅从 $B_3B_2B_1$ 3 位就可以判断出校正关系，即 $B_3B_2B_1$ 与 $D_{10}D_8D_4D_2$ 之间的恒差为 3(0011)。只要在输入二进制码为 1010~1111 时进行高三位 $B_3B_2B_1$ 加 3 校正，即可得出转换结果。

【解答】

本题关键在于设计校正电路，决定 74LS283 在何种输入下进行加 3(0011)运算。设校正标志信号为 Y，可以作出 Y 函数的卡诺图 4.50。

根据卡诺图可得到
$$Y = B_3B_2 + B_3B_1 = \overline{B_3B_2} \cdot \overline{B_3B_1}$$

所以只要当 Y=1 时，在 4 位二进制输入码上加上 0110。因此，该转换器逻辑图如图 4.51 所示。

$B_3B_2B_1B_0$ 是 4 位二进制输入信号， $D_{10}D_8D_4D_2D_1$ 是 5 位 BD 码输出。

表 4.18 对应关系表

二进制数				8421BCD 码			
D_3	D_2	D_1	D_0	D_{10}	D_8	D_4	D_2
1	0	1	0	1	0	0	0
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1
1	1	0	1	1	0	0	1
1	1	1	0	1	0	1	0
1	1	1	1	1	0	1	0

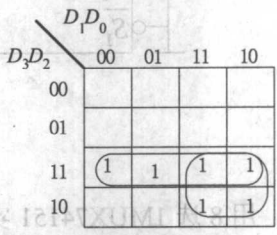


图 4.50

【举一反三】

利用中规模集成电路进行组合逻辑设计时，关键在于对题意进行充分的分析，然后确定实施方案，连接电路，满足设计要求。本例初步分析后提出当输入 1010~1111 时进行加 6 校正，但进一步分析后提出对输入码高三位进行加 3 校正即可满足设计要求，从而使构成的代码转换电路结构简单，更为实用。



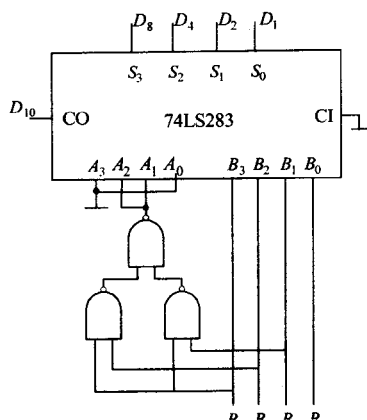


图 4.51

14. 图 4.52 所示电路中，CD4585 为 4 位数值比较器，试说明电路输出 F_1 、 F_2 和 F_3 所表示的逻辑功能。

【分析】

由 CD4585 的逻辑图和功能表可知 4 位数值比较器 CD4585 把 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 视为两组四位数 A 和 B ，当 $A > B$ 时 $Y_{A>B}$ 输出为 1， $A = B$ 时 $Y_{A=B}$ 输出为 1， $A < B$ 时 $Y_{A<B}$ 输出为 1。

图 4.52 所示电路为两片 CD4585 的级联。级联时， $I_{A<B}=0$ ， $I_{A=B}=I_{A>B}=1$ 。只需分别讨论两片 CD4585 所实现的功能，再将实现的功能通过与逻辑得到最终输出。

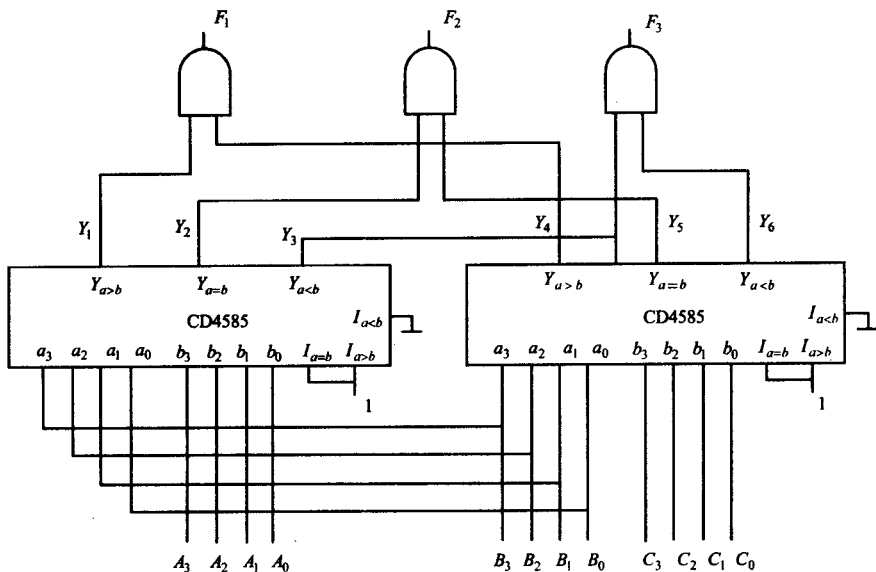


图 4.52

【解答】

设 $A_3A_2A_1A_0$ 为 A ， $B_3B_2B_1B_0$ 为 B ， $C_3C_2C_1C_0$ 为 C 。电路为 3 个 4 位二进制的数值比较器。则 $Y_1=B > A$ ， $Y_2=(B=A)$ ， $Y_3=B < A$ ， $Y_4=B > C$ ， $Y_5=(B=C)$ ， $Y_6=B < C$ 。

故解答为:

$$F_1 = Y_1 \& Y_4, \text{ 表示 } B > A \text{ 且 } B > C$$

$$F_2 = Y_2 \& Y_5, \text{ 表示 } A = B = C$$

$$F_3 = Y_3 \& Y_6, \text{ 表示 } B < A \text{ 且 } B < C$$

15. 有一片 8 选 1 MUX 74151, 其选择输入端 A_2 的引入脚已断裂。信号无法从 A_2 端输入, 该组件其他部分完好, 问如何利用它来实现函数

$$F(A, B, C) = \sum m(1, 2, 4, 7)$$

【分析】

数据选择器的输出逻辑表达式可写成如下形式

$$Y = \sum m_i D_i$$

而逻辑函数的最小项之和的表达式为

$$Y = \sum m_i$$

比较以上二式可知: 只要 MUX 的选择变量数与逻辑函数的变量数相等, 则 MUX 的数据输入 D_i 可以确定为 1 或 0, 即可以在 MUX 的输出端产生待输出的逻辑, 此方法称为逻辑函数对照法。

【解答】

本例中 A_2 端引入脚断裂, 即相当于输入恒为 1, 则 $\overline{A_2} = 0$, 则该 8 选 1 MUX 的 Y 表达式为

$$Y = \overline{A_1} \overline{A_0} D_4 + \overline{A_1} A_0 D_5 + A_1 \overline{A_0} D_6 + A_1 A_0 D_7$$

此时有用的输入端为: D_4 、 D_5 、 D_6 和 D_7 。而 $F = \overline{ABC} + \overline{A}BC + A\overline{B}C + ABC$ 。

比较 Y 和 F 表达式可见, 当取 $A_1 = A$, 时 $A_0 = B$, 对应取 $D_4 = D_7 = C$, $D_5 = D_6 = \overline{C}$ 时, 则 Y 与 F 相等, 则可实现题目所要求的逻辑。具体逻辑图如图 4.53 所示。

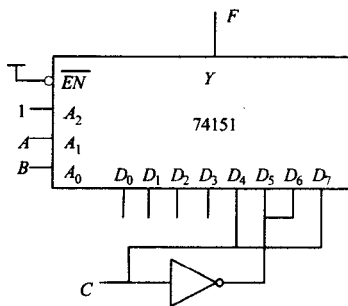


图 4.53

16. 用两片 3-8 线译码器 4138 和适当的逻辑门实现 2421 码到 8421 码的转换。

【解答】

2421 码和 8421 码均为二进制代码, 设 2421 码用 $ABCD$ 表示, 8421 码用 $WXYZ$ 表示, 其对应关系如表 4.19 所示。

根据真值表可写出输出函数表达式

$$W(A, B, C, D) = \sum m(1, 4, 15)$$



$$X(A,B,C,D) = \sum m(4,11,12,13)$$

$$Y(A,B,C,D) = \sum m(2,3,12,13)$$

$$Z(A,B,C,D) = \sum m(1,3,11,13,15)$$

表 4.19 真值

A	B	C	D	W	X	Y	Z	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0	1	0	0	0	d	d	d	d
0	0	0	1	0	0	0	1	1	0	0	1	d	d	d	d
0	0	1	0	0	0	1	0	1	0	1	0	d	d	d	d
0	0	1	1	0	0	1	1	1	0	1	1	0	1	0	1
0	1	0	0	0	1	0	0	1	1	0	0	0	1	1	0
0	1	0	1	d	d	d	d	1	1	0	1	0	1	1	1
0	1	1	0	d	d	d	d	1	1	1	0	1	0	0	0
0	1	1	1	d	d	d	d	1	1	1	1	1	0	0	1

用 3-8 线译码器 T4138 实现上述四变量函数时，可利用 T4138 的一个使能端作为变量输入端，将两片 T4138 扩展成 416 线译码器。具体可将变量 A 接至片 I 的使能端 $\overline{S_2}$ 和 II 的使能端 S_1 ，变量 B 、 C 、 D 分别接片 I 和片 II 的输入端 A_2 、 A_1 和 A_0 。使之在 $A=0$ 时，片 I 工作，片 II 禁止，由片 I 产生 $\overline{m_0} \sim \overline{m_7}$ ；在 $A=1$ 时，片 I 禁止，片 II 工作，由片 II 产生 $\overline{m_8} \sim \overline{m_{15}}$ 。

由于译码器输出提供的是由输入变量构成的最小项之非，故应将电路输出函数表达式变换为对最小项进行“与非”运算的形式，其中输出函数 Z 与输入变量 D 取值不同。具体表达式：

$$W(A,B,C,D) = \overline{\overline{m_{14}} \cdot \overline{m_{15}}}$$

$$X(A,B,C,D) = \overline{\overline{m_4} \cdot \overline{m_{11}} \cdot \overline{m_{12}} \cdot \overline{m_{13}}}$$

$$Y(A,B,C,D) = \overline{\overline{m_2} \cdot \overline{m_3} \cdot \overline{m_{12}} \cdot \overline{m_{13}}}$$

$$Z(A,B,C,D) = D$$

据此，可得到用两片 T4138 和三个与非门实现给定功能的逻辑电路如图 4.54 所示。

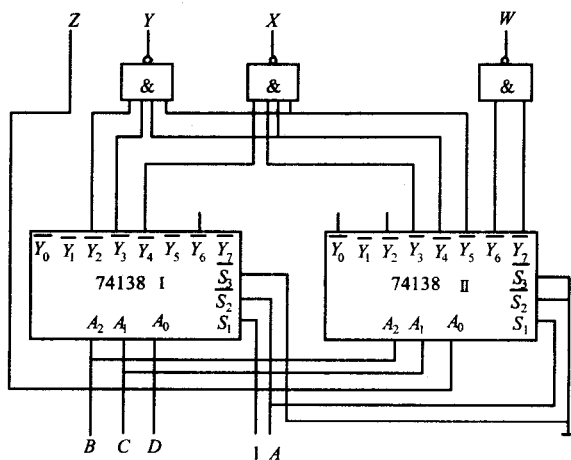


图 4.54

4.5 两级训练题

4.5.1 达标训练题

1. 选择题

- (1) 在二进制译码器中, 若输入有 4 位代码, 则输出有 _____ 信号。
 - A. 2 个
 - B. 4 个
 - C. 8 个
 - D. 16 个
- (2) 用高电平作为输出有效的译码器实现组合逻辑电路时, 还需要 _____。
 - A. 与非门
 - B. 或非门
 - C. 与门
 - D. 或门
- (3) 用低电平作为输出有效的译码器实现组合逻辑电路时, 还需要 _____。
 - A. 与非门
 - B. 或非门
 - C. 与门
 - D. 或门
- (4) 在下列电路中, 只有 _____ 属于组合逻辑电路。
 - A. 触发器
 - B. 计数器
 - C. 寄存器
 - D. 数据选择器
- (5) 能实现从多个输入端中选出一路作为输出的电路称为 _____。
 - A. 触发器
 - B. 计数器
 - C. 寄存器
 - D. 数据选择器
- (6) 能完成两个 1 位二进制数相加并考虑到低位来的进位的器件称为 _____。
 - A. 编码器
 - B. 半加器
 - C. 全加器
 - D. 数据选择器
- (7) 用来判断电路全部输入中“1”的个数奇偶性的电路称为 _____。
 - A. 数据选择器
 - B. 计数器
 - C. 寄存器
 - D. 奇偶校验器

2. 填空题

- (1) 用二进制代码表示有关对象的过程叫 _____, n 位二进制编码器有 _____ 个输入, 有 _____ 个输出。
- (2) 输出高电平有效的 4 线-16 线译码器的输入 $ABCD=1010$ 时, 输出 Y_{15} 到 Y_0 为 _____。

第5章 触 发 器

5.1 本章知识结构图

触发器是时序逻辑电路的基本逻辑单元，能够存储 1 位二进制数据。通过本章学习，要让学生清楚地理解触发器的电路结构形式和触发方式跟逻辑功能是两个不同的概念，它们之间没有固定的对应关系(见图 5.1)。按电路结构分类，有同步触发器、主从触发器、边沿触发器和维持阻塞触发器。电路结构不同，则触发方式不同。基本 RS 触发器用电平触发，同步触发器和主从触发器用脉冲触发，边沿触发器用脉冲边沿触发。按逻辑功能分类，有 RS 触发器、JK 触发器、T 触发器和 D 触发器。同一种电路结构的触发器可以构成不同的逻辑功能，而同一种逻辑功能的触发器也可以用不同的电路结构实现。

要熟练掌握触发器逻辑功能的几种描述方法(功能表、特性方程及状态转换图等)如图 5.2 所示。正确理解触发器和脉冲工作特性。

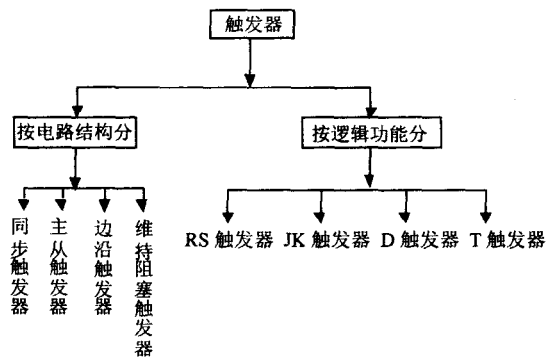


图 5.1

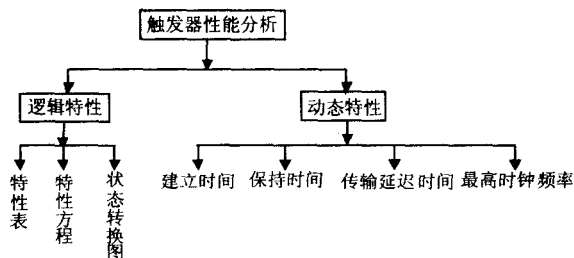


图 5.2



5.2 疑难解惑

问题 5.2.1 何为触发器？它具有什么特点？

【指点迷津】

触发器是能够记忆一位二值信号的基本逻辑单元。它具有以下特点：

- (1) 电路有两个稳定的状态，以便记忆 0 和 1 两种信号；
- (2) 在输入信号作用下，电路能置成 1 或置为 0；
- (3) 输入信号消失后，电路能保持更新后的状态。

触发器跟其他逻辑电路一样，可以用真值表、函数表达式、时序图等方法表示其逻辑功能。不过，因为它的输出(次态)不仅取决于输入信号，而且和输入信号作用前电路的状态(现态)有关。因此，触发器的逻辑功能表示方法比门电路要复杂一些。它的真值表、表达式需把现态作为变量处理，并同输入信号一起决定着次态。为了表明这一特点，触发器的上述两种表示方法分别称为特性表和特性方程。有时还用状态图和波形图来形象地表示它的逻辑功能。

问题 5.2.2 触发器有哪几种类型？各有什么特点？

【指点迷津】

按照结构型式不同，触发器可以分成基本 RS 触发器和时钟触发器两大类。时钟触发器中，又可分为电平触发和边沿触发两种。电平触发的触发器中，又有同步触发器和主从结构的触发器之分。

按照逻辑功能和触发分式不同，时钟控制的触发器一般可如下划分：

按逻辑功能分类：SR 触发器、D 触发器、JK 触发器和 T 触发器。

按结构和触发方式分类分为：同步式触发器、维持阻塞触发器、边沿触发器、主从触发器。

维持-阻塞型和边沿触发型触发器都属于边沿触发方式的触发器，简称边沿触发器，其逻辑符号表示方法相同，时钟输入 C_1 端有动态符号“>”，CP 上升沿或下降沿到达时状态发生翻转，它们不存在一次翻转现象，抗干扰性好。分析触发器时应注意，触发器的逻辑功能和电路结构形式是两个不同的概念：具有某种逻辑功能的触发器可以用不同的电路结构实现；同一电路结构的触发器也可以构成不同的逻辑功能。若电路结构不相同，则触发器的翻转方式和工作特点也不相同；若逻辑功能不同，则特征方程不相同。表 5.1 列出了 4 种类型触发器的逻辑符号、特性表、特性方程和状态图。





表 5.1 4 种类型的触发器的比较

名称	电路符号	功能表	特性方程															
RS 触发器		<table border="1"> <thead> <tr> <th>S</th> <th>R</th> <th>Q^{n+1}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Q^n</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>X</td> </tr> </tbody> </table>	S	R	Q^{n+1}	0	0	Q^n	0	1	0	1	0	1	1	1	X	$Q^{n+1} = S + RQ^n$ $SR = 0$
S	R	Q^{n+1}																
0	0	Q^n																
0	1	0																
1	0	1																
1	1	X																
JK 触发器		<table border="1"> <thead> <tr> <th>J</th> <th>K</th> <th>Q^{n+1}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Q^n</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>\bar{Q}^n</td> </tr> </tbody> </table>	J	K	Q^{n+1}	0	0	Q^n	0	1	0	1	0	1	1	1	\bar{Q}^n	$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$
J	K	Q^{n+1}																
0	0	Q^n																
0	1	0																
1	0	1																
1	1	\bar{Q}^n																
D 触发器		<table border="1"> <thead> <tr> <th>D</th> <th>Q^{n+1}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </tbody> </table>	D	Q^{n+1}	0	0	1	1	$Q^{n+1} = D$									
D	Q^{n+1}																	
0	0																	
1	1																	
T 触发器		<table border="1"> <thead> <tr> <th>T</th> <th>Q^{n+1}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>Q^n</td> </tr> <tr> <td>1</td> <td>\bar{Q}^n</td> </tr> </tbody> </table>	T	Q^{n+1}	0	Q^n	1	\bar{Q}^n	$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$									
T	Q^{n+1}																	
0	Q^n																	
1	\bar{Q}^n																	
T 触发器			$Q^{n+1} = \bar{Q}^n$															

问题 5.2.3 如何画触发器时序图?

【指点迷津】

在给定输入信号波形条件下,画出时钟控制、触发器的时序图(波形图);可按下列步骤进行:

(1) 写出驱动方程,即触发器输入端信号的逻辑表达式。

(2) 将驱动方程代入触发器的特性方程,写出次态 Q^{n+1} 的逻辑表达式,又称状态方程,确定触发器的初始状态。

(3) 根据触发器的动作特点画时序图。首先应注意电平触发还是边沿触发,对于边沿触发还要看是上升沿还是下降沿;其次就是注意输入信号起作用时刻,并将该时刻输入信号的取值代入状态方程来确定 Q^{n+1} ;最后还要注意异步置位和复位端有无信号,若有信号应根据置位或复位功能使触发器置 1 或置 0。

画时序图首先要注意触发器的触发方式:对于电位触发器,其输出直接受输入信号或时钟的电位控制;对于主从触发器,其输出状态在时钟下降沿发生变化,但必须考虑一次



翻转。画时序图时注意以下两点：

- ① 根据时钟作用沿(上升沿或下降沿)确定触发器的翻转时刻。
- ② 根据触发器电路的外输入及特征方程求出其状态方程，然后由状态方程确定每个时钟作用沿到达后的次态。注意，其次态仅跟时钟作用沿到达前一瞬间输入信号及原态有关。

问题 5.2.4 何谓触发器的空翻现象？如何克服空翻现象？

【指点迷津】

钟控 RS 触发器和 D 锁存器，有一个共同的缺点，即在时钟脉冲 CP 作用期间，输入信号改变，触发器的状态跟着改变。为了提高触发器工作的可靠性，希望在一个时钟脉冲 CP 周期里，输出端的状态只能改变一次。为此，在钟控 RS 触发器的基础上又设计出了主从结构触发器。同步触发器在 CP 高电平期间，触发器都可以接收输入信号而翻转。因此，同步触发器也称为电平触发型触发器。

这种触发器在 $CP=1$ 期间，如果输入信号发生多次变化，输出状态就会发生多次翻转，如图 5.3 所示。如果窄的正脉冲是干扰，就会使输出端作出错误的翻转。这种在 $CP=1$ 期间，因输入信号发生变化而引起输出状态的翻转，称为触发器的空翻。

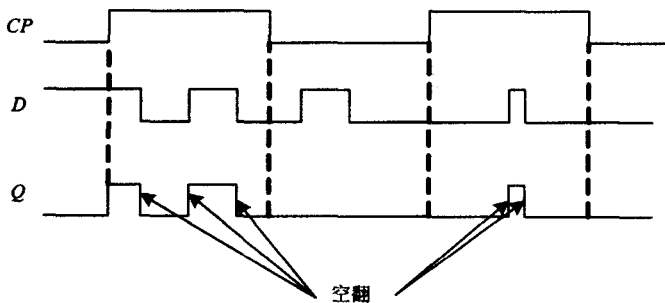


图 5.3

由于空翻问题，同步 RS 触发器很难在实际中使用，但可用来构成主从式触发器等。同步 D 触发器只能用于数据寄存，而不能实现记数、移存等重要功能。为了克服触发器的空翻现象，又产生了不同电路结构形式的触发器，如主从触发器、边沿触发器等。

问题 5.2.5 何谓触发器的一次变化现象？如何克服一次变化现象？

【指点迷津】

主从 JK 触发器是一种使用很灵活的触发器，所以应用很广泛，但主从型有一个缺点，即一次变化现象。我们用下面的例子来说明主从 JK 触发器的一次变化现象。主从 JK 触发器的结构如图 5.4 所示。JK 信号如图 5.4(a)所示；主从 JK 触发器和负边沿 JK 触发器的输出波形见图 5.4(b)。设触发器初始状态为 0。

主从触发器的一次翻转现象，是指虽然在 $CP=1$ 的整个期间 JK 主触发器可随时接收输入信号，但是不论输入信号变化多少次，由于输出信号的反馈作用，主触发器最多只能变化一次。



若 $Q=0$, 则 G_2 一直被封锁, 输入信号只能通过 G_1 由 J 端输入, 使 Q 置 1, 置 1 后, 输入信号再变化也不会改变主触发器的状态。同理, 若 $Q=1$, 主触发器最多只能变化一次。

图中触发器的初始状态为 0。在 $CP=1$ 期间, J 、 K 信号虽然发生了变化, 但在 CP 下降沿来到之前, J 、 K 信号都已恢复到 0, 按照 JK 触发器的逻辑功能, 在 CP 下降沿来到之后, 应保持原来的 0 态不变。但由于一次翻转现象, 在 $CP=1$ 时, J 信号的上升沿来到后, 主触发器被置成 1, 并一直保持 1 不变, 因而在 CP 下降沿来到时, 造成了从触发器翻成 1 的错误翻转。为避免这种误翻, 在使用主从 JK 触发器时, 要使 $CP=1$ 期间, J 、 K 信号保持不变。

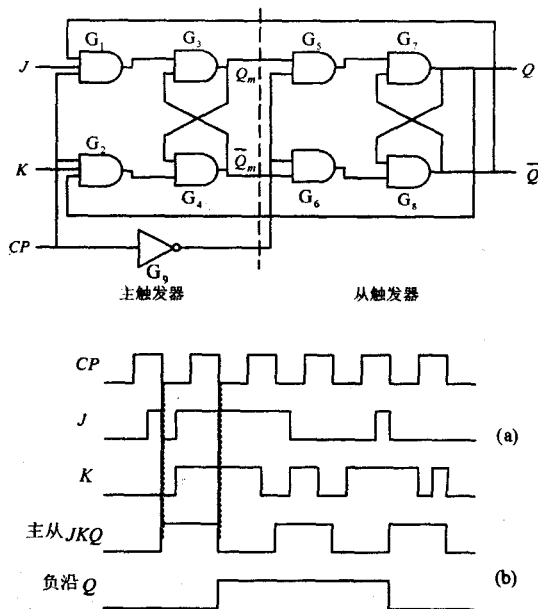


图 5.4

但在 $CP=1$ 期间, 如果 J 、 K 端叠加了干扰脉冲, J 、 K 端的正脉冲是干扰脉冲, 那么也会像图 5.4 所示的那样出现误翻。可见, 在 $CP=1$ 期间, 主从触发器对 J 、 K 端的干扰脉冲是敏感的, 因而降低了触发器的抗干扰能力, 使主从触发器的使用受到一定限制。为了克服这一缺点, 人们相继研制各种边沿触发器来提高抗干扰能力。

问题 5.2.6 边沿触发器如何克服空翻?

【指点迷津】

主从 JK 触发器一次翻转的内在原因是 $CP=1$ 时触发器可随时接收输入信号及干扰信号, 但是不论输入信号变化多少次, 由于输出信号的反馈作用, 形成自锁通路, 使主触发器具有记忆能力, 而把接收的信号或干扰记忆下来(一次翻转), 直到 CP 下降沿来到时传送给从触发器, 造成误翻。如果触发器的输出状态仅仅取决于 CP 信号下降沿(或上升沿)到达时刻输入信号的状态, 而在此之前或之后输入信号的变化对触发器的输出没有影响, 则可提高抗干扰能力。

可以考虑在主触发器开放时, 暂时去掉它的记忆功能, 切断其自锁通路, 即断开反馈



线, 如 CMOS 边沿触发器(如图 5.5 所示)。

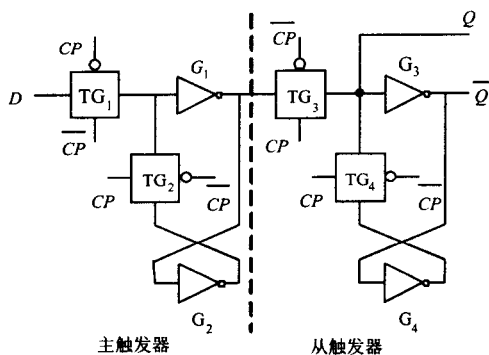


图 5.5

由图 5.5 可以看出, CMOS 边沿 D 触发器的主从触发器结构相同, 都由基本触发器和传输门组成。传输门 TG_1 、 TG_3 分别控制主从触发器的开放或封锁, 传输门 TG_2 、 TG_4 则分别控制基本触发器自锁线路的通断。图中 CP 和 $CP\bar{B}$ 是互相反相的时钟脉冲, 由它们控制传输门的通或断。从电路形式上看, CMOS 边沿 D 触发器与主从触发器类似, 但其工作原理跟主从触发器完全不同。

工作原理:

当 $CP=0$, $CP\bar{B}=1$ 时, TG_1 通、 TG_2 断, 主触发器开放, 但因 TG_1 断而失去自锁作用, G_1 、 G_2 变成两个串接的非门。D 信号经两次反相到达 Q_m 端, 所以 $Q_m=D$ 。这时 D 信号变化, Q_m 跟随变化, 不会因“一次翻转”而把 D 信号的变化(或干扰)记忆下来, 因此整个 D 触发器不会误翻。同时 TG_3 断, TG_4 通, 使从触发器封锁, 从触发器形成自锁, 维持从触发器原状态不变, 所以触发器不会产生空翻。

当 CP 上升沿到达时(CP 由 0 变 1, $CP\bar{B}$ 由 1 变 0), TG_1 断、 TG_2 通, 使主触发器封锁, 主触发器建立自锁, 因而能保持住 CP 上升沿到达之前瞬间的 D 信号。同时 TG_3 通, TG_4 断, 从触发器开放, 从触发器失去自锁作用, 使输出跟随主触发器变化, Q_m 经 TG_3 和非门 G_3 到达 Q 端, 故有 $Q^{n+1}=Q_m=D$ 。在 $CP=1$ 期间, 因主触发器封锁, 故不会产生空翻和误翻。CMOS 边沿 D 触发器输出状态转换发生在 CP 上升沿, 故属于边沿触发方式。电路的输出状态和触发前瞬间 D 的状态相同, 即 $Q^{n+1}=D$ 。

问题 5.2.7 RS 触发器如何组成防抖动电路?

【指点迷津】

按钮开关在转换时, 由于簧片的颤动, 使信号出现抖动, 因此实际使用时往往要加上防抖动电路。RS 触发器是常用的电路之一, 其连接如图 5.6(b)所示。其工作原理如下。不论触发器原来处于什么状态, 当开关倒向 S 端时, 就使输入置为 $S=0$, $R=1$, 从而使输出 $Q=1$, $Q\bar{b}=0$ 。若开关存在抖动, 则使输入状态变化为: $SR=01 \rightarrow 11 \rightarrow 01 \rightarrow 11$, 直至稳定于 01。在这个过程中输出保持 $Q=1$, $Q\bar{b}=0$, 不会发生抖动。



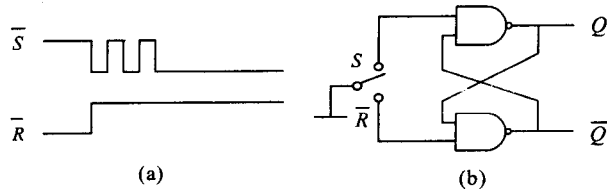


图 5.6

问题 5.2.8 如何进行触发器逻辑功能的转换?

【指点迷津】

其中基本 RS 触发器是各种类型触发器的基本组成, D 锁存器一般用于总线接收数据, 而维持阻塞 D 触发器和边沿 JK 触发器是作为多功能触发器来灵活组成各种有记忆功能的逻辑电路。T 和 T' 触发器没有专门的产品, 但它们很容易从其他功能触发器转换而来。

对边沿 JK 触发器, 只要将 J、K 两端并接在一起就转换为 T 触发器, 将 J、K 两端之间加接一个非门, 就转换为 D 触发器。

维持阻塞 D 触发器, 只要将 D 触发器 D 端连一根导线到触发器非端输出, 这个触发器就成为以 CP 作为 T 端的一个 T' 触发器了。将 D 触发器 D 端外加 4 个与非门, 就可以改接成一个维持阻塞结构 JK 触发器。

问题 5.2.9 如何采用触发器组成单脉冲发生器?

【指点迷津】

在数字设备中常需要一种所谓单脉冲发生器的装置。用一个按钮来控制脉冲的产生, 每按一次按钮就输出一个宽度一定的脉冲。图 5.7 就是一种单脉冲发生器。按钮 S_i 每按下一次(不论时间长短), 就在 Q_1 输出一个脉冲。

在静态状态下, Q_1 的 $J_1K_1=01$, 所以输出 Q_1 为 0 状态。而 Q_2 由于 $RD_2=0$, 所以也总处于 0 状态。

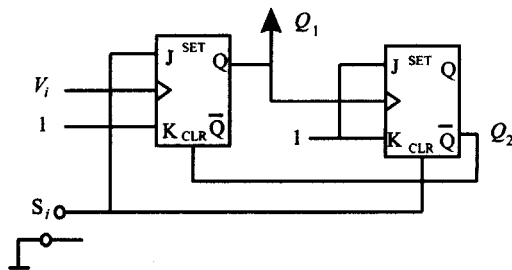


图 5.7 单脉冲发生器

当按动开关时, $J_1K_1=11$, 所以 Q_1 就变为 1 状态, 下一个时钟又使 Q_1 为 0, 从而得到一个脉冲。脉冲的负沿使 Q_2 置 1 ($J_2K_2=11$)。此时 $Q_2=0$ 作用到 RD_1 , 从而得证 Q_1 的输出不再翻转为 1, 亦即得证了单脉冲输出。





5.3 典型例题与考研题分析

5.3.1 典型例题分析

例1 用基本RS触发器消除手动开关因机械振动而产生的电压、电流波形毛刺的电路如图5.8所示,试画出在按钮开关 S 由位置 A 到 B 有接触振动时,触发器 Q 、 \bar{Q} 端的波形。

【解答】

分析电路,可以得到波形图,如图5.9所示。

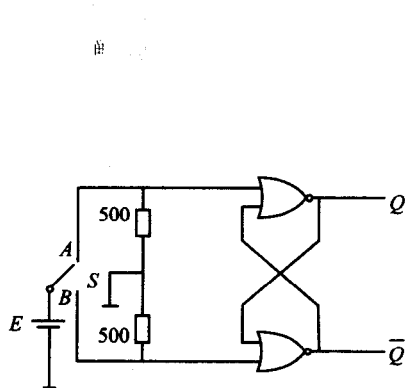


图 5.8

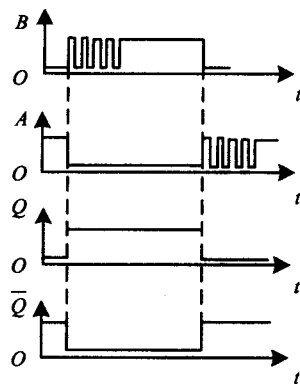


图 5.9

例2 触发器的逻辑电路如图5.10所示。确定其为哪种电路结构的触发器?分析其工作原理,列出功能表。

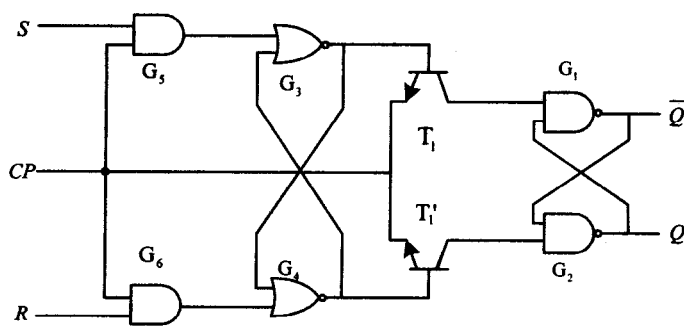


图 5.10

【解答】

图5.10所示电路是主从结构的RS触发器, $CP=1$ 时主触发器的输入门 G_5 、 G_6 打开,主触发器根据RS的状态触发翻转;而从触发器的 T_1 、 T_1' 两个三极管截止,从触发器的状态不受主触发器输出影响而保持不变, CP 由1变为0之后, G_5 、 G_6 被封锁,此时输入信





号 R 、 S 不影响主触发器的状态；而这时从触发器的 T_1 、 T_1' 导通，从触发器随主触发器的输出状态翻转。图 5.10 所示电路的功能表如表 5.2 所示。

表 5.2 电路可以实现的功能

CP	R	S	Q^n	Q^{n+1}	说明
↓	0	0	0 1	0 1	Q^n 不变
↓	0	1	0 1	1 1	置 1
↓	1	1	0 1	0 0	置 0
↓	1	1	0 1	— —	不定

例 3 D 触发器逻辑符号如图 5.11 所示，用适当的逻辑门，将 D 触发器转换成 T 触发器、RS 触发器和 JK 触发器。

【解答】

(1) 将 D 触发器转换成 JK 触发器。

D 触发器的逻辑功能 $Q^{n+1} = D$ 。

JK 触发器的逻辑功能 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$ 。

令 $D = J\bar{Q}^n + \bar{K}Q^n$ ，化为与非表达式 $D = \overline{\overline{J\bar{Q}^n} \cdot \overline{\bar{K}Q^n}}$ ，由此表达式得 D 触发器到 JK 触发器的转换电路，如图题 5.11(a)所示。

(2) 将 D 触发器转换成 RS 触发器。

D 触发器有 $Q^{n+1} = D$ 。

对 RS 触发器有 $Q^{n+1} = S + \bar{R}Q^n$ 。

令 $D = S + \bar{R}Q^n$ ，化为与非表达式 $D = \overline{\overline{S} \cdot \overline{\bar{R}Q^n}}$ ，由此表达式得 D 触发器到 RS 触发器的转换电路，如图 5.11(b)所示。

(3) 将 D 触发器转换成 T 触发器。

T 触发器的逻辑功能为 $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$ 。

令 $D = T\bar{Q}^n + \bar{T}Q^n$ ，化为与非表达式 $D = \overline{\overline{T\bar{Q}^n} \cdot \overline{\bar{T}Q^n}}$ ，由此表达式可得 D 触发器到 T 触发器的转换电路，如图 5.11(c)所示。

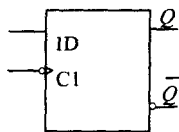
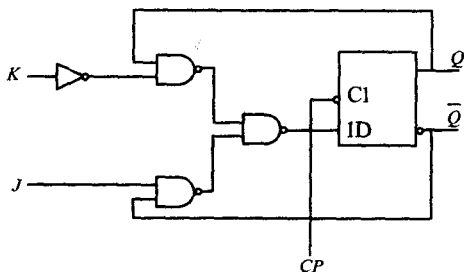
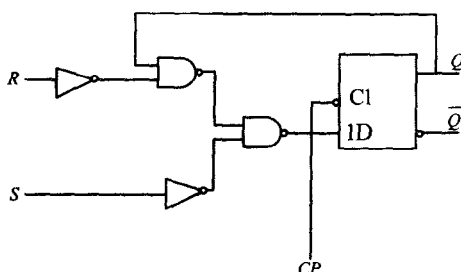


图 5.11



(a)



(b)

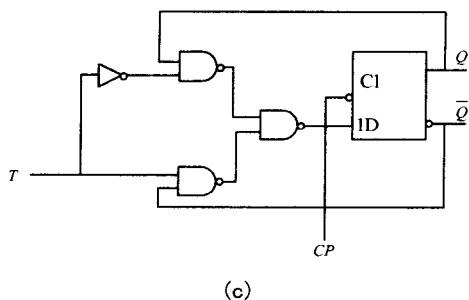


图 5.11

5.3.2 考研题分析

例 1 JK 触发器，时钟波形 CP 及输入控制 J、K 波形如图 5.12 所示。试分别画出主从型 JK 触发器和负边沿 JK 触发器输出端 Q 的电压波形。设触发器的初始状态为零。

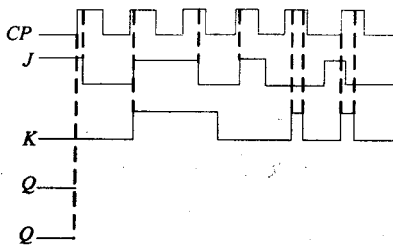


图 5.12

【解答】

主从 JK 触发器和负边沿 JK 触发器的输出波形 Q 如图 5.13 所示。

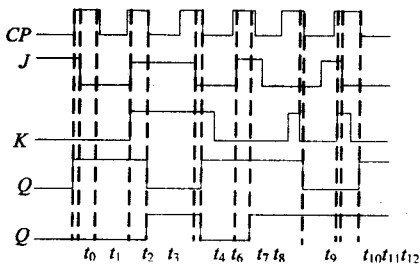


图 5.13

说明如下：

(1) 主从 JK 触发器的输出波形 Q

① $t=t_1$ 时， $J=K=0$ ，触发器应保持原初始状态 0 不变，但在 $t=t_0$ 前 $J=1$ ，所以触发器翻转为 1(一次翻转效应)。

② $t=t_3$ 时， $J=K=1$ ，触发器状态翻转，Q 变为 0 状态。

③ $t=t_5$ 时， $J=0$ ， $K=1$ ，触发器应当清 0(即保持原状态 0 不变)，但在 $t=t_4$ 前 $J=1$ ，所

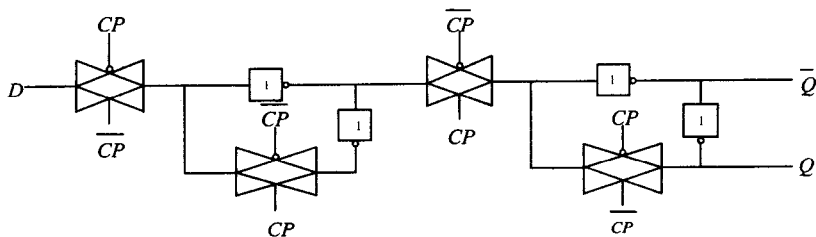


图 5.15

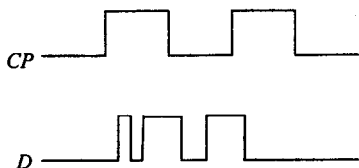


图 5.16

【解答】

(1) 触发器的触发方式。这是一个 D 型锁存器。当 $CP=0$ 时，左边的传输开关断开，右边的传输开关接通， $Q^{n+1}=Q^n$ ；当 $CP=1$ 时，左边的传输开关接通，右边的传输开关断开， $Q^{n+1}=D$ 。因此，这是电平触发。

(2) 触发器的工作原理和触发方式。这是一个 D 型锁存器构成的主从 CMOS 触发器：左边一个是主触发器，右边一个是从触发器。当 $CP=0$ 时，主触发器接数，从触发器锁存；当 $CP=1$ 时，主触发器锁存，锁存到达主触发器输出端的输入数据 D ，从触发器接数， $Q^{n+1}=D$ 。显然，这是一个正边沿触发的 D 型触发器。

(3) 输出波形。设电路的初始状态为 1，则输出波形如图 5.17 所示。其中， Q_1 是第(1)小题电路的输出波形； Q_2 是(2)小题电路的输出波形。

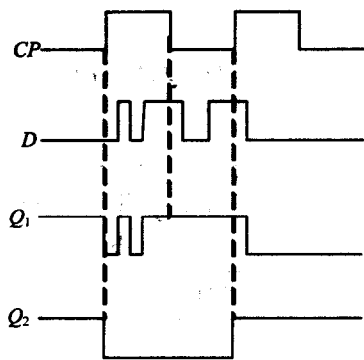


图 5.17

例 3 试画出 JK 触发器转换成 AB 触发器的逻辑图。AB 触发器的功能表如图 5.18(a) 所示。要求写出设计过程。

【解答】

- (1) 将 AB 触发器的功能表转换成卡诺图，如图 5.18(b)所示。
- (2) 由卡诺图求出 AB 触发器的状态方程。化简图 5.18(b)所示卡诺图，得 AB 触发器



的特性方程为

$$Q^{n+1} = \overline{A}Q^n + \overline{A}BQ^n + \overline{A}BQ^n = \overline{A}Q^n + (\overline{A}B + \overline{A}B)Q^n$$

(3) 将 AB 触发器的特性方程与 JK 触发器的特性方程相比较

$$Q^{n+1} = \overline{A}Q^n + \overline{A}BQ^n \quad (1)$$

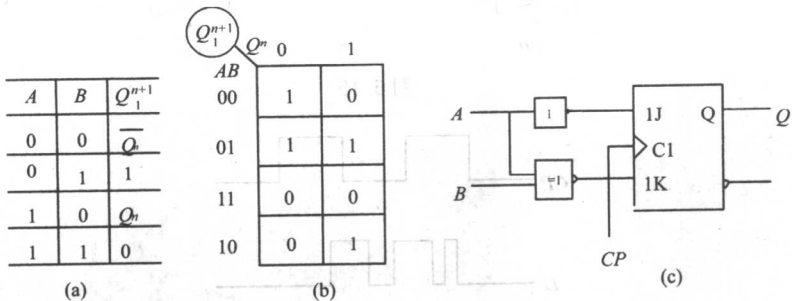


图 5.18

得 JK 触发器的驱动方程为

$$J = \overline{A}$$

$$K = \overline{A}B + \overline{A}B$$

所以, 其转换电路如图 5.18(c)所示。

【举一反三】

触发器功能转换方法

将一种功能的触发器转换成其他功能的触发器, 其基本依据是: 某个触发器的逻辑功能在转换前跟转换之后应当等效。所以转换的方法是: 令两种功能的触发器的特性方程相等, 求出触发器的驱动方程即可。例如, 将 D 触发器转换成 JK 触发器时, 可将 D 触发器的特性方程 $Q_{n+1}=D$ 同 JK 触发器的特性方程式(1)相比较, 得:

$$Q^{n+1} = \overline{J}Q^n + \overline{K}Q^n$$

D 触发器的驱动方程即为

$$D = \overline{J}Q^n + \overline{K}Q^n$$

电路如图 5.19 所示。

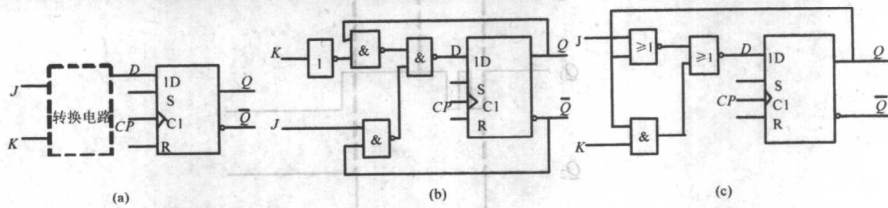


图 5.19

5.4 重要习题精选精解

1. 归纳基本 RS 触发器、同步触发器、主从触发器和边沿触发器触发翻转的特点。



【解答】

(1) 基本 RS 触发器的动作特点。在输入信号 S 和 R 的全部作用时间内，都能直接改变输出端 Q 和 \bar{Q} 的状态。

(2) 同步 RS 触发器的动作特点。在 $CP=1$ 的全部时间内， S 和 R 的变化都将引起触发器状态的相应改变。

(3) 主从触发器的动作特点。触发器的翻转分两步动作：第一步，在 $CP=1$ 的(或 $CP=0$)期间主触发器接收输入端的信号被置成相应的状态，从触发器不动；第二步，在 CP 下降沿(或上升沿)到来时从触发器按照主触发器的状态翻转。因为主触发器本身是一个同步 RS 触发器，所以在 $CP=1$ 的全部时间内输入信号都将对主触发器起控制作用。

(4) 边沿触发器的翻转特点。触发器的状态仅取决于 CP 信号的上升沿或下降沿到达时输入端的逻辑状态，而在这以前或以后，输入信号的变化对触发器的状态没有影响。

2. 逻辑电路如图 5.20 所示，画出在 CP 作用下， ϕ_0 、 ϕ_1 、 ϕ_2 和 ϕ_3 的波形。

【解答】

分析图 5.20 所示电路，列真值表(见表 5.13)。再由真值表画波形图。

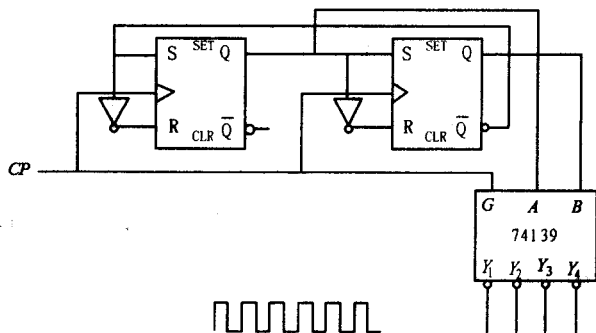


图 5.20

表 5.13 电路图功能的真值表

CP 个数	CP	B (Q_1)	A (Q_0)	ϕ_3	ϕ_2	ϕ_1	ϕ_0
0	↑	0	0	1	1	1	0
1	↑	0	1	1	1	0	1
2	↑	1	1	0	1	1	1
3	↑	1	0	1	0	1	1
4	↑	0	0	1	1	1	0
5	↑	0	1	1	1	0	1

3. 逻辑电路如图 5.21 所示。已知 CP 和 X 的波形，试画出 Q_1 和 Q_2 的波形。触发器的初始状态为 0。



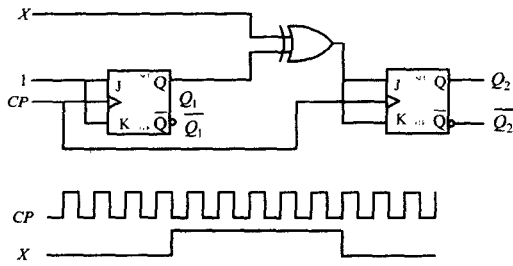


图 5.21

【解答】

Q_1 和 Q_2 的波形如图 5.22 所示。

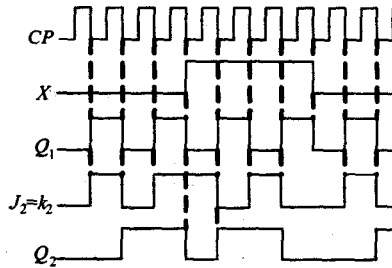


图 5.22

4. 三种不同触发方式的 D 触发器的逻辑符号、时钟 CP 和信号 D 的波形如图 5.23 所示, 画出各触发器 Q 端的波形。各触发器的初始状态均为 0。

【解答】

各触发器的输出波形图如图 5.24 所示, 三种不同触发方式的 D 触发器的输出端分别为 Q_1 、 Q_2 和 Q_3 , 可见 Q_1 是低电平触发, Q_2 是上升沿触发, Q_3 是下降沿触发。

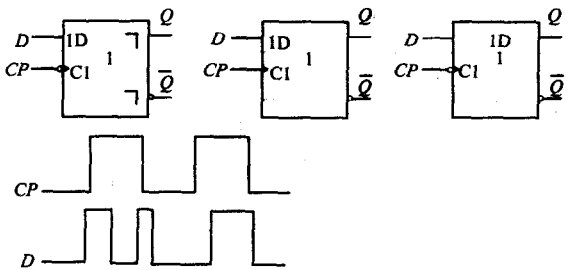


图 5.23

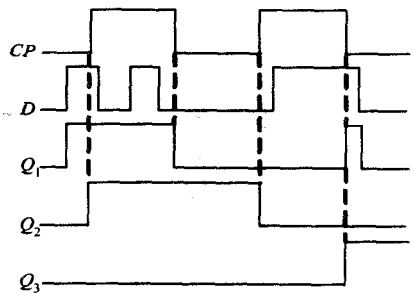


图 5.24

5. 逻辑电路和输入信号波形如图 5.25 所示, 画出各触发器 Q 端的波形。触发器的初始状态均为 0。

【解答】





如图 5.26 所示, R 端是异步置零端, 高电平有效。当 $R=1$ 时, $Q=0$, 先列出真值表, (见表 5.19)。可以分析 CP_1 和 R_1 对 Q_1 的影响以及 CP_2 和 R_2 对 Q_2 的影响。画出如图 5.26 所示

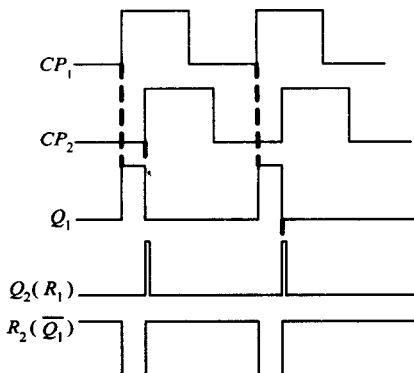


图 5.25

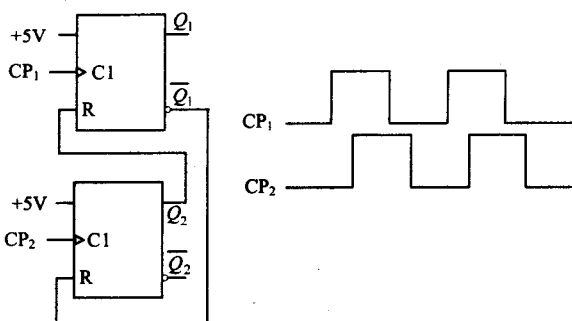


图 5.26

波形。

6. 维持-阻塞式 D 触发器和主从式 JK 触发器分别如图 5.27 和图 5.28 所示。试画出在图 5.29 所示输入电压波形作用下输出端 Q 的电压波形, 设触发器的初始状态为 0。

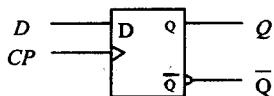


图 5.27

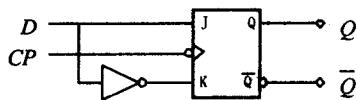


图 5.28



图 5.29

【分析】

(1) 图 5.27 是维持阻塞式 D 触发器, 因此在上升沿时信号由输出端输出。图 5.28 为主从式 JK 触发器, 因此在下降沿时信号由主触发器传送到从触发器输出端。

(2) 图 5.29 所示 D 触发器在触发时: $Q=D$ 。

图 5.30 为 JK 触发器: 由于它是一个主从式触发器, 所以尽管在 $CP=1$ 的全部时间内主触发器都能接收到输入信号, 但由于从触发器的输出端有一组信号反馈至主触发器的输入端, 因而当输出端 $Q^n=0$ 时只能接收置 1 的输入信号, 输出端 $Q^n=1$ 时只能接收置 0 的输入信号。(若在 $CP=1$ 的期间内, 主触发器的输入状态始终未发生变化, 则可用 CP 下降时刻所对应的输入状态来确定触发器的状态。如果在 $CP=1$ 的期间, 主触发器的输入状态发生多次改变, 则只能接收使触发器输出倒相的输入信号。)

【解答】

主从式 JK 触发器在第 1, 2, 3, 6 的时钟周期的 $CP=1$ 时, 由于输入信号 D 发生了多次变化, 因此必须考虑上一个 Q 的状态, 判断其输出电平。



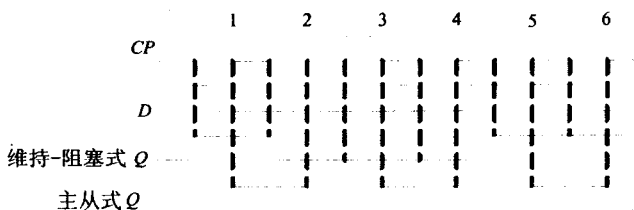


图 5.30

7. 根据图 5.31 和 5.32 所示的电路和输入端信号波形, 试画出触发器输出端 Q_0 和 Q_1 的波形。各触发器初值为 0。

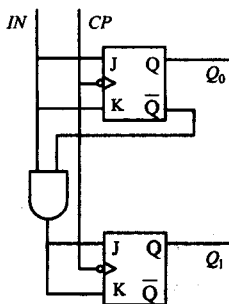


图 5.31

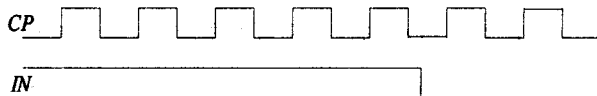


图 5.32

【分析】

图 5.31 所示的两个触发器都是在下降沿时输出。由于其输入端 $J=K$, 因此当输入信号为 1 时 ($J=K=1$) 触发器输出反向; 输入信号为 0 时 ($J=K=0$) 触发器输出不变。后一级触发器的输入信号是前一级反向输出信号和输入信号 IN 的与。

【解答】

如图 5.33 所示。

【注意】

由于两个触发器使用同一时钟信号, 同时被触发, 又由于门之间延时的原因, 因此前一级触发器的输出信号和输入信号 IN 的与是下一级触发器的下次触发时的输入信号。

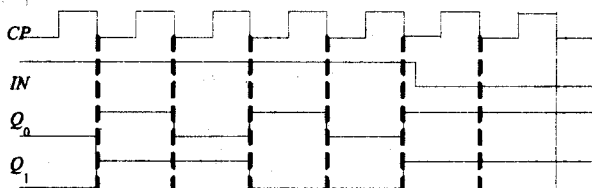


图 5.33



5.5 两级训练题

5.5.1 达标训练题

1. 填空题

- (1) 具有两个稳定状态并能接收、保持和输出送来的信号的电路叫_____。
- (2) 一级触发器可以记忆_____位二进制信息。
- (3) 主从结构的触发器主要用来解决_____。
- (4) 集成触发器主要有_____、_____和_____ 3种结构。
- (5) 触发器功能的表示方法有_____、_____、_____和_____。
- (6) 主从结构的 JK 触发器存在_____。
- (7) 与非门构成的基本 RS 触发器的约束条件是_____。
- (8) 边沿 JK 触发器解决了主从触发器_____的问题。
- (9) 根据在 CP 控制下, 逻辑功能的不同, 常把时钟触发器分为_____、_____、_____、_____和_____ 5 种类型。
- (10) JK 触发器的特性方程为_____。
- (11) 既克服了空翻现象, 又无一次变化问题的常用集成触发器有_____和_____两种。
- (12) 同步时钟触发器是高电平触发方式, 它存在_____毛病。

5.5.2 考研挑战题

1. 填空题

- (1) 主从型触发器的一次变化问题是指在 $CP=1$ 期间, 主触发器可能且仅能_____而带来的问题。
 - (2) N 级触发器可以记忆_____种不同的状态。
 - (3) 把 JK 触发器转换为 T 触发器的方法是_____。
 - (4) 把 D 触发器转换为 T 触发器的方法是_____。
 - (5) Mealy 型时序逻辑电路的输出是_____的函数, Moore 型时序逻辑电路的输出是_____的函数。
 - (6) 化简完全确定原始状态表引用了状态_____的概念, 化简不完全确定原始状态表引用了状态_____的概念。
2. 图 5.34 为防抖动电路, 其输入波形如图 5.35 所示, 试画出该电路的输出波形。



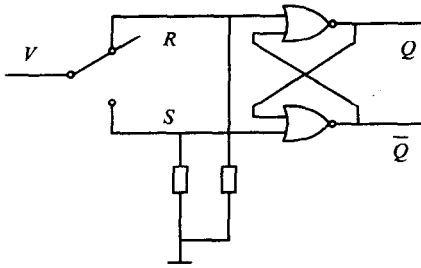


图 5.34



图 5.35

3. 同步单脉冲产生电路如图 5.36 所示, 其输入端 S 的波形如图 5.37 所示, 试画出 Q_1 、 Q_2 和 Z 的输出波形。

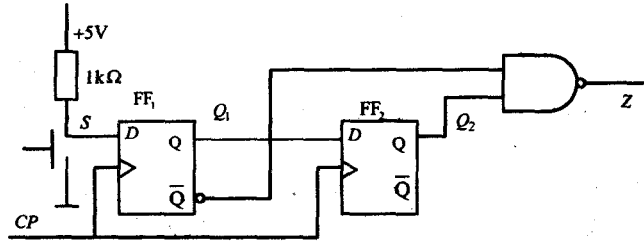


图 5.36

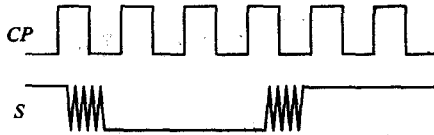


图 5.37

第 6 章 时序逻辑电路的分析和设计

6.1 本章知识结构图

本章首先扼要地讲述时序逻辑电路在逻辑功能及其描述方法和电路结构上的特点，然后详细介绍时序逻辑电路的分析方法和步骤，时序电路的分析与设计如图 6.1 所示。在设计步骤中，正确拟定原始状态表或原始状态图是最关键的、不可缺少的一步，也是较困难的一步。必须仔细分析题意，弄清所要实现的逻辑功能，并把注意力集中在确保其正确性上，而不要刻意追求最少的状态数目。

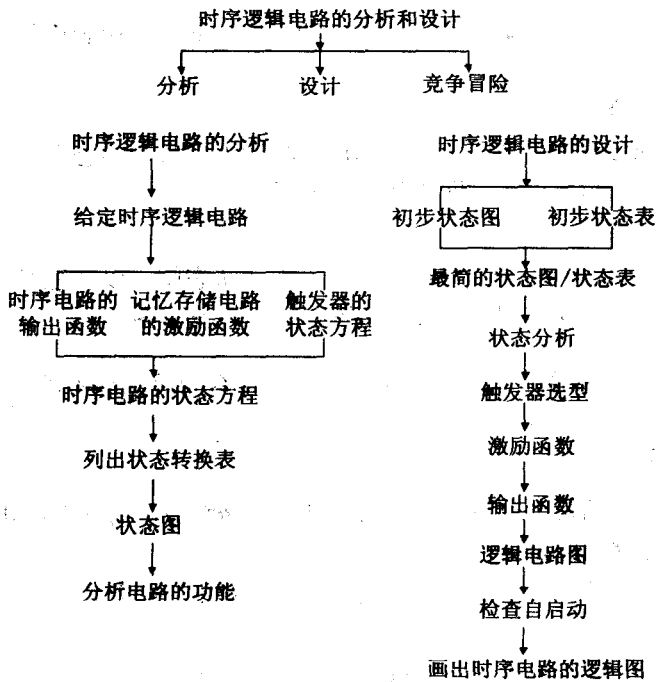


图 6.1

6.2 疑难解惑

问题 6.2.1 时序逻辑电路的逻辑功能可用哪些方法来描述?

【指点迷津】

时序逻辑电路的逻辑功能一般可以由逻辑函数、状态转换表、状态转换图和时序波形图来描述。

(1) 逻辑函数

由图 6.1 可以看出, 如果以 $X(t_n)$ 代表 t_n 时刻各输入变量; $Q(t_n)$ 代表 t_n 时刻各触发器的现态, $W(t_n)$ 代表 t_n 时刻各触发器的输入函数, $Q(t_{n+1})$ 代表各触发器次态, $Z(t_n)$ 是 t_n 时刻时序电路的输出。

为了全面地描述时序逻辑电路输入信号和输出信号的关系, 一般需用三组逻辑函数表示:

输出函数: $Z(t_n) = f[X(t_n), Q(t_n)]$

激励函数(驱动函数): $W(t_n) = g[X(t_n), Q(t_n)]$

状态方程(特性方程): $Q(t_{n+1}) = h[W(t_n), Q(t_n)]$

(2) 状态转换表

将输入信号、各触发器的现态、次态与输出信号的关系用表格形式表示, 即称为状态转换表。

(3) 状态转换图

为了更直观地分析时序逻辑电路的功能, 将输入信号和各触发器的现态、次态, 与输出信号的关系用图的形式表示, 即为状态转换图。

(4) 时序波形图

由给定的输入信号和时钟信号, 根据状态表或状态图, 以及触发器的触发特性, 得到输出信号、触发器状态随时间变化的波形图称为时序波形图。

问题 6.2.2 时序电路与组合电路相比较, 有什么相同点和不同点?

【指点迷津】

主要体现在电路结构上: 组合电路由各种门电路组成。时序电路由组合电路和存储电路两部分组成, 存储电路是必须有的。

组合电路: 电路某一时刻的输出仅仅取决于该时刻的输入, 而与以前各时刻的输入无关。

时序电路: 某一时刻的输出不仅取决于该时刻的输入, 还与前一时刻的状态有关。前一时刻的状态就是存储电路的输出。

时序电路由组合电路和存储电路两部分电路组成。具有如下特点:





- (1) 由具有“记忆”功能的“存储电路”记住电路当前时刻的状态，并产生下一时刻的状态；
- (2) 存储电路的基本单元电路是“触发器”；
- (3) 电路必须具有“反馈”功能；
- (4) 存储电路存储当前时刻的状态，称为“现态”或“原态”；下一时刻的状态，称为“次态”或“新态”。

问题 6.2.3 分析时序电路的基本步骤是什么？

【指点迷津】

时序电路的逻辑功能可以用输出方程、驱动方程和状态方程来描述，因此，只要写出给定电路的这3个方程，该电路的逻辑功能也就清楚了。

分析步骤如下：

- (1) 根据给定的逻辑图，写出每个触发器的驱动方程；
- (2) 把驱动方程代入相应触发器的特性方程，得出每个触发器的状态方程；
- (3) 根据给定的逻辑图，写出电路的输出方程。时序逻辑电路的一般分析步骤如下：
 - ① 观察逻辑电路图；
 - ② 求激励函数、状态方程和输出函数；
 - ③ 作状态表、状态图和时序波形图；
 - ④ 描述逻辑功能。

实际上根据具体要求，可省去某些步骤。

问题 6.2.4 设计时序电路的基本步骤是什么？

【指点迷津】

时序逻辑电路的设计，就是依照给定的设计要求，得出具体的电路。一般的步骤归结如下：

(1) 根据题意确定输入量集 x 和输出量集 y 。也就是确定所要设计电路的输入变量和输出变量。

(2) 根据题意确定内部状态集 Q 。也就是确定所要设计的电路必不可少的最小化状态集。这一步最为重要，也不易掌握。一般按题意确定的状态集不一定是最小状态集，通常称为原始状态集。

然后经化简得出最小化状态集，再进行编码，得出编码状态集才是终止。因此，这一步包括：建立原始状态表、状态化简、状态编码、确定所用触发器及级数等环节。

(3) 确定电路的次态函数和输出函数。也就是确定电路状态转移的控制信号(触发器的激励信号)和输出函数表达式。

(4) 画电路图，并考虑实际的工程问题。

(5) 检查设计的电路能否自启动。如果电路不能自启动，应设法解决或修改设计。





问题 6.2.5 何谓时序逻辑电路的自启动设计技术?

【指点迷津】

一个时序电路如果存在无效状态,则电路就有可能存在无法自启动的问题;不能自启动的电路是不能投入运行的,必须进行自启动设计;对电路进行自启动设计的基本方法是:将那些空闲不用的无效状态(或称不确定状态)确定下来。至于如何确定这些状态,其中有经验问题,也有技巧问题,并直接影响电路的复杂程度和自启动速度。

6.3 典型例题与考研题分析

6.3.1 典型例题分析

例 1 分析图 6.2 所示电平异步时序逻辑电路,根据给定输入波形作出时间图,说明该电路功能。

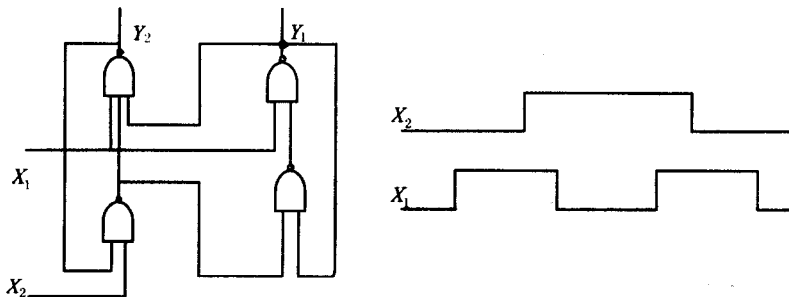


图 6.2

【解答】

该电路有两个输入: x_2 和 x_1 , 没有单独的输出函数, y_2 和 y_1 即输出, 其延时反馈结构形式如图 6.3 所示。

(1) 写出激励函数表达式

$$Y_1 = \overline{x_2 y_2} \cdot y_1 \cdot x_1 = \overline{x_1} + \overline{x_2} y_1 + \overline{y_2} y_1$$

$$Y_2 = x_1 \cdot \overline{x_2 y_2} \cdot x_2 y_2 \cdot y_1 \cdot x_1 = \overline{x_1} + x_2 y_2 + \overline{y_1}$$

(2) 作出流程图

根据激励函数表达式,可作出该电路的流程图如表 6.1 所示。

由流程图可知,二次状态 $y_2 y_1 = 00$ 这一行无稳定状态,且无论输入和二次状态怎样变化,激励状态均不会出现 00。因此,状态 00 为多余状态,即电路仅在 3 种稳定状态之间发生转换。

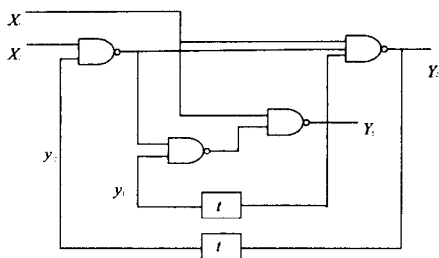


图 6.3

表 6.1 激励表

二次状态		激励状态			
y_2	y_1	$X_2X_1=100$	$X_2X_1=01$	$X_2X_1=11$	$X_2X_1=10$
0	0	11	10	10	11
0	1	11	01	01	11
1	1	11	01	10	11
1	0	11	10	10	11

(3) 作出时间图

给定输入波形对应的输入序列 x_2x_1 为 $00 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 11 \rightarrow 01 \rightarrow 00$ ，根据流程表可列出总态响应序列为

时刻 t	t_0	t_1	t_2	t_3	t_4	t_5	t_6
输入 x_2x_1	00	01	11	<u>10</u>	11	01	00
总态	(00, 11)	(01, 11)	(11, 01)	<u>(10, 01)</u>	<u>(11, 11)</u>	(01, 10)	(00, 10)
	(x_2x_1, y_2y_1)		(01, 01)		(10, 11)		
			(11, 10)		(00, 11)		

根据总态响应序列，可作出电路工作时间图，如图 6.4 所示。

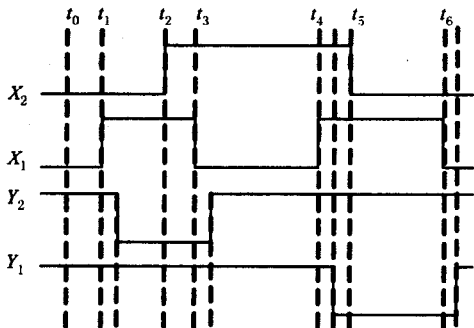


图 6.4

(4) 功能说明

由时间图可以看出，该电路可作为 D 触发器的维持阻塞电路。图 6.4 中， x_1 为时钟端， x_2 为数据输入端。当 x_1 端的正脉冲上跳时，若 x_2 为 0，则将该正脉冲反相后从 y_2 输出；若 x_2 为 1，则将该正脉冲反相后从 y_1 输出。在 x_1 端出现正脉冲期间， x_2 的变化不影响 y_2 和 y_1 的负脉冲输出。

该电路的功能还可用图 6.5 所示总态图描述。从总态图可以看出，当 x_1 为 0(即时钟无脉冲出现)时， y_2y_1 为 11。当 x_1 由 0 跳变到 1 时，若 x_2 为 0，则 y_2y_1 为 01；若 x_2 为 1，则 y_2y_1 为 10。当 x_1 为 1(脉冲期间)时， x_2 的变化不影响电路状态的变化。

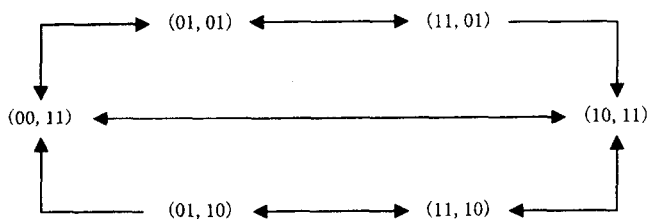


图 6.5

例 2 某电路逻辑图如图 6.6 所示, 分析其逻辑功能。

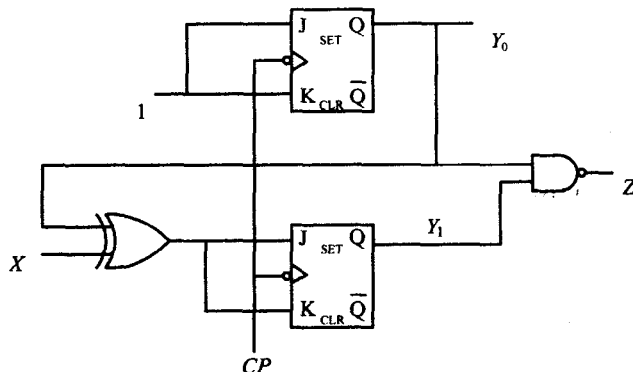


图 6.6

【解答】

(1) 根据给定的逻辑图, 写出每个触发器的驱动方程

$$J_0 = K_0 = 1, J_1 = K_1 = Y_0 \oplus X$$

(2) 把驱动方程代入 JK 触发器的特性方程 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$, 得出每个触发器的状态方程

$$Y_0^{n+1} = \bar{Y}_0^n, Y_1^{n+1} = Y_0^n \oplus Y_1^n \oplus X$$

触发器的现态 Y_0^n 和 Y_1^n 为简化书写, 略去了右上角的 n , 写成 Y_0 和 Y_1 。

(3) 根据给定的逻辑图, 写出电路的输出方程

$$Z = \bar{Y}_0 Y_1$$

(4) 画出状态图和状态表(如图 6.7)

状态图中, 圆圈里的标注 $Y_1 Y_0 / Z$ 是现态/输出, 箭头上的标注 X 是输入;

状态表中, 表中列出的 $Y_1^{n+1} Y_0^{n+1}$ 是次态, 由于输出仅与现态有关, 因此输出单开一列;

例如, 现态是 00 输出是 1, 当输入是 0 时, 次态是 01; 现态是 00 输出是 1, 当输入是 1 时, 次态是 11。

结论: 这是一个四进制可逆计数器, 当 $x = 0$ 时, 实现加 1 计数, 当 $x = 1$ 时实现减 1 计数。

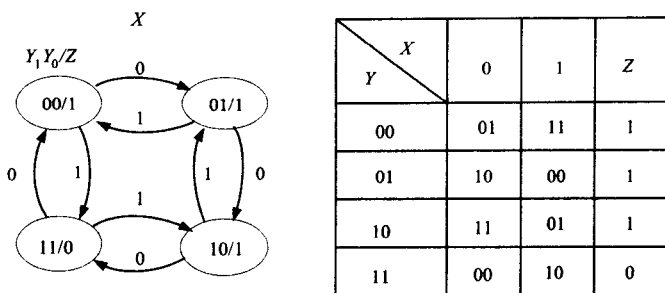


图 6.7 状态图和状态表

例 3 试用正边沿 D 触发器设计一个 1101 序列检测器，它有一个输入端和一个输出端。

【解答】

(1) 首先分析电路的逻辑功能，确定电路应包含的状态并化简，画出状态图。

当电路连续收到 1101 序列时，输出为 1，其他情况下输出为 0，因此该电路包含 5 个状态。设初始状态为 S_0 ，当收到一个 1 时为 S_1 ，收到 0 时返回 S_0 本身，在 S_1 状态时收到一个 1 时为 S_2 ，收到 0 时返回 S_0 ，在 S_2 状态收到一个 0 时状态转为 S_3 ，收到一个 1 时返回本身，在 S_3 状态收到一个 1 时转为 S_4 ，收到一个 0 时返回 S_0 。在 S_4 状态收到一个 0 返回 S_0 ，收到一个 1 返回 S_1 。以上各个状态转换除了 S_3 转向 S_4 时输出为 1，其余都为 0，因为只有这一步实现了接受 1101 序列。

根据状态等价的概念， S_4 和 S_0 在同一个输入下输出相同，并转向同一个次态，因此 S_0 和 S_4 等价。画出状态图如图 6.8(a) 所示，状态编码后如图 6.8(b) 所示。

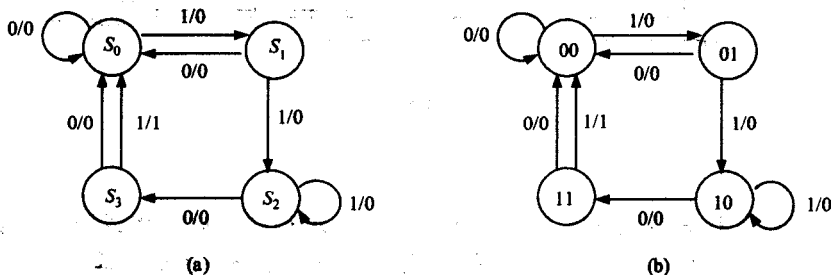


图 6.8

(2) 由状态图画出状态表，如表 6.2 所示。

表 6.2 状态表

$Q_1^{n+1} Q_0^{n+1} X$	0	1
$Q_1^n Q_0^n / Z$		
00	00/0	01/0
01	00/0	10/0
10	11/0	10/0
11	00/0	00/1



(3) 由状态表写出驱动信号和输出信号真值表, 如表 6.3 所示。

表 6.3 真值表

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z	D_1	D_0
0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0
0	1	0	1	1	0	1	1
0	1	1	0	0	0	0	0
1	0	0	0	1	0	0	1
1	0	1	1	0	0	1	0
1	1	0	1	0	0	1	0
1	1	1	0	0	1	0	0

(4) 由真值表写出逻辑函数, 并经过卡诺图化简得

$$D_0 = X\bar{Q}_1\bar{Q}_0 + \bar{X}Q_1\bar{Q}_0, \quad D_1 = Q_1\bar{Q}_0 + X\bar{Q}_1Q_0, \quad Z = XQ_1Q_0$$

(5) 由逻辑函数画出电路图, 如图 6.9 所示。

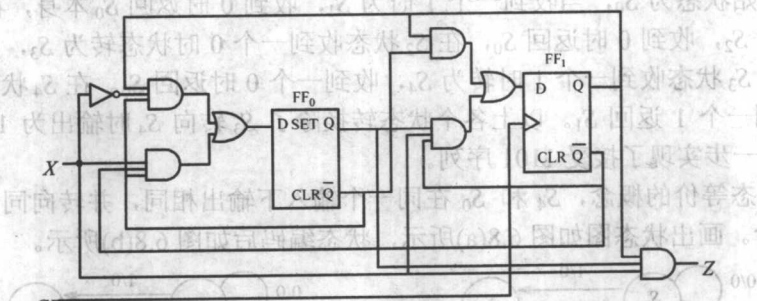


图 6.9

【举一反三】

进行一般时序电路的设计时, 能否建立正确的原始状态转换图或状态转换表至关重要。而如何建立原始状态转换图或状态转换表, 至今尚无一个系统的算法。目前采用最多的方法仍然是直观的经验法。比如, 在实际设计中, 对于不太复杂的逻辑电路设计, 状态之间转换关系比较清楚, 此时就可以直接进行状态指定, 并画出状态图。直接构图的基本做法是, 根据文字描述的设计要求, 先假定一个初始状态, 从初态开始, 每加入一种输入就可以确定一个次态(该次态可能是现态本身, 也可以是另一个状态, 或者是新增加的一个状态)。这过程一直到每个现态向其次态的转换都已经考虑, 并且不再增加新的状态为止。

例 4 设计一个能自启动的 3 位环形计数器。要求它的有效循环状态为 100-010-001-100。

【解答】

根据题目要求的状态循环, 可以得到电路的状态转换图和电路次态的卡诺图, 如图 6.10 所示。如果只考虑使状态方程最简单, 则可将图 6.10(b)的卡诺图分解, 求得 Q_1^{n+1} 、 Q_2^{n+1} 和 Q_3^{n+1} 的最简单形式为

$$Q_1^{n+1} = Q_3, \quad Q_2^{n+1} = Q_1, \quad Q_3^{n+1} = Q_2$$

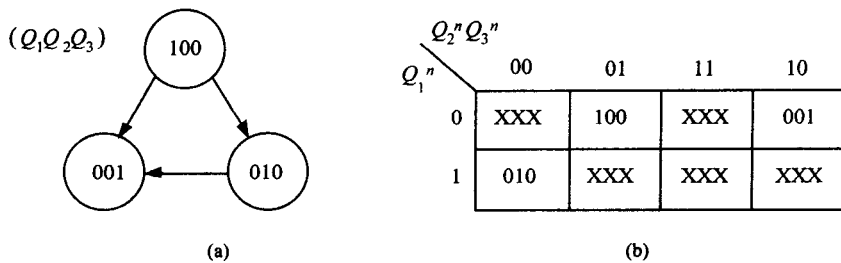


图 6.10

将 Q_1 、 Q_2 和 Q_3 的 5 个无效状态 000、011、101、110、111 分别代入上式，求出次态，即得图 6.7 中用实线连接的状态转换图。显然这样设计出来的电路是不能自启动的。

由于在化简状态方程的同时，也随之规定了每个无效状态的次态，所以这时电路次态的卡诺图已成为图 6.11 的形式。

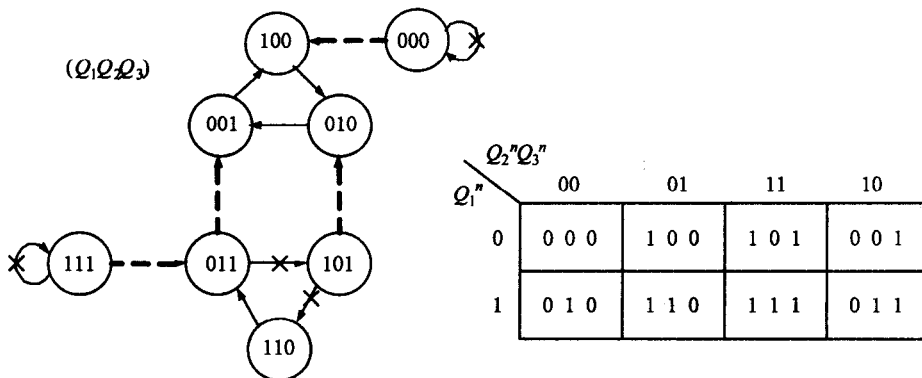


图 6.11

下面讨论如何修改状态方程，以实现自启动。

在无效状态不止一个的情况下，为保证电路能够自启动，必须使每个无效状态都能直接地或间接地(即经过其他的无效状态以后)转为某一有效状态。为了保持移位寄存器内部结构不变，只允许修改第一位触发器的输入。因此，只能通过修改每个无效状态中 Q_1 的次态，使它们的次态进入有效循环。

如果按图 6.11 中的虚线连接方式修改状态转换图，则电路能够自启动。也就是说，电路次态的卡诺图应修改为图 6.12 的形式。

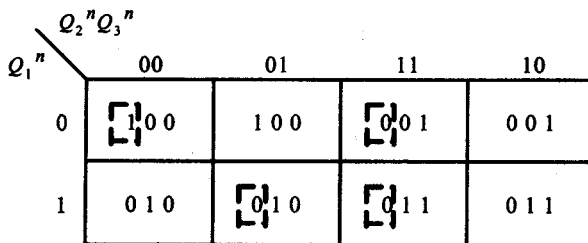


图 6.12

由图 6.12 可见, 如果仅从能自启动的角度考虑, 101 状态的次态本不必修改, 它可以经过另外两个无效状态 110 和 011 以后进入有效循环。但从图 6.12 的卡诺图上不难发现, 将 101 的次态修改为 010 以后, Q_1^{n+1} 的逻辑式可以更加简单。根据图 6.12 卡诺图求得修改后的状态方程为

$$Q_1^{n+1} = \overline{Q_1} \cdot \overline{Q_2}, \quad Q_2^{n+1} = Q_1, \quad Q_3^{n+1} = Q_2$$

若选用 D 触发器组成这个计数器, 则驱动方程为

$$D_1 = Q_1^{n+1} = \overline{Q_1} \cdot \overline{Q_2} = \overline{Q_1 + Q_2}, \quad D_2 = Q_2^{n+1} = Q_1, \quad D_3 = Q_3^{n+1} = Q_2$$

图 6.13 是按照上式画出的逻辑图, 这个电路一定能自启动。

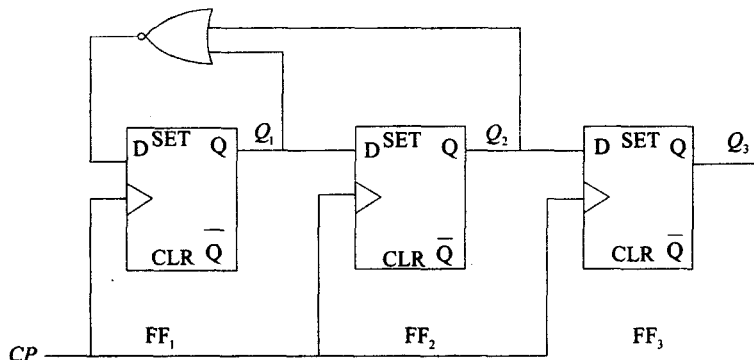


图 6.13

例 5 分析图 6.14 所示时序逻辑电路, 要求:

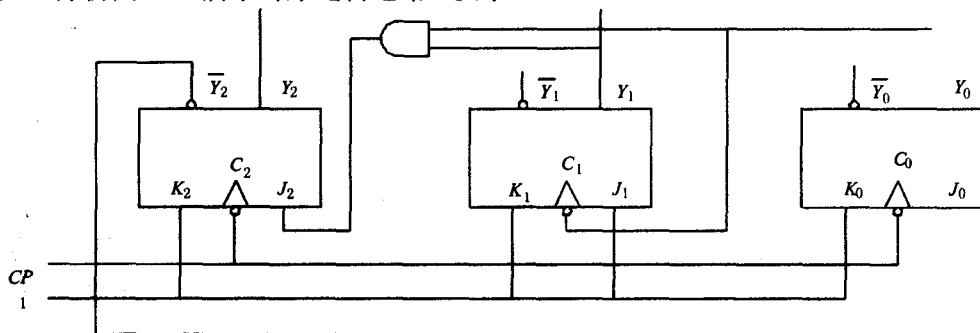


图 6.14

- (1) 指出该电路属于同步电路还是异步电路? 属于 Mealy 型电路还是 Moor 型电路?
- (2) 作出该电路的状态图和时间图, 说明该电路功能。

【解答】

图 6.14 所示逻辑电路由 3 个 JK 触发器和一个与门构成, 现根据题中要求作如下分析。

(1) 由于电路中 3 个时钟控制触发器的时钟端有两个与 CP 相连, 而另一个与 Y_0 相连, 故三个触发器不受统一时钟控制, 该电路的输出即为触发器状态, 所以, 该电路属于 Moor 型脉冲异步时序逻辑电路。

(2) 为了评价电路功能, 可按照脉冲异步时序逻辑电路分析的方法和步骤, 对该电



路作进一步分析:

① 写出激励函数表达式

$$\begin{aligned} J_2 &= y_1 y_0 & K_2 &= 1 & C_2 &= CP \\ J_1 &= 1 & K_1 &= 1 & C_1 &= y_0 \\ J_0 &= \bar{y}_2 & K_0 &= 1 & C_0 &= CP \end{aligned}$$

② 列出电路次态真值表。

根据激励函数表达式, 可作出电路的次态真值表如表 6.4 所示。

表 6.4 图 6.14 的状态真值表

输入 现态				激励函数								次态			
CP	Y ₂	Y ₁	Y ₀	J ₂	K ₂	C ₂	J ₁	K ₁	C ₁	J ₀	K ₀	C ₀	Y ₂ ⁽ⁿ⁺¹⁾	Y ₁ ⁽ⁿ⁺¹⁾	Y ₀ ⁽ⁿ⁺¹⁾
1	0	0	0	0	1	↓	1	1		1	1	↓	0	0	1
1	0	0	1	0	1	↓	1	1	↓	1	1	↓	0	1	0
1	0	1	0	0	1	↓	1	1	↓	1	1	↓	0	1	1
1	0	1	1	1	1	↓	1	1	↓	1	1	↓	1	0	0
1	1	0	0	0	1	↓	1	1	↓	0	1	↓	0	0	0
1	1	0	1	0	1	↓	1	1	↓	0	1	↓	0	1	0
1	1	1	0	0	1	↓	1	1	↓	0	1	↓	0	1	0
1	1	1	1	1	1	↓	1	1	↓	0	1	↓	0	0	0

作次态真值表时注意, 由于状态 Y₁ 对应的触发器时钟端与 Y₀ 相连, 而且 JK 触发仪当时钟端有下跳时才发生翻转, 因此, 仅当 Y₀ 从 1 变到 0 时, Y₁ 才能发生状态转移。

③ 作出状态图和时间图

根据次态真值表, 作出状态图和时间图如图 6.15(a)和(b)所示。

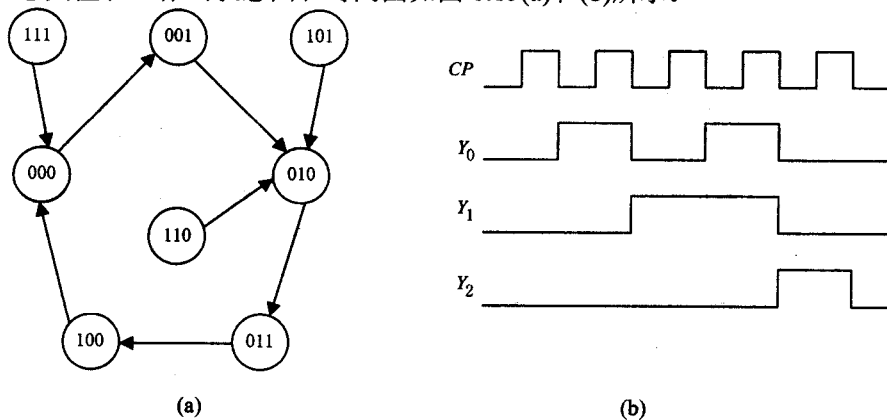


图 6.15

④ 功能说明

由状态图和时间图可知, 该电路是一个脉冲异步模 5 加 1 计数器, 且具有自启动功能。

例 6 用 T 触发器作为存储元件设计一个脉冲异步时序逻辑电路, 该电路有两个输入 X₁ 和 X₂, 一个输出 Z, 当输入序列为 X₁—X₁—X₂ 时, 在输出端 Z 产生一个脉冲, 平时 Z 端输出为 0。



【解答】

由题意可知, 该电路有两个输入, 一个输出。由于要求输出为脉冲信号, 所以, 应将电路设计成Mealy 模型。

(1) 建立原始状态图和原始状态表

设电路初始状态为 A, 根据题意可作出原始状态图如图 6.16 所示, 原始状态表如表 6.5 所示。

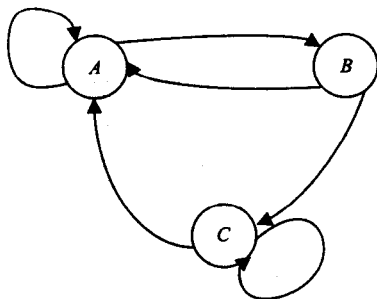


图 6.16

表 6.5 原始状态表

现态	次态/输出Z	
	$X_2=1$	$X_1=1$
A	A/0	B/0
B	A/0	C/0
C	A/1	C/0

(2) 状态编码

由于最简状态表中有 3 个状态, 故需用两位二进制代码表示。设状态变量为 Y_2 和 Y_1 , 根据相邻编码法原则, 可令 $Y_2Y_1=00$ 表示状态 A, $Y_2Y_1=01$ 表示状态 B, $Y_2Y_1=11$ 表示状态 C, 由此得到二进制状态表如表 6.6 所示。

(3) 确定激励函数和输出函数

确定激励函数和输出函数时应注意: 第一, 对于多余状态 $Y_2Y_1=10$ 和不允许输入 $X_2X_1=11$, 可作为无关条件处理; 第二, 当输入 $X_2X_1=00$ 时, 电路状态保持不变; 第三, 由于触发器时钟信号作为激励函数处理, 所以, T 触发器的激励表如表 6.7 所示。

表 6.6 二进制状态表

现态		次态 $Y_2^{n+1} Y_1^{n+1}$ / 输出 Z	
		$X_2=1$	$X_1=1$
Y_2	Y_1		
0	0	00/0	01/0
0	1	00/0	11/0
1	1	00/1	11/0

表 6.7 触发器激励表

Q	Q^{n+1}	CP	T
0	0	0	d
		d	0
0	1	1	1
1	0	1	1
1	1	0	d
		d	0

根据上述 3 条, 并假定次态与现态相同时, 触发器时钟信号为 0, T 端为 d, 可列出励函数和输出函数真值表如表 6.8 所示。





表 6.8 激励函数和输出函数真值表

输入		现态		激励函数				输出
x_2	x_1	Y_2	Y_1	G_2	T_2	G_1	T_1	Z
0	0	0	0	0	d	0	d	0
0	0	0	1	0	d	0	d	0
0	0	1	0	d	d	d	d	d
0	0	1	1	0	d	0	d	d
0	1	0	0	0	d	1	1	0
0	1	0	1	1	1	0	d	0
0	1	1	0	d	d	d	d	d
0	1	1	1	0	d	0	d	0
1	0	0	0	0	d	0	d	0
1	0	0	1	0	d	1	1	0
1	0	1	0	d	d	d	d	d
1	0	1	1	1	1	1	1	1
1	1	0	0	d	d	d	d	d
1	1	0	1	d	d	d	d	d
1	1	1	0	d	d	d	d	d
1	1	1	1	d	d	d	d	d

根据真值表画出激励函数和输出函数卡诺图(略)，化简后可得

$$C_2 = x_2 y_2 + x_1 y_2 y_1, \quad T_2 = 1, \quad C_1 = x_2 y_1 + x_1 y_1$$

$$T_1 = 1, \quad Z = x_2 y_2 y_1$$

(4) 画出逻辑电路图

根据激励函数和输出函数表达式，可画出实现给定功能的逻辑电路，如图 6.17 所示。该电路存在无效状态 10，但不会产生挂起现象，即具有自启动功能(分析过程略)。

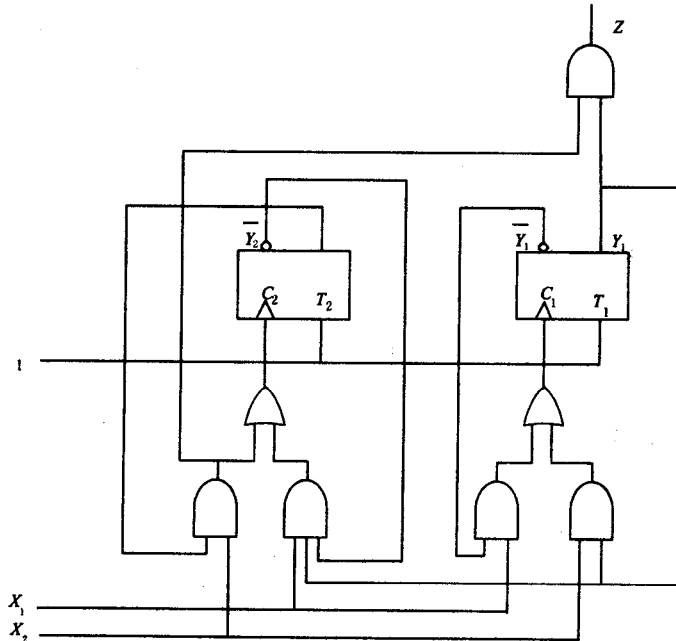


图 6.17

例 7 用 D 触发器作为存储元件，设计一个脉冲异步三位二进制可逆计数器。该电路有一个信号输入端 x 和一个控制输入端 s ， x 端串行随机输入脉冲信号， s 端为控制电平。当 $s=0$ 时，电路在输入脉冲作用下作加 1 计数；当 $s=1$ 时，电路在输入脉冲作用下作减 1



计数。

【解答】

根据设计要求可知,该电路中有 3 个状态变量(对应 3 个触发器),两个输入变量。如果采用常规方法进行设计,除图、表复杂外,激励函数化简也十分困难(需要化简 6 个五变量函数)。为了简化过程,可通过对问题逐步分析,找出规律后直接写出激励函数表达式,然后画出逻辑电路。

(1) 三位二进制加 1 计数器

设三位二进制加 1 计数器中,各触发器对应的状态变量从高位到低位依次为 y_2 、 y_1 和 y_0 ,可作出状态转移表如表 6.9 所示。

分析表 6.9,不难发现如下规律。

表 6.9 3 位二进制加 1

输入 X	现态			次态		
	Y_2	Y_1	Y_0	$Y_2^{(n+1)}$	$Y_1^{(n+1)}$	$Y_0^{(n+1)}$
1	0	0	0	0	0	1
1	0	0	1	0	1	0
1	0	1	0	0	1	1
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	0	1	1	1	0
1	1	1	0	1	1	1
1	1	1	1	0	0	0

① 最低位触发器的状态 y_0 ,只要输入端 x 有脉冲出现便发生变化。即每来一个输入脉冲,触发器发生一次翻转。因此,可令该触发器时钟端信号 $C_0=x$,输入端信号 $D_0=\bar{y}_0$ 。

② 次低位触发器的状态 y_1 ,在 y_0 由 1 变为 0 时发生变化。即 y_0 原来为 1,作加 1 计数由 1 变为 0 并产生进位,使相邻高位的触发器产生翻转。假定所采用的 D 触发器是上升沿触发方式,可令该触发器的时钟端信号 $C_1=\bar{y}_0$ (因为当 y_0 发生由 1→0 的跳变时, \bar{y}_0 发生由 0→1 的跳变),输入端信号 $D_1=\bar{y}_1$ 。

③ 最高位触发器的状态 y_2 ,在 y_1 由 1 变为 0 时发生变化。类似地,可令该触发器的时钟端信号 $C_2=\bar{y}_1$,输入端信号 $D_2=\bar{y}_2$ 。

(2) 三位二进制减 1 计数器

三位二进制减 1 计数器的状态转移表如表 6.10 所示。

分析表 6.10 所示状态转移关系,可发现如下规律:

表 6.10 计数器状态

输入 X	现态			次态		
	Y_2	Y_1	Y_0	$Y_2^{(n+1)}$	$Y_1^{(n+1)}$	$Y_0^{(n+1)}$
1	0	0	0	1	1	1
1	0	0	1	0	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0



① 最低位触发器的状态 y_0 ，只要输入端 x 有脉冲出现便发生变化，即每来一个输入脉冲，触发器发生一次翻转。因此，可令该触发器时钟端信号 $C_0 = x$ ，输入端信号 $D_0 = \bar{y}_0$ 。

② 次低位触发器的状态 y_1 ，在 y_0 由 0 变为 1 时发生变化。即 y_0 发生一次由 0→1 的跳变，触发器产生一次翻转。因此，可令该触发器的时钟端信号 $C_1 = y_0$ ，输入端信号 $D_1 = \bar{y}_1$ 。

③ 最高位触发器的状态 y_2 ，在 y_1 由 0 变为 1 时发生变化，即 y_1 发生一次 0→1 的跳变，触发器产生一次翻转。因此，可令该触发器的时钟端信号 $C_2 = y_1$ ，输入端信号 $D_2 = \bar{y}_2$ 。

(3) 三位二进制可逆计数器

由题意可知，三位二进制可逆计数器在控制输入端 $s=0$ 时，实现加 1 计数；在 $s=1$ 时实现减 1 计数。综合上述(1)、(2)的分析结果，可得到该可逆计数器的激励函数表达式为

$$\begin{aligned} C_0 &= x, & D_0 &= \bar{y}_0 \\ C_1 &= \bar{s}y_0 + sy_0 = s \oplus \bar{y}_0, & D_1 &= \bar{y}_1 \\ C_2 &= \bar{s}y_1 + sy_1 = s \oplus \bar{y}_1, & D_2 &= \bar{y}_2 \end{aligned}$$

根据所得激励函数表达式，可画出三位二进制可逆计数器的逻辑电路图如图 6.18 所示。

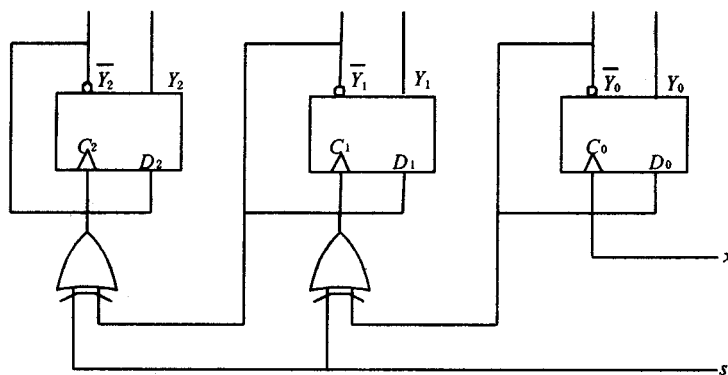


图 6.18

以上设计思想，可以推广到 n 位计数器的设计。

6.3.2 考研题分析

例 1 试用状态转换图(或时序表)分析图 6.19 所示时序电路，确定它是几进制计数器，并进行自启动检验。



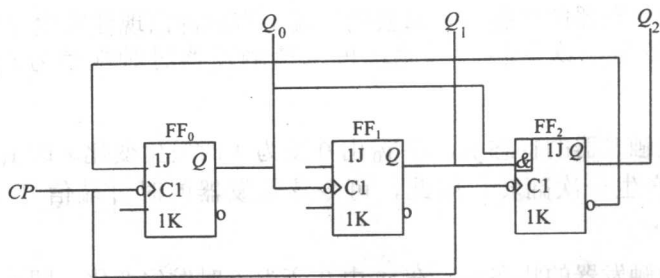


图 6.19

【解答】

(1) $CP_0 = CP$, $CP_1 = Q_0$, $CP_2 = CP$, 所以是异步电路。

(2) 写出驱动方程, 求状态方程

$$J_0 = \overline{Q_2^n}, \quad K_0 = 1$$

$$J_1 = 1, \quad K_1 = 1$$

$$J_2 = Q_0^n Q_1^n, \quad K_2 = 1$$

将驱动方程代入 JK 触发器的特性方程, 得状态方程为

$$Q_0^{n+1} = \overline{Q_2^n} Q_0^n \cdot (CP) \quad (1)$$

$$Q_1^{n+1} = \overline{Q_1^n} \cdot (Q_0^n) \quad (2)$$

$$Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n} \cdot (CP) \quad (3)$$

(3) 由状态方程画出状态转换真值表, 如表 6.11 所示, 画成状态转换图如图 6.20 所示。

(4) 判断逻辑功能。该电路是一个异步的、能自启动的五进制加法计数器。

表 6.11 状态转换真值表

CP	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	0	1	0
7	1	1	0	0	1	0
8	1	1	1	0	0	0

【举一反三】

异步时序电路的分析方法

对于异步时序电路的分析, 其中最重要且最麻烦的是列状态转换真值表。下面以本题为例简述如下:

设第一个 CP 到来之前, 电路的初试状态为 000, 以此

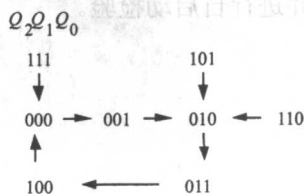


图 6.20



为现态，将其代入式(1)的状态方法中即得第一个 CP 到达后电路的次态。例如触发器 FF_0 ，由于 $Q_0^{n+1} = \overline{Q_0^n} \cdot (CP)$ ，且 $Q_2^n=0$ ， $Q_0^n=0$ ，并始终有时钟脉冲 CP，所以第 1 个 CP 到达后 $Q_0^{n+1}=1$ ；对于 FF_1 ， $Q_1^{n+1} = \overline{Q_1^n} \cdot (Q_0^n)$ ，由于 FF_1 用 Q_0 的负边沿触发，而第 1 个 CP 到达时 Q_0 由 0 变 1 为正边沿，所以 FF_1 没有收到负边沿触发信号，故不翻转， $Q_1^{n+1}=0$ ；对于 FF_2 ， $Q_2^{n+1} = Q_2^n \cdot Q_1^n \cdot Q_0^n \cdot (CP)$ ，始终有时钟脉冲 CP，但由于式中的 $Q_0^n=0$ ， $Q_1^n=0$ ，代入 Q_2^{n+1} 式中得 $Q_2^{n+1}=0$ ，故第 1 个 CP 过后，电路状态由 000 变为 001，这就是表中的第一行。对于第二行，即第 2 个 CP 到来的情况：第 2 个 CP 到来之前，电路已变为 001，以此为现态，代入到式(1)中即得第 2 个 CP 到达后的次态 010，其他情况类同。

例 2 由 4 位二进制同步计数器 74LS161、3 线-8 线译码器 74LS138 及门电路组成的电路如图 6.21 所示。试分析：

(1) 列出在 6 个 CP 脉冲作用下 74LS161 的状态表；

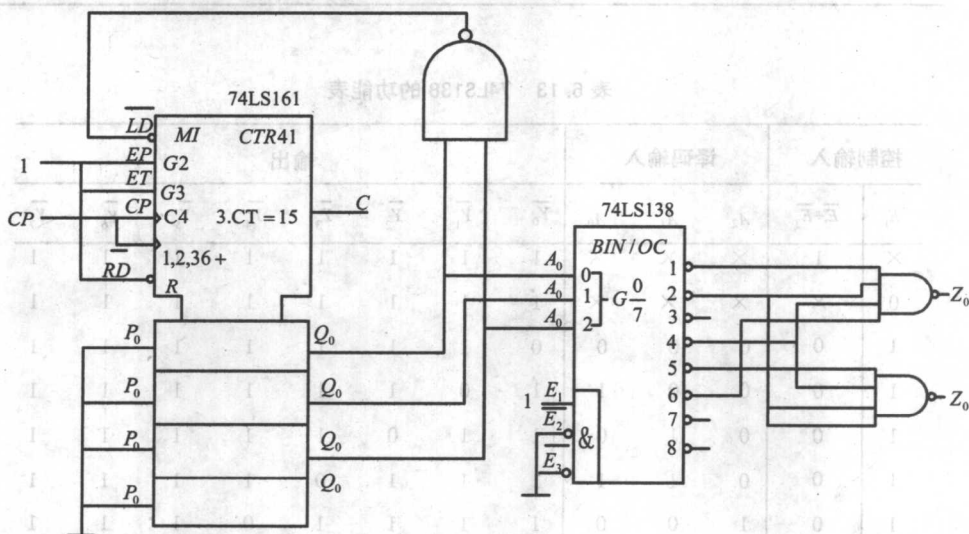


图 6.21

- (2) 画出在 6 个 CP 脉冲作用下 Z_1 、 Z_2 的输出波形；
 (3) 指出电路的逻辑功能。

74LS161 及 74LS138 的功能表分别如表 6.12 和表 6.13 所示。

【解答】

(1) 74LS161 的状态转换图

0000 → 0001 → 0010 → 0011 → 0100 → 0101 → 0000

(2) 由电路图得输出函数

$$Z_1(Q_2, Q_1, Q_0) = \sum M(0, 1, 3, 5)$$

$$Z_2(Q_2, Q_1, Q_0) = \sum M(1, 3, 4)$$

所以，输出波形如图 6.22 所示。

(3) 逻辑功能：六进制计数译码电路。

表 6.12 74LS161 的功能表

输入									输出			
CP	$\overline{R_D}$	$\overline{L_D}$	ET	EP	P_0	P_1	P_2	P_3	Q_0	Q_1	Q_2	Q_3
×	0	×	×	×	×	×	×	×	0	0	0	0
↑	1	1	×	×	D_0	D_1	D_2	D_3	D_0	D_1	D_2	D_3
×	1	1	0	×	×	×	×	×	保持			
×	1	1	×	0	×	×	×	×	保持			
↑	1	1	1	1	×	×	×	×	计数			

表 6.13 74LS138 的功能表

控制输入		译码输入			输出							
E_1	$\overline{E_2+E_3}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

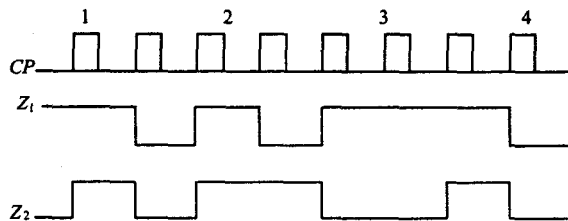


图 6.22

例 3 试设计一个具有图 6.23 所示功能的计数器电路，图中 M 为控制变量： $M = 1$ ，





计数器为 8421 码六进制加法计数； $M = 0$ ，计数器为循环码六进制计数。试用 JK 触发器实现此电路。

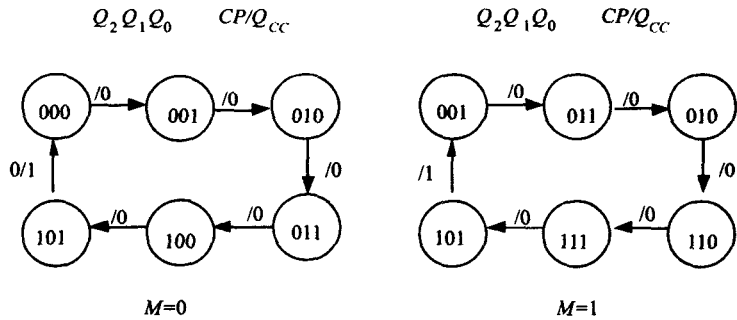


图 6.23

【解答】

(1) 根据题意，列出状态转换卡诺图，如图 6.24 所示。

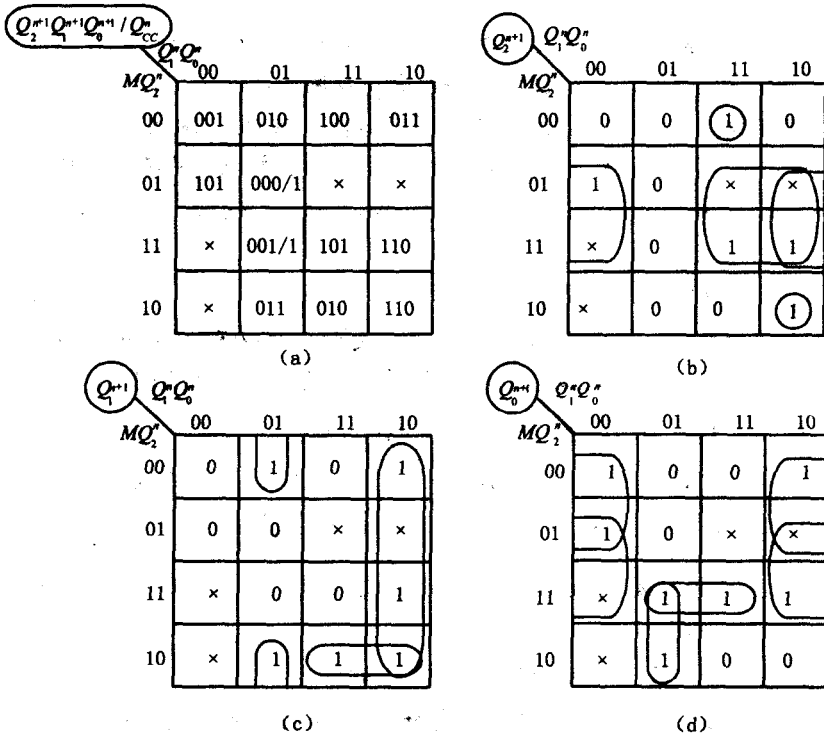


图 6.24

(2) 由卡诺图求电路的输出方程。将 6.24(a)所示的状态转换卡诺图一分为四，列出输出 Q_{cc} 的卡诺图(略)，得输出方程

$$Q_{cc} = \overline{Q_2} \overline{Q_1} \overline{Q_0}$$



(3) 求触发器的驱动方程。如图 6.24(b)、(c)、(d)所示,化简卡诺图,得触发器的状态方程

$$Q_2^{n+1} = (Q_2^n Q_1^n + Q_2^n \overline{Q_0^n}) + (\overline{M} Q_1^n Q_0^n + M Q_1^n \overline{Q_0^n}) \overline{Q_2^n} \quad (1)$$

$$Q_1^{n+1} = (\overline{Q_0^n} Q_1^n + M \overline{Q_2^n} Q_1^n) + Q_2^n Q_0^n \overline{Q_2^n}$$

$$Q_0^{n+1} = (\overline{M} \overline{Q_0^n} + Q_2^n \overline{Q_0^n}) + (M Q_2^n Q_0^n + M \overline{Q_1^n} Q_0^n)$$

将式(1)同 JK 触发器的特性方程相比较,得触发器的驱动方程

$$J_2 = \overline{M} Q_1^n \overline{Q_0^n} + M Q_1^n \overline{Q_0^n} \quad (2)$$

$$K_2 = \overline{Q_1^n} + \overline{Q_0^n} = \overline{Q_1^n Q_0^n} \quad (3)$$

$$J_1 = \overline{Q_2^n} Q_0^n \quad (4)$$

$$K_1 = \overline{Q_2^n} + M \overline{Q_2^n}, \quad J_0 = \overline{M} + Q_2^n, \quad K_0 = M \overline{Q_2^n} + M \overline{Q_1^n}$$

(4) 画逻辑图。根据式(1)和式(2)~(4)画出电路图。(略)

【举一反三】

求 JK 触发器驱动方程的捷径

问题提出:用 JK 触发器设计时序电路时,常用卡诺图化简 JK 触发器的状态方程以求出驱动方程 J 和 K 。而化简卡诺图时,一般会将包围圈尽量扩大以将函数化的最简。值得指出的是,这样做对求 D 触发器驱动方程是正确的,但在求 JK 触发器驱动方程时,有时将无法立即获得所需的 J 、 K 方程,还要用配项法和代数化简法将不该包围在内的项去除。例如,本例图 6.24(b)中的 M_3 小方格,一般会同 M_7 小方格合并, M_{10} 同 M_{14} 合并,得最简结果为

$$Q_2^{n+1} = (Q_1^n + \overline{Q_0^n}) Q_2^n + \overline{M} Q_1^n \overline{Q_0^n} + M Q_1^n \overline{Q_0^n}$$

然而上式右边的第二、三项中不含 Q_2 或其反变量,所以无法同 JK 触发器的特性方程相比较进而获得触发器的驱动方程 J 和 K ,式(2)还要做以下代数处理

$$\begin{aligned} Q_2^{n+1} &= (Q_1^n + \overline{Q_0^n}) Q_2^n + (\overline{M} Q_1^n \overline{Q_0^n} + M Q_1^n \overline{Q_0^n}) (Q_2^n + \overline{Q_2^n}) \\ &= (Q_1^n + \overline{Q_0^n}) Q_2^n + (\overline{M} Q_1^n \overline{Q_0^n} + M Q_1^n \overline{Q_0^n}) Q_2^n + (\overline{M} Q_1^n \overline{Q_0^n} + M Q_1^n \overline{Q_0^n}) \overline{Q_2^n} \\ &= \underline{(Q_1^n Q_2^n + \overline{Q_0^n} Q_2^n)} + \underline{(\overline{M} Q_1^n \overline{Q_0^n} Q_2^n + M Q_1^n \overline{Q_0^n} Q_2^n)} + \overline{M} Q_1^n \overline{Q_0^n} \overline{Q_2^n} + M Q_1^n \overline{Q_0^n} \overline{Q_2^n} \end{aligned}$$

因为式中第三项含有第一项(如双下划线所示),第四项含有第二项(如单下划线所示),所以第三项和第四项多余,上式变为

$$Q_2^{n+1} = (Q_2^n Q_1^n + Q_2^n \overline{Q_0^n}) + (\overline{M} Q_1^n \overline{Q_0^n} + M Q_1^n \overline{Q_0^n}) \overline{Q_2^n}$$

从而方可获得函数 J 和 K 。注意,上式就是图 6.24(b)的化简结果式(1),但却绕了一个大弯。

解决办法:用卡诺图化简 JK 触发器的状态方程 Q_i^{n+1} 时,应尽量避免将变量 Q_i^n 或 $\overline{Q_i^n}$ 消掉,方法是:任何一个包围圈都不要同时跨在 Q_i^n 和 $\overline{Q_i^n}$ 两个区上,这样即可从得到的状态方程中直接获得触发器的驱动方程。

例 4 按图 6.25 所示波形,设计一满足该波形要求的同步时序电路,要求电路最简且



具有启动功能。

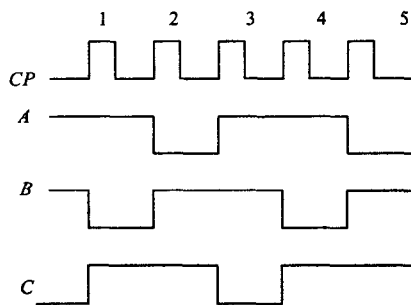


图 6.25

【分析】

本题的新意在于，由工作波形提取状态转换图，进而设计时序电路。

【解答】

(1) 由波形图提取电路的状态转换图为 $CAB = 011 \rightarrow 101 \rightarrow 110 \rightarrow 011$ 。

(2) 将上述状态转换图用卡诺图表示，并将其一拆为三，如图 6.26 所示，图中已将空闲不用的无效状态用固定状态填入，填入的准则是：卡诺图化简时包围圈最大数量最少，以使电路结构最简。

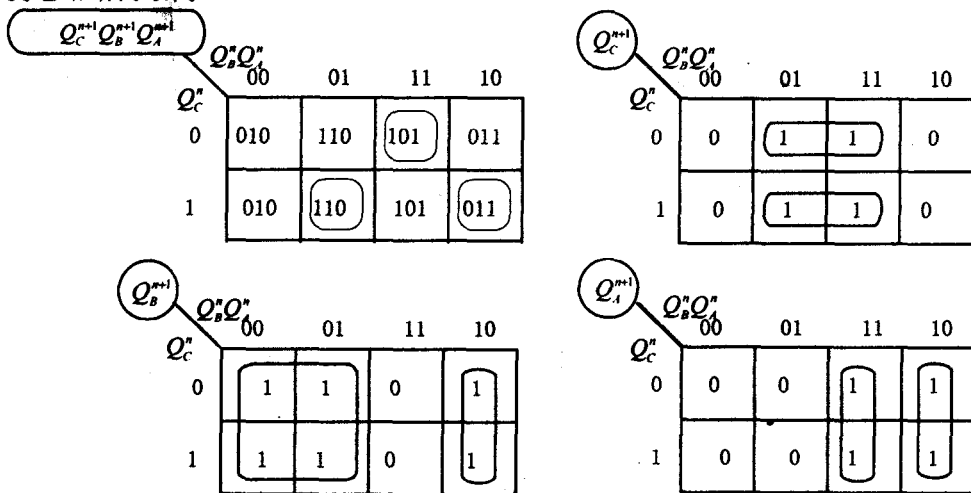


图 6.26

(3) 求状态方程和驱动方程。

状态方程

$$Q_c^{n+1} = Q_a^n Q_c^n + \overline{Q_a^n} Q_c^n$$

$$Q_b^{n+1} = \overline{Q_b^n} + Q_a^n Q_b^n$$

$$Q_a^{n+1} = Q_a^n Q_b^n + \overline{Q_a^n} Q_b^n$$

将上述状态方程同 JK 触发器的特性方程相比较，得电路的驱动方程



$$J_C = Q_A^n, K_C = \overline{Q_A^n}$$

$$J_B = 1, K_B = \overline{Q_A^n}$$

$$J_A = \overline{Q_B^n}, K_A = \overline{Q_B^n}$$

(4) 画逻辑图, 如图 6.27 所示。

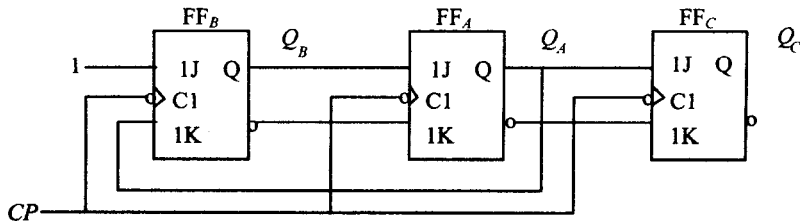


图 6.27

例 5 用集成电路芯片 74LS161 设计一个计数器, 自动完成 3 位二进制加/减循环计数, 状态转换图如图 6.28(a)所示, 要求只能用 3 个 2 输入异或门和一个 3 输入与非门实现, 如图 6.28(b)所示。

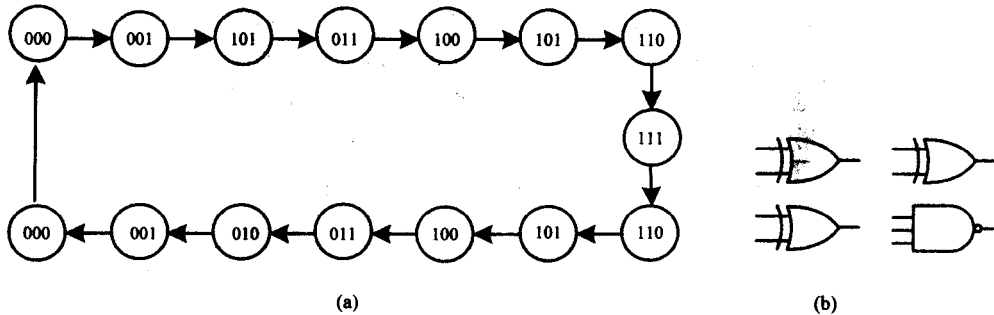


图 6.28

【解答】

设计思想: 74LS161 是一个 4 位二进制加计数器, 有 16 格状态; 3 位二进制加/减计数器有 15 个状态, 所以应省去一个状态, 将 74LS161 接成 15 进制计数器, 然后将 74LS161 的输出 $Q_3Q_2Q_1Q_0$ 用换码法将 4 位代码转换成 3 位二进制加/减计数器的输出 $Y_2Y_1Y_0$ 。问题在于, 省去哪一个状态可使转换电路最简, 并能用 3 个 2 输入异或门和一个 3 输入与非门实现? 分析表明, 74LS161 从 0000 加计数到 0111 同 3 位二进制计数器从 000 加计数到 111 完全一致, 所以这些状态应保留不变, 然后可直接跳转到下一个状态 1001, 具体做法是: 当 74LS161 计数到 $Q_3Q_2Q_1Q_0=0111$ 状态即可输出 $Y_2Y_1Y_0=111$ 时, 用并行置数法将电路置为 1001, 从而跳过状态 1000, 电路的状态转换真值表如表 6.14 所示, 从中得电路的输出方程为

$$Y_2^{N+1} = \sum M(4,5,6,7,9,10,11), \quad Y_1^{N+1} = \sum M(2,3,6,7,9,12,13)$$

$$Y_0^{N+1} = \sum M(1,3,5,7,10,12,14)$$



表 6.14 状态转换真值表

输入				输出			输入				输出		
Q_3	Q_2	Q_1	Q_0	Y_2	Y_1	Y_0	Q_3	Q_2	Q_1	Q_0	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	1	0	0	0	×	×	×
0	0	0	1	0	0	1	1	0	0	1	1	1	0
0	0	1	0	0	1	0	1	0	1	0	1	0	1
0	0	1	1	0	1	1	1	0	1	1	1	0	0
0	1	0	0	1	0	0	1	1	0	0	0	1	1
0	1	0	1	1	0	1	1	1	0	1	0	1	0
0	1	1	0	1	1	0	1	1	1	0	0	0	1
0	1	1	1	1	1	1	1	1	1	1	0	0	0

经卡诺图化简后(注意, 状态 1000 为约束项), 得

$$Y_2^{N+1} = Q_3^N \oplus Q_2^N, \quad Y_1^{N+1} = Q_3^N \oplus Q_1^N$$

$$Y_0^{N+1} = Q_3^N \oplus Q_0^N$$

电路实现如图 6.29 所示。

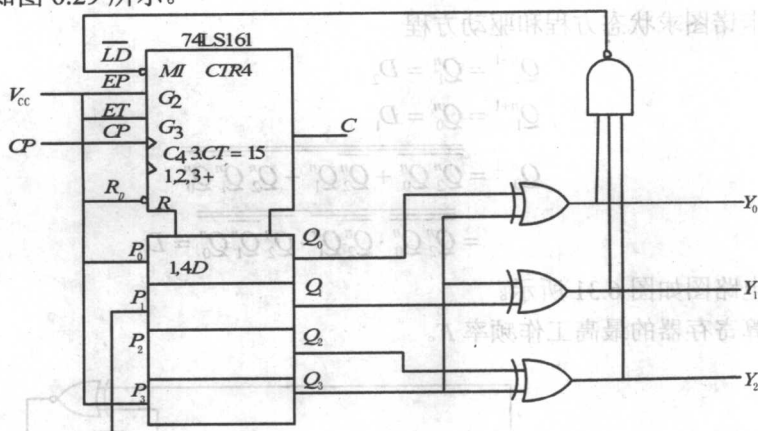


图 6.29

【举一反三】

本题的妙处有两点, 一是用 4 位二进制加计数器实现 3 位二进制加/减计数器, 其中需用换码技术; 二是将 4 位二进制计数器设计成 15 进制计数器, 巧妙地利用并行置数法跳过 1000 状态, 从而可用 3 个 2 输入异或门和一个 3 输入与非门实现。

例 6

(1) 设计一个能周期性地产生 01110001 序列信号的移位寄存器, 该电路工作前要清 0。记忆元件用正延迟 D 触发器, 附加门电路限用 NAND 电路。给出设计过程。

(2) 对本题(1)的移位寄存器电路, 如果触发器的参数有: $t_{pd(cp \rightarrow Q, \bar{Q})} = 20\text{ns}$, 数据建立时间 $T_{SET} = 10\text{ns}$, 数据保持时间 $T_H = 4\text{ns}$, NAND 的 $T_{PD} = 6\text{ns}$, 请估算寄存器的最高工作频率。





【解答】

(1) 画电路的状态转换卡诺图。数据有 8 个状态，用 3 位代码表示，用 3 个触发器实现，根据序列循环 01110001 01110001 ...，状态转换卡诺图如图 6.30 所示。

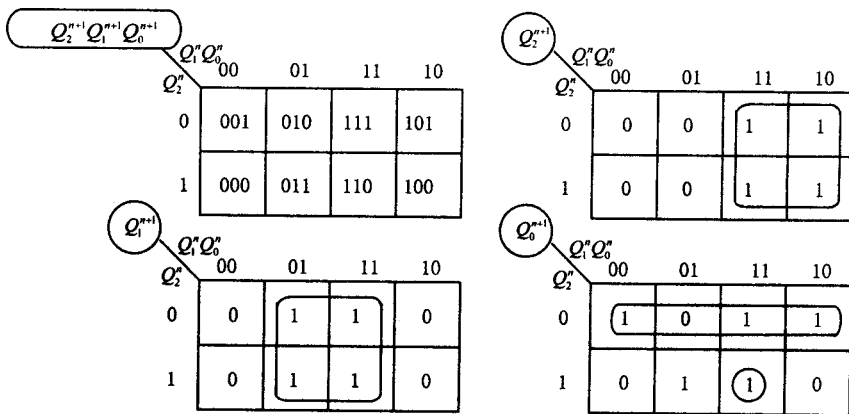


图 6.30

(2) 由卡诺图求状态方程和驱动方程

$$Q_2^{n+1} = Q_1^n = D_2$$

$$Q_1^{n+1} = Q_0^n = D_1$$

$$Q_0^{n+1} = \overline{Q_2^n Q_0^n} + \overline{Q_2^n Q_1^n} + \overline{Q_2^n Q_1^n Q_0^n} = \overline{Q_2^n Q_0^n} \cdot \overline{Q_2^n Q_1^n} \cdot \overline{Q_2^n Q_1^n Q_0^n} = D_0$$

(3) 画电路图如图 6.31 所示。

(4) 估算寄存器的最高工作频率 F 。

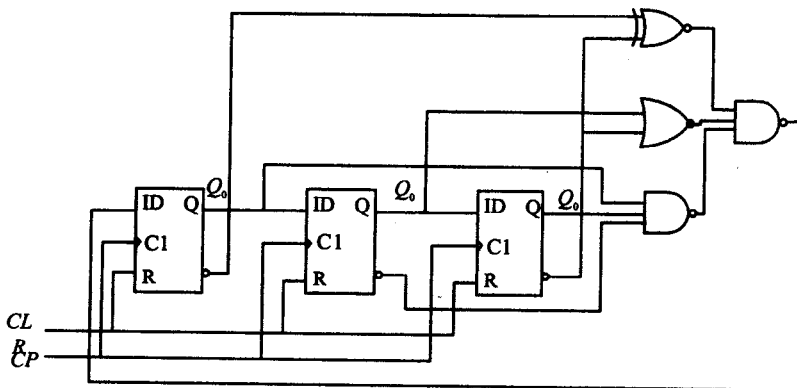


图 6.31



【分析】

3个触发器中,最左边的触发器 FF_0 的翻转等待时间最长,因为其输入 D_0 需状态稳定下来 CP 才能到达,而 D_0 来自各 Q 端并经两级门电路延迟,即自上一个 CP 到达,要经触发器的翻转时间 20ns ,并经NAND门的延迟 $6 \times 2 = 12\text{ns}$,还需保持 10ns 后下一个 CP 才能到达,故最小时钟间隔(即周期) $T_{CP} = 20 + 12 + 10(\text{ns})$,寄存器的最高工作频率 $F = 1/T_{CP} = 23.8\text{MHz}$ 。

【提示】

由于NAND门和触发器 FF_2 的延迟时间, D_0 端的 $T_H = 4\text{ns}$ 可以不予考虑。

6.4 重要习题精选精解

1. 试画出101序列检测器的状态图,已知此检测器的输入、输出序列如下:

- (1) 输入 X : 010101101; 输出 Z : 000101001
 (2) 输入 X : 0101011010; 输出 Z : 0001000010

【分析】

101序列检测器在检测到有串行输入的101信号时产生动作,要求检测器能记住输入的信号从而产生判断。一种较容易想到的方法是产生 $8(2^3)$ 个状态,每个状态对应串行输入3个信号的一种情况。每当有新的信号 X 时状态发生改变。但这种方法需要3个触发器。另一种比较好的思路是只产生4个状态记住输入为0、1、10、101四种情况,这样可以只用两个触发器。本题另外一个需要注意的地方是状态之间的转换条件。从第一组输入输出序列可知当收到101序列后又收到0信号时仍认为如果再收到1信号可以算作101信号;而第二组序列说明101信号产生后又收到01信号时并不算作101信号。这是两种不同的检测器。如果把0、1、10、101状态分别用 S_0 、 S_1 、 S_2 、 S_3 来表示,则第一组序列在 S_3 状态后输入为0时转入 S_2 状态,而第二组序列在此时转入 S_0 状态。在作出状态图后观察可知两组状态图都可进行化简。简化的原则是两个状态若在任何相同的输入下得到的输出信号和状态完全相同,则这两个状态等价,可以合并。

【解答】

(1) 考虑状态之间的转换可得状态图6.32(a)如下。此状态图中 S_1 、 S_3 等的,可以合并。可得化简的状态图6.32(b), S_1 表示合并后的状态。

(2) 由状态之间的转换关系得状态图6.33(a)。此状态图中 S_0 、 S_3 是等价的,可得化简的状态图6.33(b),其中 S_0 表示合并后的状态。



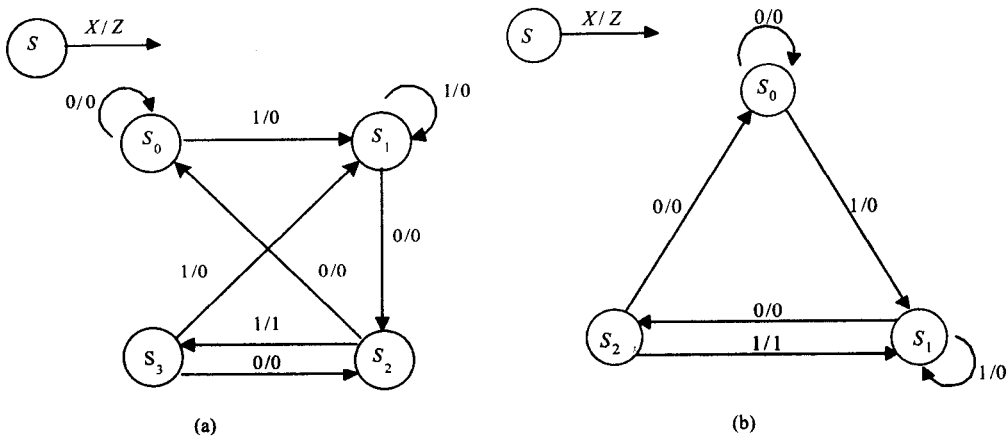


图 6.32

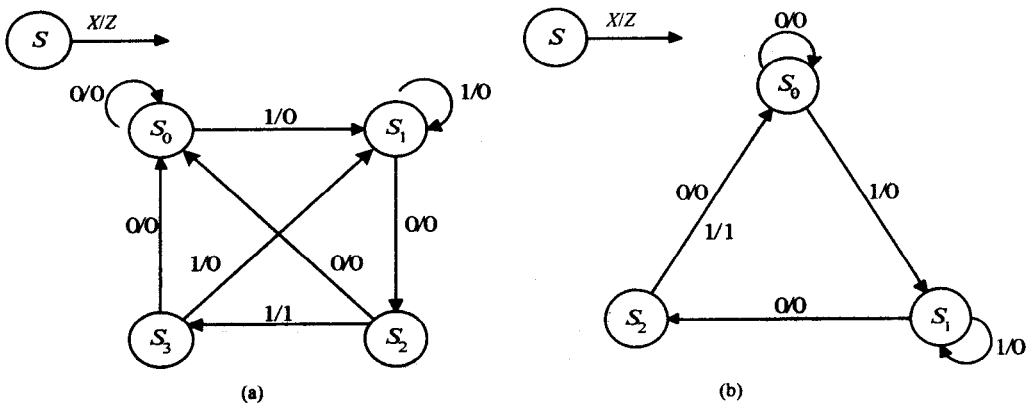


图 6.33

2. 已知某同步时序电路含有两个正边沿 D 触发器, 其驱动方程、输出方程为

$$D_0 = X_1 X_2 + X_1 Q_0^n + X_2 Q_0^n, \quad D_1 = X_1 \oplus X_2 \oplus Q_0^n, \quad Z = Q_1^n$$

输入信号的波形图如图 6.34 所示, 设电路的初始状态为 00, 画出 Q_1 、 Q_0 的波形, 并分析其逻辑功能。

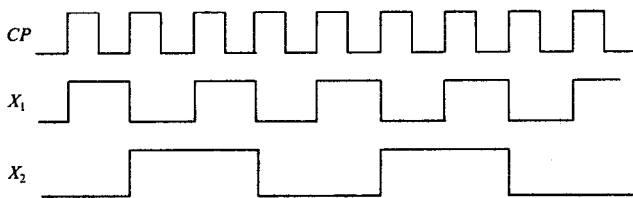


图 6.34

【分析】

在分析时首先要得到状态方程和输出方程。然后根据方程写出状态表和状态图。根据状态图可以很容易地得到电路的功能。有时也可以直接从状态方程和输出方程看出电路的功能。





【解答】

已知 D 触发器的驱动方程和输出方程可得电路的状态方程

$$Q_0^{n+1} = X_1 X_2 + X_1 Q_0^n + X_2 Q_0^n$$

$$Q_1^{n+1} = X_1 \oplus X_2 \oplus Q_0^n$$

输出方程为

$$Z = Q_1^n$$

由状态方程和输出方程作出电路的状态表如表 6.15 所示。

表 6.15 电路的状态表

$Q_1^{n+1} Q_0^{n+1} / Z$ $Q_1^n Q_0^n$ $X_2 X_1$	00	01	10	11
00	00/0	10/0	10/0	01/0
01	10/0	01/0	01/0	11/0
10	00/1	10/1	10/1	01/1
11	10/1	01/1	01/1	11/1

可由方程或状态表得到 Q_1 、 Q_0 的波形如图 6.35 所示。

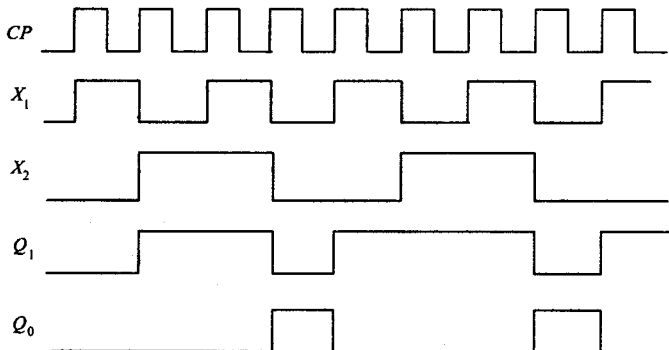


图 6.35

由波形可以看出此电路实现的串行加法器的功能。按时序分别从低位到高位地向 X_1 、 X_2 输入两个加数的值， Q_1 则按时序从低位到高位地输出和数的值， Q_0 产生每一位的向前进位，在下一个时序中参加运算。

值得注意的是题中得到的状态方程是典型的加法器方程，两个方程分别描述和数和进位。因此此题可以直接从方程得到电路的功能。

3. 分析图 6.36 所示同步时序电路，写出各触发器的驱动方程、电路的状态方程和输出方程、画出状态表和状态图。



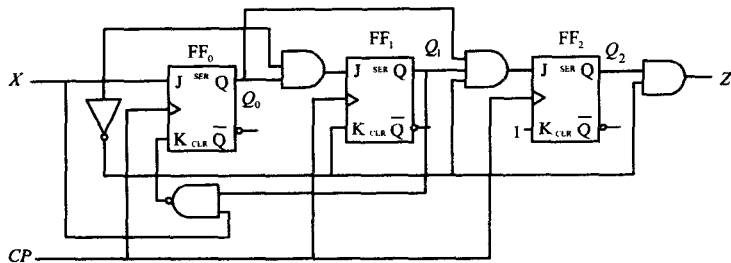


图 6.36

【解答】

由电路图可得各触发器的驱动方程为

$$J_0 = X, \quad J_1 = XQ_0^n, \quad J_2 = \bar{X}Q_1^n Q_0^n$$

$$K_0 = XQ_1^n, \quad K_1 = \bar{X}, \quad K_2 = 1$$

电路的状态方程为

$$Q_2^{n+1} = \bar{X}Q_2^n Q_1^n Q_0^n$$

$$Q_1^{n+1} = XQ_1^n Q_0^n + XQ_1^n = X(Q_1^n + Q_0^n)$$

$$Q_0^{n+1} = XQ_0^n + XQ_1^n Q_0^n = X(Q_1^n + Q_0^n)$$

输出方程为 $Z = \bar{X}Q_2^n$ ，如由方程作出电路的状态表 6.16 及状态图如图 6.37 所示。

表 6.16 电路的状态表

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} / Z$	
	$X=0$	$X=1$
000	000/0	001/0
001	000/0	010/0
010	000/0	011/0
011	100/0	011/0
100	000/1	001/0
101	000/1	010/0
110	000/1	011/0
111	000/1	011/0

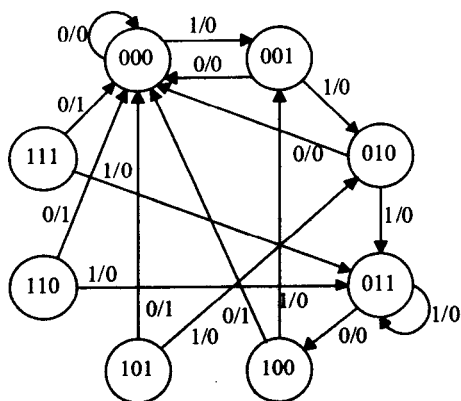


图 6.37

4. 试分析图 6.38 所示时序电路的逻辑功能。

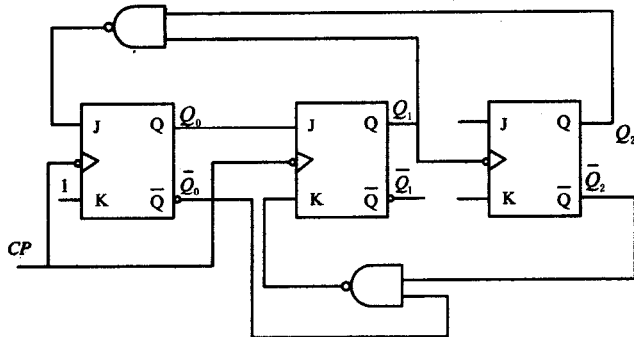


图 6.38

【分析】

此题特别之处在于不是所有的触发器都共用同样的时钟信号，因此在写方程时应注意方程成立的条件，在写状态表和状态图时也应注意状态转换的条件。

【解答】

由电路图得各触发器的驱动方程为

$$J_0 = \overline{Q_2} Q_1, \quad K_0 = 1$$

$$J_1 = Q_0, \quad K_1 = \overline{Q_2} \overline{Q_0}$$

$$J_2 = 1, \quad K_2 = 1$$

电路的状态方程为

$$Q_2^{n+1} = \overline{Q_2} \quad (Q_1 \text{ 从 } 1 \text{ 变为 } 0 \text{ 时成立})$$

$$Q_1^{n+1} = \overline{Q_2} Q_1 \overline{Q_0} + Q_1 Q_0 \quad (\text{时钟下降沿时成立})$$

$$Q_0^{n+1} = \overline{Q_2} \overline{Q_0} + Q_1 \overline{Q_0} = \overline{Q_2} Q_1 \overline{Q_0} \quad (\text{时钟下降沿时成立})$$

由方程可写出电路的状态表如表 6.17 所示。



表 6.17 状态表

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	CP_2
000	001	0
001	010	0
010	011	0
011	100	1
100	101	0
101	110	0
110	000	1
111	000	1

由状态表作出状态图如图 6.39 所示。

可以看出电路的功能是产生七进制计数器，也可以用这个电路作信号的七分频。并且这个电路具有自启动的功能。

5. 试用正边沿 JK 触发器设计一同步时序电路，其状态转换图如图 6.40 所示，要求电路最简。

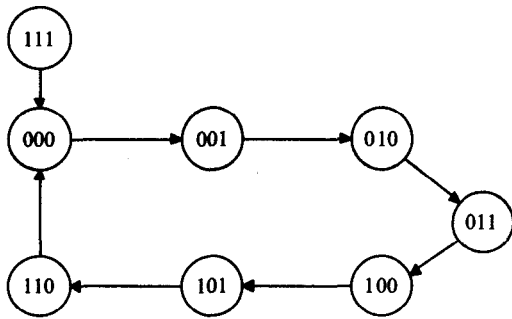


图 6.39

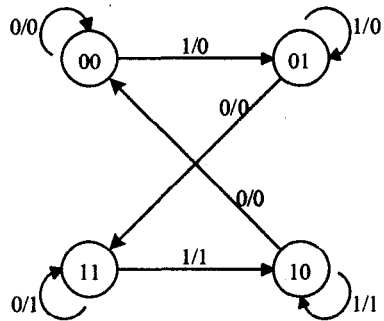


图 6.40

【解答】

由状态图作出状态表如表 6.18 所示。

根据 JK 触发器特征方程可求出使状态发生转换时 JK 的值，作出真值表如表 6.19 所示。

由真值表作出相应的卡诺图如图 6.41 所示。



表 6.18 状态表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	$X=0$	$X=1$
00	00/0	01/0
01	11/0	01/0
10	00/0	10/1
11	11/1	10/1

表 6.19 真值表

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z	J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	×	0	×
0	0	1	1	1	0	1	×	×	0
0	1	0	0	0	0	×	1	0	×
0	1	1	1	1	1	×	0	×	0
1	0	0	0	0	0	0	×	1	×
1	0	1	0	1	0	0	×	×	0
1	1	0	1	0	1	×	0	0	×
1	1	1	1	1	1	×	0	×	1

J_1

X $Q_1 Q_0$

X	00	01	11	10
0	0	1	×	×
1	0	0	×	×

K_1

X $Q_1 Q_0$

X	00	01	11	10
0	×	×	0	1
1	×	×	0	0

J_0

X $Q_1 Q_0$

X	00	01	11	10
0	0	×	×	0
1	1	×	×	0

K_0

X $Q_1 Q_0$

X	00	01	11	10
0	×	0	0	×
1	×	0	1	×

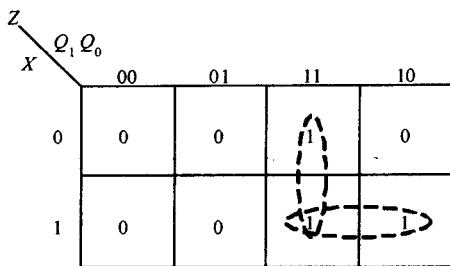


图 6.41

卡诺图化简得

$$J_0 = X\overline{Q_1}^n, \quad J_1 = \overline{X}Q_0^n$$

$$K_0 = XQ_1^n, \quad K_1 = \overline{X}Q_0^n$$

$$Z = XQ_1^n + Q_1^n Q_0^n$$

由方程作出电路图如图 6.42 所示。

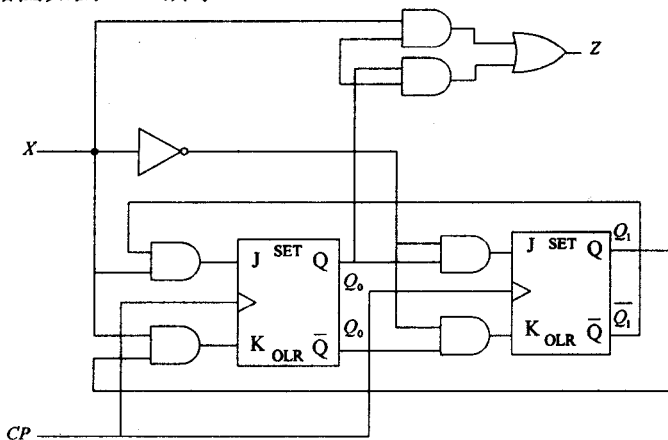


图 6.42

6. 试分析图 6.43 所示电路的功能，各触发器初态为 0。

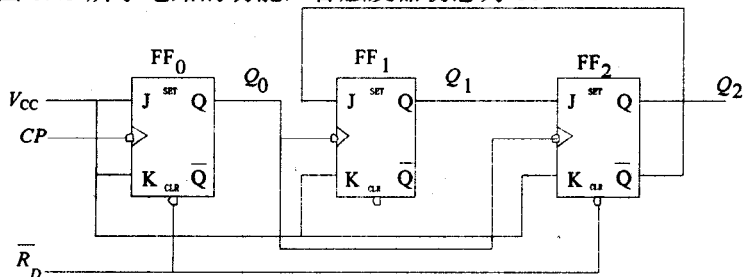


图 6.43

【分析】

图 6.42 所示电路，如用电路方程分析其电路功能，则比较繁琐，不够直观。一般使用状态转换真值表或状态图进行分析。本题电路是 3 个主从式 JK 触发器级连而成，分析





时先找出每种初态对应的次态，再整理找出其逻辑功能。

【解答】

当控制信号有效时逻辑如表 6.20 所示。

表 6.20 功能表

	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
循 环 状 态	0	0	0	0	0	1
	0	0	1	0	1	0
	0	1	0	0	1	1
	0	1	1	1	0	0
	1	0	0	1	0	1
	1	0	1	0	0	0
无效状态	1	1	0	1	1	1
	1	1	1	0	0	0

由表 6.19 和图 6.43 可以看出本题电路是一模 5 计数器，并有自启动功能和控制端清 0 功能。

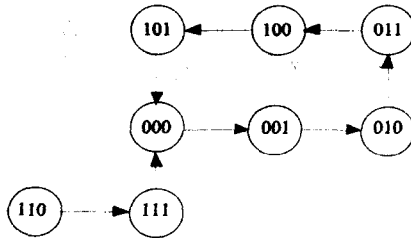


图 6.43

7. 已知触发器电路如图 6.44 所示，输入波形如图 6.45 所示，试分析该电路，并画出 Q_1 、 Q_2 的波形。

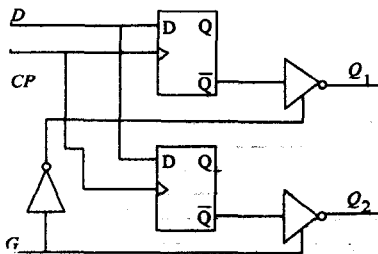


图 6.44

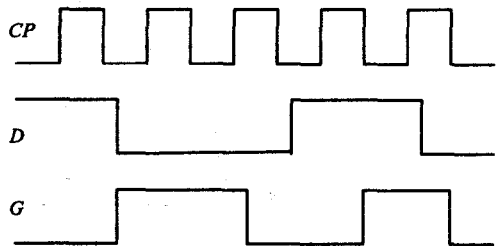


图 6.45

【分析】

如图所示电路的两个触发器的输入相同，因此它们的输出相同，根据 D 触发器的逻辑功能不难得出它们的输出 Q (图 6.46 所示)。它们的反向输出端都与三态门相连，因此 Q_1 是在控制信号 G 的低电平时导通，控制信号高电平时为高阻，而 Q_2 则刚好相反，在控制信号 G 的低电平时高阻，控制信号高电平时为导通。



【解答】

如图 6.46 所示。

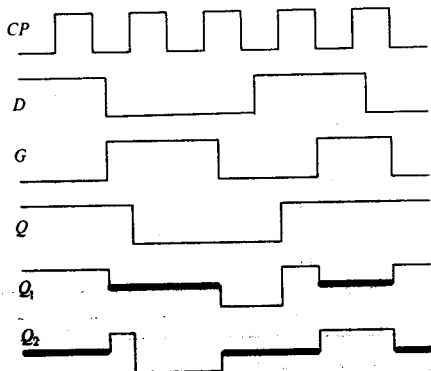


图 6.46

8. 已知 74374 是具有三态输出控制端 G 的触发器, 其功能表和电路如图 6.47 和表 6.21 所示, 现用 74374 组成某电路(图 6.48), 试分析其功能。

表 6.21 功能表

G	CP	D	Q
1	X	X	Z
0	┐	1	1
0	┐	0	0
0	0	X	Q

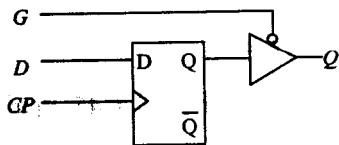


图 6.48

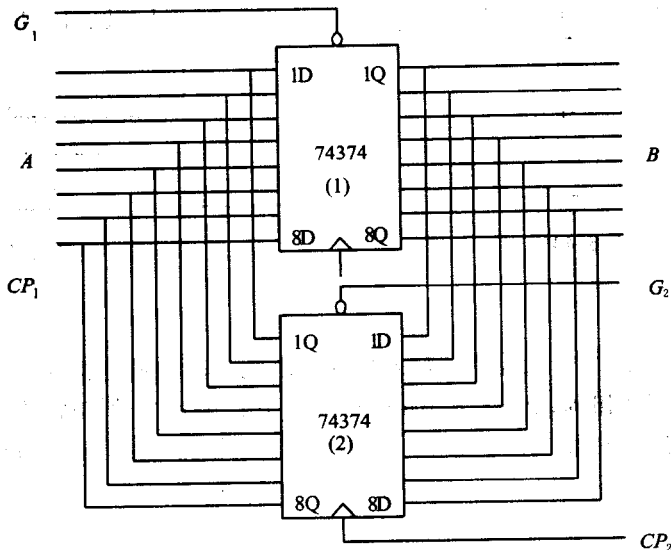


图 6.47



【解答】

根据 74374 的电路可以看出它具有寄存功能, 在时钟 CP 的上升沿数据 D 被存入 D 触发器中, 它还有三态输出控制 $G=0$ 时触发器的输出端数据被输出, $G=1$ 时输出高阻。

题图 6.47 所示电路是由两个 74374 组成, 其中 A 与 74374(1) 的输入端和 74374(2) 的输出端相连, 而 B 与 74374(2) 的输入端和 74374(1) 的输出端相连。可见 A 端和 B 端都是双向端口, 因此当 CP_1 上升沿时, 74374(1) 存储由 A 或 74374(2) 传来的数据, 当 $G_1=0$ 时 74374(1) 将数据传出至 B 端或 74374(2), 同样当 CP_2 上升沿时, 74374(2) 存储由 B 或 74374(1) 传来的数据, 当 $G_2=0$ 时 74374(2) 将数据传出至 A 端或 74374(1)。

因此, 此电路可以实现以下一种或几种功能:

(1) 防止 A 端和 B 端的数据发生冲突, 例如: A 端有某发送器件须发送数据给 B 端某接收器件, 同时 B 端也有某发送器件须发送数据给 A 端某接收器件。由于 A 端和 B 端有可能同时发送或接收数据, 造成数据冲突, 影响正常数据交换。此时将图 6.47 电路接入其中, 由 A 端器件控制 74374(1) 的 CP_1 和 74374(2) 的 G_2 , 并使它门交替有效, 由 B 端器件控制 74374(2) 的 CP_2 和 74374(1) 的 G_1 , 并使它门交替有效。此时如果 A 端和 B 端发送和接收数据, A 端可将数据发出, 并使 74374(1) 的 CP_1 处于上升沿接收数据, 而 74374(2) 的 G_2 无效输出端高阻, 将发送的数据存入 74374(1) 中, 然后使 74374(1) 的 CP_1 处于低电平保持数据, 而 74374(2) 的 G_2 有效, 输出刚由 B 端存入的临时数据。 B 端也以同样的方法发送和接收数据。这样即使同时发送和接收也不会造成冲突, 但 A 端和 B 端也须达成某种协议, 防止旧数据还没取走, 新数据已到, 将旧数据覆盖的情况。

注: 此时图示电路相当于一字节的缓存, 临时存储数据。而 A 、 B 两端得在发送和接收状态间不停地转换, 对发送和接受的效率影响较大, 如果能将图示电路的存储能力加大 (如: 将它们并联, 并用地址选择), 则 A 、 B 两端可发送一批数据后再转换为接收状态, 接收一批数据, 这样发送和接收效率会有所提高。

(2) 暂存数据。例如: 有一高速器件须发送数据给一低速器件, 如果直接发送, 则高速器件必须等待低速器件接收完毕才能发送下一字节, 并且在此段时间内高速器件的输出端必须保持数据, 因此高速器件在此段时间内无法发送其他数据。高速器件接收数据也一样。这样严重影响高速器件的性能, 此时将图 6.30 电路接入, 方法与上一功能相似。这样, 高速器件在这段时间内可以处理其他数据, 待低速器件接收完, 再发下一字节数据, 同样加大此电路存储能力, 可提高效率。

(3) 队列式存储器(先进先出)。由于此电路有存储能力, 可将它当存储器使用, 如: A 端有数据需要存储, 可先将数据存入 74374(1) 中, 再将它们移入 74374(2) 中, 此时还可将另一数据存入 74374(1), 然后从 74374(2) 读取。这样先存的数据先被读出, 后存的数据后被读出, 因此相当于一个深度为 2 的队列寄存器。

注意, 当 A 端有外部数据输入时, 一定要使 74374(2) 的 $G_2=1$, 否则会出现数据冲突, B 端亦然。

9. 图 6.49 所示为一可变进制计数器。该计数器由 4 个 JK 触发器, 一个 3 线-8 线译码器 T330 和一个 4 选 1 数据选择器组成。试问当 $AB=00$ 、 01 、 10 、 11 时, 分别组成几进制计数器? 简述其中一种情况的原理。



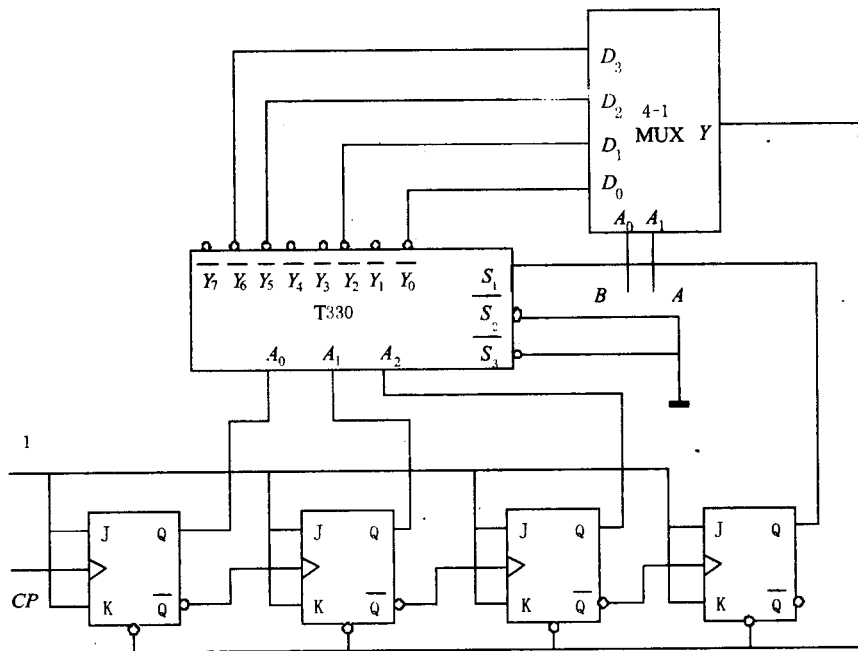


图 6.49

【解答】

本例电路中，4 个 JK 触发器首先被接成 4 位异步二进制加法计数器电路；计数器的输出 $Q_3Q_2Q_1Q_0$ 经 3 线—8 线译码器 T330 译码后，作为 4 选 1 数据选择器的数据输入端，然后，选择器在输入信号 AB 的控制下，其输出 Y 作为复位信号被反馈到 4 个 JK 触发器的异步复位端 $\overline{R_D}$ 。可见，译码器 T330 和数据选择器完成的主要功能是：根据输入信号 AB 的取值，选中计数器的某一状态 $Q_3Q_2Q_1Q_0$ 作为 SM 状态(例如，当 $AB=00$ 时， $SM=Q_3Q_2Q_1Q_0=1000$)，并将其译码后作为反馈置零信号 $\overline{R_D}$ ，从而构成 M 进制计数器。显然，AB 的取值不同，用于产生反馈置零信号 $\overline{R_D}$ 的 SM 状态就不同，故改变 AB 的取值即可改变计数器的模，从而构成可变进制计数器。

根据上述分析可知，当 $AB=00、01、10、11$ 时，引起异步复位的暂态 SM 分别为 1000、1010、1101 和 1110，因此分别组成八进制、十进制、十三进制和十四进制计数器。

以 $AB=10$ 时为例，简述电路的工作原理如下：随着计数脉冲 CP 的输入，4 个 JK 触发器的状态 $Q_3Q_2Q_1Q_0$ 按二进制规律递增增加计数，当 $Q_3Q_2Q_1Q_0=SM=1101$ 时，数据选择器的输出 $W=D_2=Y_5=0$ ，使 4 个 JK 触发器异步复位，其状态转换图如图 6.50 所示。

可见，电路构成十三进制计数器。

在构成电路的信号序列时必须对信号序列中每一个输入输出信号指定状态。这是与同步时序电路有所不同之处。举例说明异步时序电路的冒险现象。

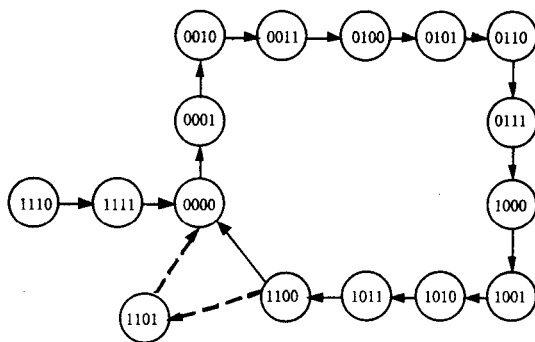


图 6.50

6.5 两级训练题

6.5.1 达标训练题

1. 填空题

- (1) 时序逻辑电路按其状态改变是否受统一定时信号控制, 可将其分为_____和_____两种类型。
- (2) 一个同步时序逻辑电路可用_____、_____和_____3组函数表达式描述。
- (3) 一个 Mealy 型 0011 序列检测器的最简状态表中包含_____个状态, 电路中有_____个触发器。

2. 选择题

- (1) 构造一个模 10 同步计数器, 需要_____个触发器。
 - A. 3 个
 - B. 4 个
 - C. 5 个
 - D. 10 个
- (2) 实现同一功能的 Mealy 型同步时序电路比 Moore 型同步时序电路所需要的_____。
 - A. 状态数目更多
 - B. 状态数目更少
 - C. 触发器更多
 - D. 触发器更少
- (3) 同步时序电路设计中, 状态编码采用相邻编码法的目的是_____。
 - A. 减少电路中的触发器
 - B. 提高电路速度
 - C. 提高电路可靠性
 - D. 减少电路中的逻辑门

3. 判断题

- (1) 同步时序逻辑电路中的存储元件可以是任意类型的触发器。(Y/N)
- (2) 若某同步时序逻辑电路可设计成 Mealy 型或 Moore 型, 则采用 Mealy 型电路比采用 Moore 型电路所需状态数目少。(Y/N)

- (3) 实现同一功能的最简 Mealy 型电路比最简 Moore 型电路所需触发器数目一定更少。(Y/N)
- (4) 等效状态和相容状态均具有传递性。(Y/N)
- (5) 最大等效类是指含状态数目最多的等效类。(Y/N)
- (6) 一个不完全确定原始状态表的各最大相容类之间可能存在相同状态。(Y/N)
- (7) 一个完全确定原始状态表的各最大等效类之间可能存在相同状态。(Y/N)
- (8) 同步时序逻辑电路设计中, 状态编码采用相邻编码法是为了消除电路中的竞争。(Y/N)
- (9) 根据最简二进制状态表确定输出函数表达式时, 与所选触发器的类型无关。(Y/N)
- (10) 设计一个同步模 5 计数器, 需要 5 个触发器。(Y/N)
- (11) 同步时序逻辑电路中的无效状态是由于状态表没有达到最简导致的。(Y/N)
- (12) 一个存在无效状态的同步时序逻辑电路是否具有自启动功能, 取决于确定激励函数时对无效状态的处理。(Y/N)

4. 触发器组成某一电路(图 6.51), 试画出 Q_1 , Q_2 , Z 的波形(设初态为 $Q_1=1$, $Q_2=0$), 并指出该电路的功能。

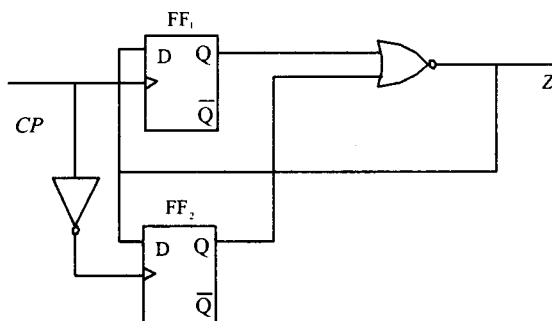


图 6.51

5. 已知状态表如表 6.22 所示, 试作出相应的状态图。

表 6.22 图 6.51 的状态表

Q^n	Q^{n+1}/Z_2				Z_2
	$X_2 X_1=00$	$X_2 X_1=01$	$X_2 X_1=11$	$X_2 X_1=10$	
S_0	$S_0/0$	$S_1/0$	$S_2/1$	$S_3/0$	1
S_1	$S_1/0$	$S_2/1$	$S_0/0$	$S_3/1$	1
S_2	$S_2/0$	$S_1/0$	$S_3/0$	$S_3/0$	1
S_3	$S_3/0$	$S_0/1$	$S_2/0$	$S_2/0$	1



6.5.2 考研挑战题

1. 已知状态图如图 6.52 所示，试作出它的状态表。
2. 试分析图 6.53 中所示的时序电路，画出状态图。

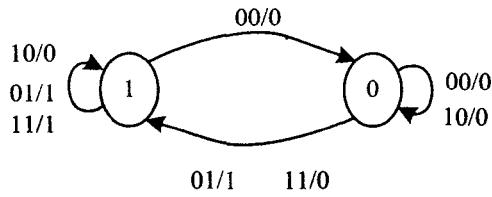


图 6.52

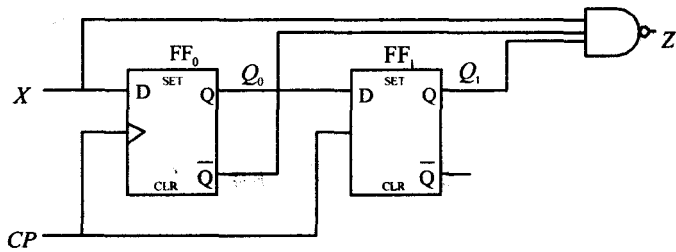


图 6.53



第7章 常用时序逻辑功能器件

7.1 本章知识结构图

在介绍计数器、寄存器及移位寄存器等逻辑功能的基础上，重点介绍这些逻辑器件上的附加控制端的功能。使学生能够根据器件的功能表，正确合理地运用这些控制端，最大限度地发挥所用器件的潜力，设计出任何其他逻辑功能的时序电路。本章知识结构图如图 7.1 所示。

7.2 疑难解惑

问题 7.2.1 寄存器和锁存器有何区别？

【指点迷津】

从寄存数据角度看，寄存器和锁存器的功能是一致的，其区别仅在于寄存器中用边沿触发器，而锁存器中用电平触发器。用哪一种电路寄存信息，取决于触发信号和数据之间的时间关系。若输入的有效数据稳定先于触发信号，则需采用边沿触发的触发器组成的基本寄存器；若输入的有效数据的稳定滞后于触发信号，则只能使用锁存器。

问题 7.2.2 移位寄存器有何特点？各有何用途？

【指点迷津】

寄存器是用以暂存二进制代码的逻辑部件，能实现对数据的清除、接收、保存和输出等功能。移位寄存器除了上述功能外还具有移位功能。

移位寄存器具有数码的寄存和移位两个功能。若在移位脉冲(一般就是时钟脉冲)的作用下，寄存器中的数码依次向左移动一位，则称左移；如依次向右移动一位，称为右移。移位寄存器具有单向移位功能的称为单向移位寄存器；既可左移又可右移的称为双向移位寄存器。

移位寄存器的设计比较简单，因为它的状态要受移位功能的限制原态为 010，它右移时，其次态只有两种可能，当移进 1 时，则次态，为 101；如移进 0，则次态为 001，不可能有其他的次态出现，否则就失去移位功能。

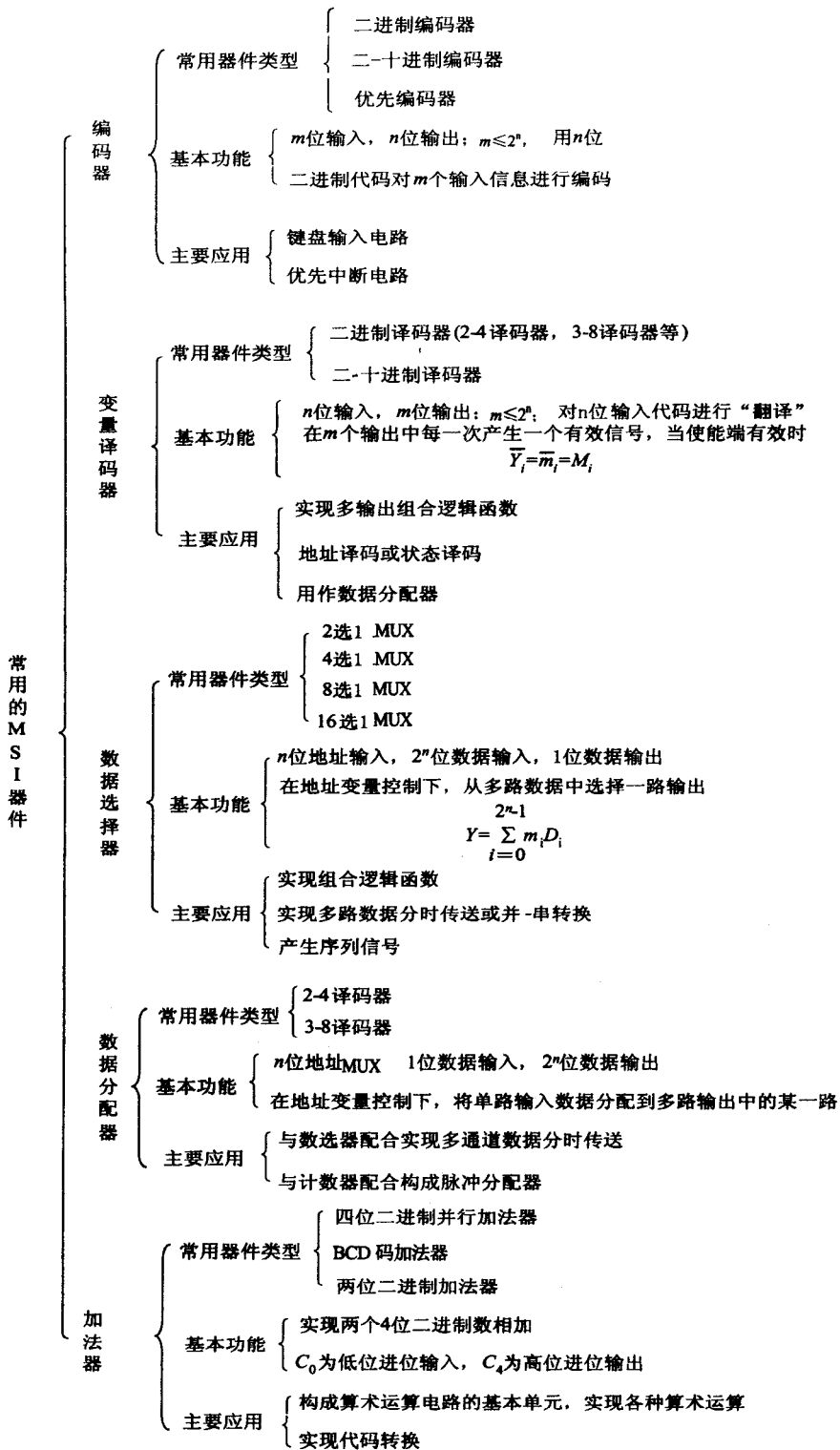


图 7.1





习题 7.2.3 计数器可分为哪几种类型?有何特点?

【指点迷津】

计数器是一种对输入脉冲进行计数的逻辑部件。

(1) 基本功能: 统计输入脉冲个数。

计数器中的数是用触发器状态组合来表示的, 在输入脉冲作用下, 电路在有限个状态中循环, 其循环一周所经历的状态总数称为计数器的模, 用 M 表示。换言之, 计数器所能记忆脉冲的最大数目 M 称为计数器的模。

(2) 计数器的类型

按工作方式分类, 可分为同步计数器和异步计数器。

按进位制分类, 可分为二进制计数器, 十进制计数器, 任意进制计数器等。

按功能分类, 可分为加法计数器, 减法计数器, 加/减可逆计数器等。

如果按计数器中数字的编码方式分类, 可分成二进制计数器、二-十进制计数器(如 8421BCD 码十进制计数器)二循环码计数器等;

如果按能计数的最大值来区分, 又有七进制计数器、六十进制计数器, 计数器在数字系统中应用十分广泛, 不仅能统计输入脉冲的个数, 还可以用作分频、定时产生节拍脉冲以及构成序列信号发生器等。

问题 7.2.4 寄存器可分为哪几种类型?有何特点?

【指点迷津】

寄存器是数字系统中用来存放运算数据或运算结果等信息的常用逻辑部件。

基本功能: 接收、保存和传送信息。中规模寄存器除实现基本功能外, 通常具有左、右移位, 串、并输入, 串、并输出, 以及预置、清 0 等多种功能。

常用的寄存器分为两类, 即仅具有存储代码功能的数码寄存器; 具有存储与移位功能的移位寄存器。

因为一个触发器可存储一位二值代码, 所以, 有多少位代码要存储, 寄存器就必须有多少个触发器。由此可见, 触发器组是寄存器的核心组成部分。除此之外, 通常还应有由门电路组成的控制电路, 用于控制寄存器的接收、清零、保持和输出等功能。

寄存器存入数码的方式和从寄存器取出数码的方式都有并行方式和串行方式两种。

输入、输出都为并行方式的寄存器一般称为数码寄存器或静态寄存器。通常, 这种寄存器中的触发器只要求具有, 置 1、置 0 的功能即可。因而, 无论是同步 RS 结构触发器, 还是主从结构或边沿触发结构的触发器, 都可用于构成寄存器。

除了并行输入、并行输出的寄存器外, 其他 3 种输入输出形式的寄存器, 即串行输入并行输出、并行输入串行输出和串行输入串行输出的寄存器, 统称为移位寄存器。所谓移位, 就是指寄存器里存储的代码能在移位脉冲(时钟脉冲)的作用下依次左移或右移。因此, 移位寄存器不但可以用来寄存代码, 还可以用来实现数据的串——并转换、数据运算以及数据处理等。

中规模的移位寄存器种类很多, 就移位方向而言, 有左移、右移和双向移位的; 就寄



存数据的输入/出方式而言,有串入/出、串入/出、并入/出的;此外,还有综合功能的。例如 74LS194A 就是一种具有异步清零、状态保持、右移、左移和同步置数(行输入)合功能的 4 位双向移位寄存器。

寄存器用途广泛,不但可以保存各种信息,而且还可用于实现数据的串——并转换,并一串转换以及构成计数器、对数据进行乘除运算(左移乘 2、右移除 2)。此外,移位寄存器还可以构成环形计数分频器、序列信号发生器、串行数据检测器等。因此,学会设计和运用移位寄存器是一种基本技能。设计的主要依据是:触发器的次态总等于其相邻触发器的现态。

问题 7.2.5 如何用 MSI 芯片设计任意进制计数器?

【指点迷津】

设计计数器时,可用触发器和门电路等小规模芯片实现,但更多地是用 MSI 芯片构成。用 MSI 芯片设计任意进制计数器时,可采用以下 4 种方法:

- (1) 异步清 0 法;
- (2) 同步置 0 法;
- (3) 同步置数法;
- (4) 多片级联法。

问题 7.2.6 何谓序列信号?如何设计序列信号产生器?

【指点迷津】

序列信号是按照一定的顺序排列的周期性的串行二进制码,常用作数字系统的同步信号或地址码,也可以作为可编程逻辑电路的控制信号。环形计数器组成的顺序脉冲发生器只是序列信号中的一种特例,每个序列中只有一个 1,或者只有一个 0。序列信号按照其产生的序列循环长度 M 和移位寄存器(或计数器)的级数 n 分为 3 种:

- (1) 最大循环长度序列,循环长度 $M=2^n$;
- (2) 最长线性序列码(伪随机序列码或称 m 序列码),循环长度 $M=2^n-1$;
- (3) 任意循环长度序列码(非最大循环长度序列码),循环长度 $M<2^n$ 。

字序列信号可用以下两种方法产生:

(1) 计数器——数据选择器法

用多个数据选择器的输出分别表示一个数据位,多个数据选择器的输出并行表示一个数据“字”,这些数据选择器都用同一个地址码选通,该地址码来自同一个计数器输出。

(2) 环形计数器法

与计数器——数据选择器法类似,用多个环形计数器的输出并行表示一个数据“字”,而各环形计数器都用同一个时钟 CP ,并分别循环输出各数据字的“位”信号。





问题 7.2.7 如何设计串行序列信号检测器?

【指点迷津】

对串行输入数据实施检测时,常使用两种方法:

- (1) 用移位寄存器加译码电路。
- (2) 根据状态转换图用触发器和门电路设计电路。

对于脉冲序列检测器(也叫串行数据检测器)这类时序电路,在建立原始状态转换图/表时,要注意下列几个问题:

- (1) 要检测的有效码长度。
- (2) 有效序列是否可重叠。
- (3) 是从高位还是从低位开始检测。
- (4) 输出情况。

具体方法:如果有效序列长度为 n ,则设 $n+1$ 个状态。此时,若有效序列第一个输入为 0,则设初态为 1,否则,设初态为 0。初态后依次排出有效序列的各种输入/输出情况,并在每个输入/输出后设一个状态,用箭头表示后继关系,最后,再考虑在每个状态出现非有效输入时的次态,便建立起原始状态转换图。

7.3 典型例题与考研题分析

7.3.1 典型例题分析

例 1 试用集成中规模 4 位二进制计数器 SN54/74LS161 采用复位法(异步清除)及置数法(同步置数)分别设计模 $M=12$ 的计数分频电路。

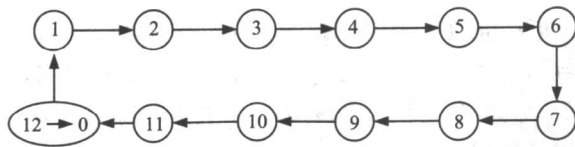
【分析】

SN54/74LS161 器件,具有异步清除和同步置数两种功能。置数又可分为置 0000 法、置 1111 法和置这二者间的任意数法,以及利用进位输出置最小数等 4 种方式。所谓置最小数,即所置入的数是计数的起点,也就是计数循环的最小数。因此本例所要设计的模 12 计数分频电路具有多种形式。

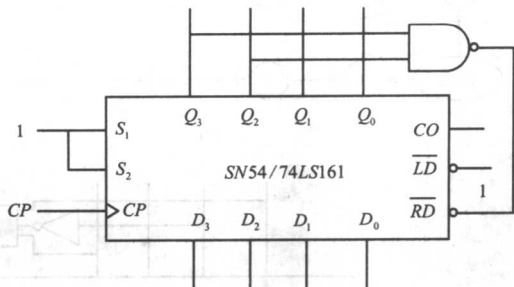
【解答】

- (1) 用复位法(异步清除)实现。其逻辑图及状态转移图如图 7.2 所示。
- (2) 用置 0000 法实现。其逻辑图及状态转移图如图 7.3 所示。
- (3) 用置 1111 法实现。其逻辑图及状态转移图如图 7.4 所示。
- (4) 用置任意数(例如置 1000)法实现。
- (5) 用进位输出置最小数法实现。



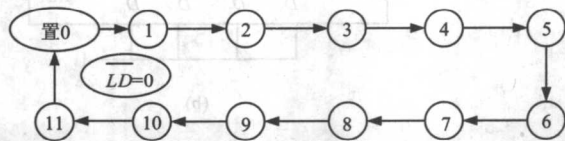


(a)

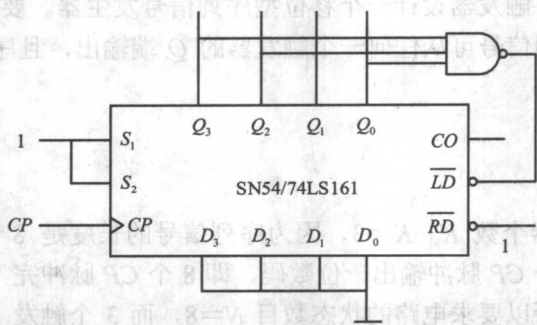


(b)

图 7.2



(a)



(b)

图 7.3

【举一反三】

本例用 5 种方法实现了设计要求，均得出模 $M=12$ 的计数分频电路。有两点值得注意：一是用复位法时，若模为 M 则由 M 产生复位信号；用置 0000 法时，若模为 M 则由 $(M-1)$ 产生置数信号；用置 1111 法时，若模为 M 则由 $(M-2)$ 产生置数信号；用置任意数法时，可在该器件的状态转移。图中，从所置入的数对应的状态开始顺序数至 M 个状态，用此状态产生置数信号；如果用进位输出置最小数法时，所置数据等于 $2^4 - M$ 。这是一种普遍适用的规则，也是分析和设计此类题型的一种技巧。二是用置 1111 法时，千万注意不要使电路在 1111 置入之后状态滞留不动，即总是处于 $\overline{LD}=0$ 的置数状态上。例如



在本例中, 当状态为 $Q_3Q_2Q_1Q_0=1010$ 时, $LD=0$, 下一拍 CP 信号输入时置 1111。若置数信号由 Q_3 和 Q_1 相与取反生成, 则 1111 输入后 Q_3 和 Q_1 仍为 1, 而使 $LD=1$, 电路状态就停留在 1111 上不能正常工作。因此应该用 Q_3, Q_2, Q_1 或 Q_3, Q_1, Q_0 相与取反产生置数信号, 这是要切记的问题。

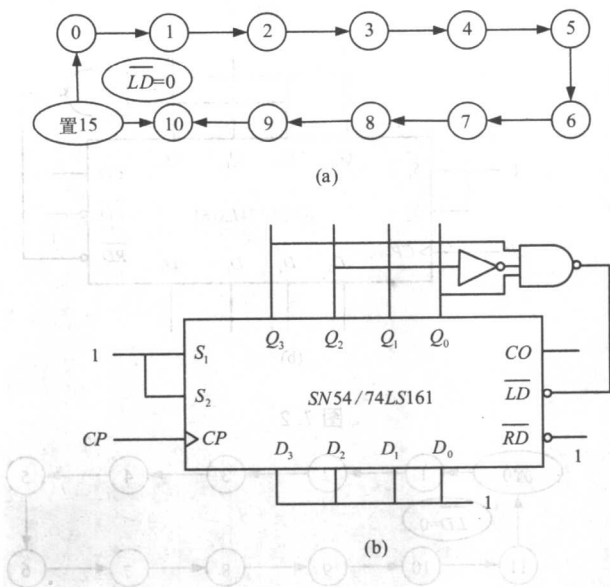


图 7.4

例 2 试用 D 触发器设计一个移位型序列信号发生器。要求电路结构建立在移位寄存器的基础上, 序列信号可从任何一个触发器的 Q 端输出, 且序列信号为 01011100(左在先)。

【解答】

设计步骤如下:

(1) 确定触发器个数 K 。 $K=3$, 因为序列信号的长度是 8 位数码, 也就是一个 CP 脉冲输出一位数码, 即 8 个 CP 脉冲完成一个工作循环, 所以要求电路的状态数目 $N=8$, 而 3 个触发器可以表示 8 个状态。电路状态用 Q_0, Q_1 和 Q_2 表示。

(2) 状态定义。从左到右, 前 3 位数码为 010, 为第 1 个工作状态, 且状态号为 2。再向右移动一位, 得第二组的 3 位数码为 101, 为第 2 个工作状态, 且状态号为 5。依此类推, 定义过程如图 7.5 所示。

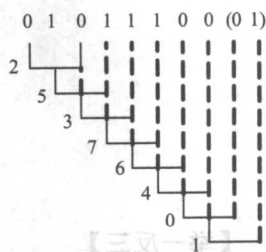


图 7.5

从图 7.5 可知电路工作状态转换顺序为 $2 \rightarrow 5 \rightarrow 3 \rightarrow 7 \rightarrow 6 \rightarrow 4 \rightarrow 0 \rightarrow 1 \rightarrow 2$ 。

(3) 列状态转换真值表。根据状态转换顺序可列状态转换真值表如表 7.1 所示。表中若只看 $Q_3Q_2Q_1$ 或 $Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$ 各自的三列, 则下一行是上一行的次态。从此表中可看出, 在每个 CP 脉冲作用后, $Q_3^{n+1}=Q_2$, $Q_2^{n+1}=Q_1$, 这可以用移位寄存器实现。但 Q_1 的状态要根据另外设计的激励输入 D_1 才能得到。因此该表只列出 D_1 , 不列 D_3 和 D_2 。因为 D 触发器的次态方程为 $Q^{n+1}=D$, 所以 $Q_1^{n+1}=D$, 因此表中 D_1 各行的值与 Q_1^{n+1} 是一致



的。

(4) 求激励输入方程。由于采用移位寄存器的结构, 可以使 $Q_3^{n+1}=Q_2$, $Q_2^{n+1}=Q_1$, 又根据 D 触发器的次态方程, 有 $Q_3^{n+1}=D_3$, $Q_2^{n+1}=D_2$, 所以比较上述方程可得 $D_3=Q_2$, $D_2=Q_1$ 。而 D_1 的激励方程要通过卡诺图化简才能得到。由表 7.1 可画 D_1 的卡诺图如图 7.6 所示。经过卡诺图化简后, D_1 的激励方程为 $D_1=Q_3Q_2+Q_3Q_1+Q_3Q_2Q_1$ 。

表 7.1 状态转换真值表

Q_3	Q_2	Q_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	D_1
0	1	0	1	0	1	1
1	0	1	0	1	1	1
0	1	1	1	1	1	1
1	1	1	1	1	0	0
1	1	0	1	0	0	0
1	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	1	0	1	0	0

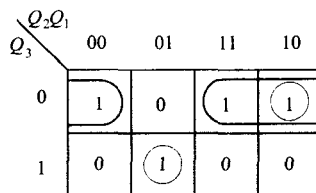


图 7.6

(5) 画电路图。根据以上 D_3 、 D_2 和 D_1 的激励输入方程画电路图如图 7.7 所示。

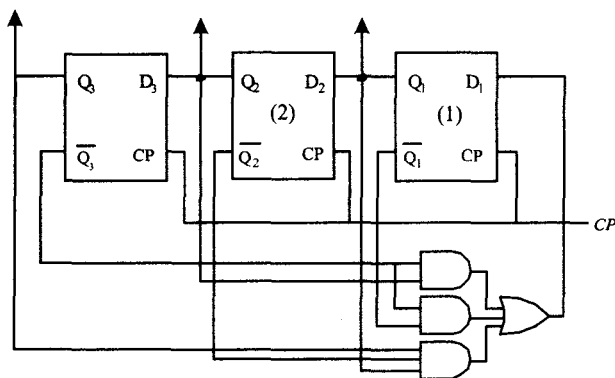


图 7.7

由于该题使用 3 个触发器, 3 个触发器所能表示的 8 个工作状态都在工作循环内, 所以无非工作状态, 不用检查自启动。

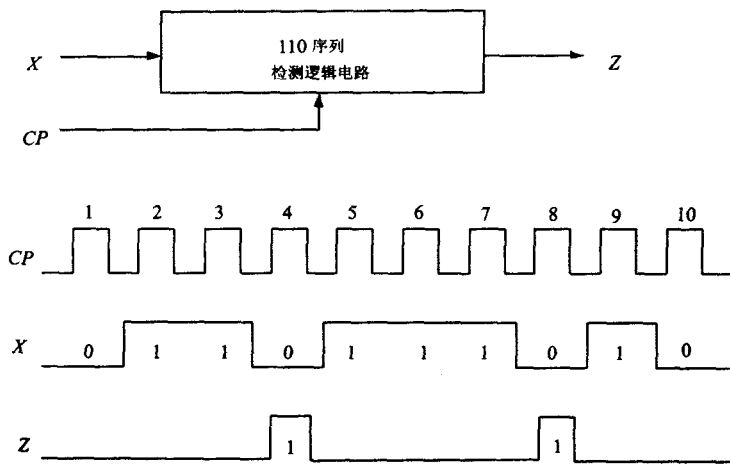
例 3 用与非门和 JK 触发器设计一个同步时序逻辑电路, 以检测输入的信号序列是否为连续的 110。

【解答】

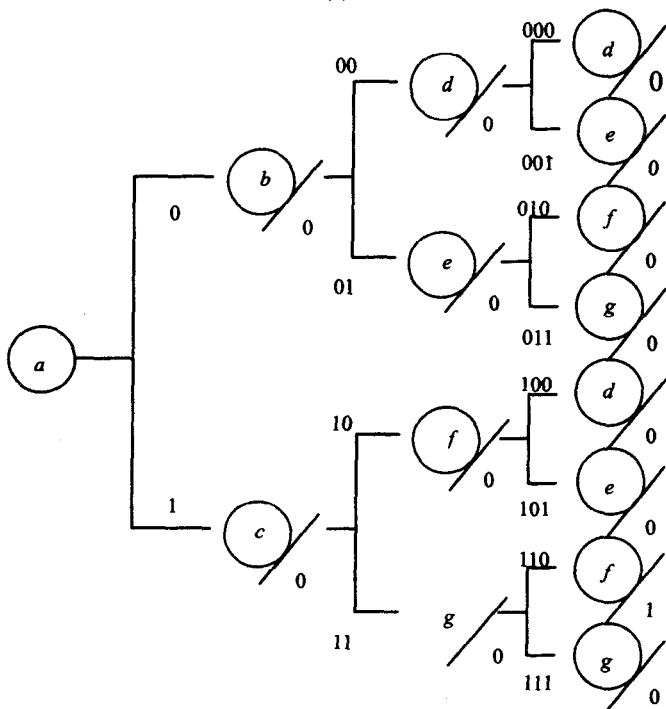
如图 7.8(a)和(b)所示。

可用如下步骤:





(a)



(b)

图 7.8

(1)确定输入变量和输出函数

由题意可知,该时序逻辑电路只有一个输入变量,记为 x ,为二进制序列;只有一个输出函数,记为 Z ,要求它能给出检测信号,以表明输入 x 是否为连续的110序列。

(2)建立原始状态表

设置电路状态目的是利用这些状态记住输入的历史,以便对其后的输入作出响应。常用直接构图法:先设一个初态,从初态开始,每加一个输入可确定一个次态。此过程一直



继续下去，直到不再构成新的状态为止。最后统计有多少个状态。

三位二进制代码的组合最多有 8 种状态，因此对检测一个连续输入的 110 序列，仅 3 个时钟作用下的 f 状态即可记住。因此可得到原始状态表(表 7.2)，它有 7 个状态。

(3)建立最简状态表及状态图

由原始状态表可以看出， $b、d、f$ 状态可以合并， $c、e$ 状态可以合并。用 $q_1=\{b,d,f\}$ 表示 $b、d$ 和 f 合并后的状态。用 $q_2=\{c,e\}$ 表示 $c、e$ 合并后的状态。

可得到一个中间状态表(表 7.3)。

观察中间状态表，发现 $a、q_1$ 状态还可以继续合并。现令 $S_1=\{a,q_1\}$ ， $S_2=q_2$ ， $S_3=g$ ，从而得到最简状态表，它只有 3 个状态。

根据最简状态表(表 7.4)，可画出状态图，如图 7.9 所示。

表 7.2 原始状态表(7 个状态)

S \ X	0	1
a	b, 0	c, 0
b	d, 0	e, 0
c	f, 0	g, 0
d	d, 0	e, 0
e	f, 0	g, 0
f	d, 0	e, 0
g	f, 0	g, 0

表 7.3 中间状态表

S \ X	0	1
a	$q_1, 0$	$q_2, 0$
q_1	$q_1, 0$	$q_2, 0$
q_2	$q_1, 0$	$g, 0$
g	$q_1, 1$	$g, 0$

表 7.4 最简状态表(3 个状态)

S \ X	0	1
S_1	$S_1, 0$	$S_2, 0$
S_2	$S_1, 0$	$S_3, 0$
S_3	$S_1, 1$	$S_3, 0$

(4)状态编码

对状态 $S_1 \sim S_3$ 指定二进制代码：

采用一对一法：3 个状态使用 3 个触发器，设计简单，多用触发器。

采用计数器法：3 个状态使用两个触发器，少用触发器，设计稍复杂。

现采用计数器法，用两个触发器 y_1 和 y_2 实现。令

$$S_1=y_2 y_1(00) \quad S_2=y_2 y_1(10) \quad S_3=y_2 y_1(11)$$

从而画出电路框图如图 7.10 所示。

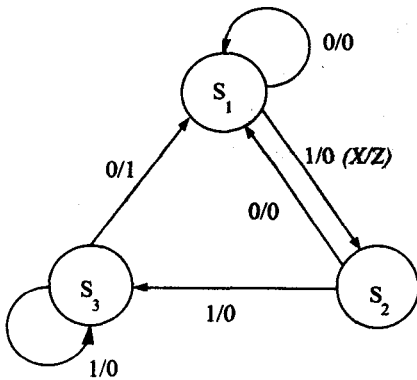


图 7.9

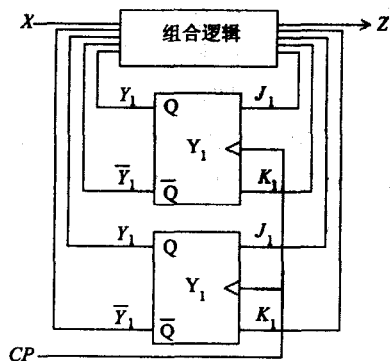


图 7.10

(5)建立状态转移表

将状态编码值代入最简状态表，可得状态转移表 7.5。它用二进制代码来表示现态/输



入与次态/输出的关系。

(6)确定输出函数与激励函数

根据状态转移表,容易找出输入 X , 现态 $y_1^n y_2^n$ 与次态 $y_1^{n+1} y_2^{n+1}$, 输入(J, K)的真值关系。注意, J 和 K 值应由 y_1^{n+1} 和 y_2^{n+1} 的值与 JK 特征方程推导出来,从而列出激励函数与输出函数的真值表(表 7.6)。

表 7.5 状态转移表

X $y_1 y_2$	0	1
00	00/0	10/0
10	00/0	11/0
11	00/0	11/1

表 7.6 激励函数与输出函数的真值表

C (条件)	PS (现态)	NS (次态)		输出
X	$y_1 y_2$	$y_1^{n+1} y_2^{n+1}$	$J_2 K_2 J_1 K_1$	Z
0	0 0	0 0	0 × 0 ×	0
0	1 0	0 0	× 1 0 ×	0
0	1 1	0 0	× 1 × 1	1
1	0 0	1 0	1 × 0 ×	0
1	1 0	1 1	× 0 1 ×	0
1	1 1	1 1	× 0 × 0	0

任意项用 X 表示,并用 X, y_1 和 y_2 的代码组合来表示最小项,由真值表并用卡诺图简化,可得激励和输出表达式:

$$J_2 = \sum(4) = x, \quad K_2 = \sum(2,3) = x$$

$$J_1 = \sum(6) = xy_2, \quad K_1 = \sum(3) = x$$

$$Z = \sum(3) = xy_1$$

掌握了设计规律,特给出次态激励输入有效值的一般公式如下:

$$NS = \sum PS \times C$$

式中, NS 表示次态中某触发器激励函数逻辑值为 1 的所有项, PS 表示相对应的现态中各触发器的特定组合项, C 表示现态条件下的外部输入。

例 4 图 7.11 所示为四位高速同步可逆计数器 MC0136 的逻辑符号,其功能表如表 7.7 所示。该电路的 O_{out} 端为进位/借位输出,进行加 1 计数时,在状态 $Q_3 Q_2 Q_1 Q_0$ 为 1111 输出低电平;进行减 1 计数时,在状态 $Q_3 Q_2 Q_1 Q_0$ 为 0000 输出低电平。试问该计数器在加 1 计数和减 1 计数方式下如何连接可构成变模计数器?画出两种方式下模 10 计数器的连线图。



表 7.7 MC0136 功能表

S_1	S_0	CP	工作方式
0	0		预置
0	1		加计数 ($M=16$)
1	0		减计数 ($M=16$)
1	1		保持

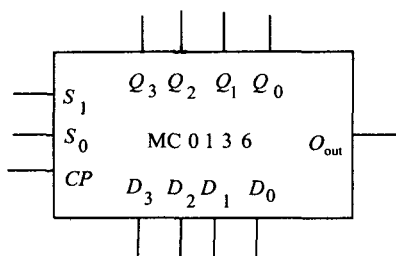


图 7.11

【解答】

根据 MC0136 的工作特性，在加 1 计数时，可令 S_1 接地， O_{out} 接 S_0 ，利用 O_{out} 输出的进位低电平预置计数状态序列的最小数构成变模计数器；在减 1 计数时，可令 S_0 接地， S_1 与 O_{out} 相接，利用 O_{out} 输出的借位低电平预置计数状态序列的最大数构成变模计数器。

图 7.12(a)给出了加 1 计数方式下模 10 计数器的连线图，其计数状态序列为

0110 → 0111 → 1000 → 1001 → 1010 → 1011
→ 1100 → 1101 → 1110 → 1111 → 0110 → ...

图 7.12(b)给出了减 1 计数方式下模 10 计数器的连线图，其计数状态序列为

1001 → 1000 → 0111 → 0110 → 0101 → 0100
→ 0011 → 0010 → 0001 → 0000 → 1001 → ...

例 5 图 7.12 是一个由 4 位双向移位寄存器 T1194 构成的分频器。分析该电路，列出状态转移表，画出时间图并指出该电路的分频系数。

【解答】

在图 7.13 所示逻辑电路中，双向移位寄存器 T1194 工作在右移串行数据输入方式，右移串行输入信号 D_R 即电路输出信号 Z ，其逻辑表达式为

$$Z = D_R = \overline{Q_3}Q_2$$

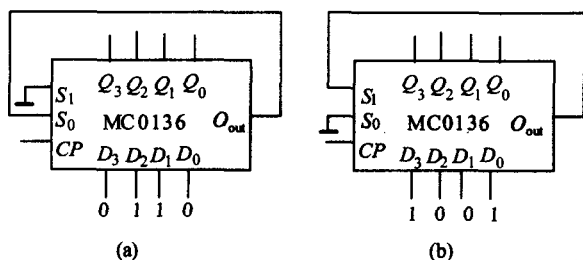


图 7.12

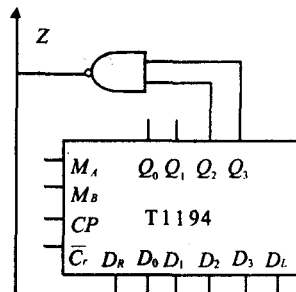


图 7.13

设初始状态 $Q_0Q_1Q_2Q_3 = 0000$ ，根据 T1194 的功能表及 D_R 的逻辑表达式，可列出该电路的状态转移表如表 7.8 所示。





表 7.8 图 7.12 状态转移表

现 态				输 入	次 态			
Q_0	Q_1	Q_2	Q_3		Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	0	1	1	0	0	0
1	0	0	0	1	1	1	0	0
1	1	0	0	1	1	1	1	0
1	1	1	0	1	0	1	1	1
1	1	1	1	0	0	1	1	1
0	1	1	1	0	0	0	1	1
0	0	1	1	0	0	0	0	1
0	0	0	1	0	1	0	0	0

根据状态转移表, 可画出时间图如图 7.14 所示。

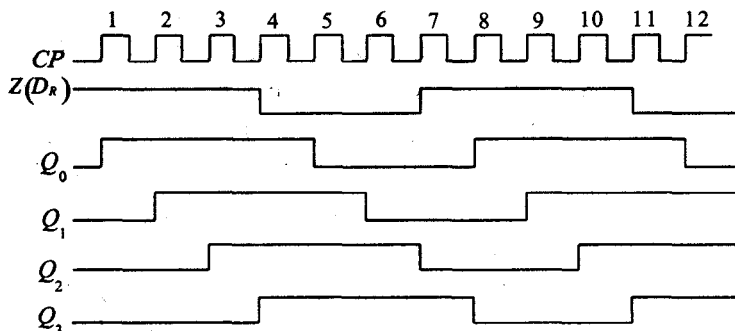


图 7.14

由时间图可知, 该电路是一个分频系数为 7 的分频器。

利用移位寄存器构成的分频器应用很普遍, 一般采用右移方式, 并有一定的组成规律。若将寄存器的第 i 位输出求反, 反馈到低位输入, 可构成分频系数 $K=2i$ 的分频器(偶数分频器); 若将寄存器的第 i 和 $i-1$ 位输出进行“与非”运算后反馈到低位输入, 则可构成分频系数 $K=2i-1$ 的分频器(奇数分频器)。本例的反馈输入信号为第 4 位输出 Q_3 和第 3 位输出 Q_2 进行“与非”运算($D_R = \overline{Q_3 Q_2}$), 故分频系数 $K=2 \times 4 - 1 = 7$ 。

7.3.2 考研题分析

1. 试用 74161 构成同步二十四进制计数器, 要求采用两种不同的方法。

【解答】

因为 $M=24$, 有 $16 < M < 256$, 所以要用两片 74161。将两片的时钟端直接与计数脉冲相连接, 构成同步电路, 并将低位片的进位输出信号连到高位片的计数使能端。用“反馈清零法”或“反馈置数法”跳过 $256-24=243$ 个多余状态。

反馈清零法: 利用 74161 的“异步清零”功能, 在第 24 个计数脉冲作用后, 电路的输出状态为 00011000 时, 将低位片的 Q_D 及高位片的 Q_A 经译码器后, 给两片的异步清零端提供一个清零信号, 使计数器从 00000000 状态开始重新计数。其电路如图 7.15(a)





所示。

反馈置数法：利用 74161 的“同步预置数”功能，在两片 74161 的预置数输入端上从高位到低位分别加上 11101000(对应的十进制数是 232)，并将电路的进位输出信号经反相器反相后接至预置数控制端。这样，在第 23 个计数脉冲作用后，电路输出状态为 11111111，进位输出信号也为 1，经反相器使预置数控制端为零，在第 24 个计数脉冲作用后，将 11101000 状态置入计数器，并从此状态开始重新计数。其电路图如图 7.15(b) 所示。

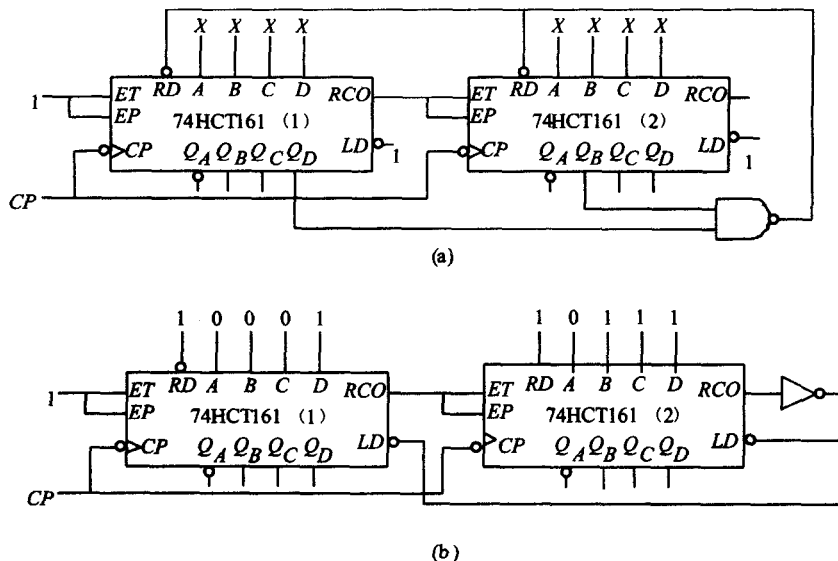


图 7.15

2. 试画出图 7.16 所示逻辑电路的输出($Q_A \sim Q_D$)波形，并分析该电路的逻辑功能。

【解答】

当启动信号端输入低电平时，使 $S_1=1$ ，这时有 $S_0=S_1=1$ ，寄存器 74194 执行并行输入功能， $Q_D Q_C Q_B Q_A = ABCD = 0111$ 。启动信号撤消后，由于 $Q_A=0$ ，经两级与非门作用后，使 $S_1=0$ ，这时有 $S_1 S_0=01$ ，寄存器开始执行右移操作。在移位过程中，因为 Q_A 、 Q_B 、 Q_C 和 Q_D 中总有一个为 0，因而能够维持 $S_1 S_0=01$ 状态，使右移操作持续进行下去。其移位情况如图 7.16 所示。

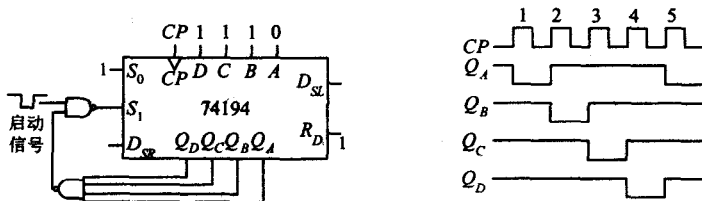


图 7.16

由图可知，该电路能按固定的时序输出低电平脉冲，是一个四相时序脉冲产生电路。

3. 分析下列 3 图(图 7.17、图 7.18、图 7.19)计数器的模。



**【分析】**

计数器 74290, 可以看作是由两个计数器组成, CP_0 和 Q_0 构成了一个模 2 的计数器 (Q_0 状态依次为 0, 1), CP_1 和 Q_1, Q_2, Q_3 构成了一个模 5 的计数器 ($Q_3Q_2Q_1$ 的状态依次为 000, 001, 010, 011, 100), 它们都是在时钟下降沿时计数, 而控制信号同时控制这两个计数器。

令 $R=R_{0A} \& R_{0B}$, $S=S_{9A} \& S_{9B}$ 则其控制功能见表 7.9。

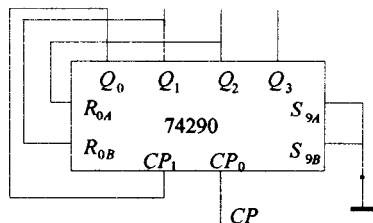


图 7.17

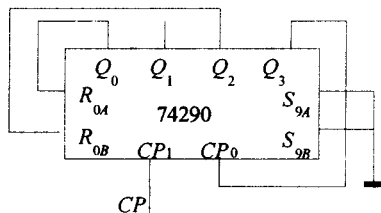


图 7.18

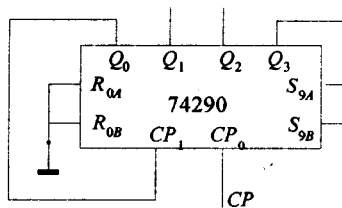


图 7.19

表 7.9 计数器控制

R	S	Q_1	Q_2	Q_3	Q_4
1	0	0	0	0	0
0	1	1	0	0	1
1	1	无			
0	0	计数			

【解答】

图 7.17 中 Q_0 与 CP_1 相连, 即 Q_0 由 1 变为 0 的下降沿 $Q_3Q_2Q_1$ 加 1 计数, 此时两个计数器组成了模 10 的计数器 ($Q_3Q_2Q_1Q_0$ 的状态依次为 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001)。又由于输出端 $Q_1 Q_2$ 与 $R_{0A} R_{0B}$ 相连, 因此在输出信号为 0110 时被清 0, 所以只剩状态(0000, 0001, 0010, 0011, 0100, 0101)。

结论: 模 6 计数器。

图 7.18 中 Q_3 与 CP_0 相连, 即 Q_3 由 1 变为 0 的下降沿 Q_0 加 1 计数, 此时两个计数器依然组成了模 10 的计数器 ($Q_3Q_2Q_1Q_0$ 的状态依次为 0000, 0010, 0100, 0110, 1000, 0001, 0011, 0101, 0111, 1001), 由于输出端 $Q_0 Q_2$ 与 $R_{0A} R_{0B}$ 相连, 因此在输出信号为 0101 时被清 0, 所以只剩状态(0000, 0010, 0100, 0110, 1000, 0001, 0011)。

结论: 模 7 计数器。

图 7.19 中 Q_0 与 CP_1 相连, 与图 7.6 组成了相同的模 10 计数器, 由于输出端 Q_3 与 $S_{9A} S_{9B}$ 相连, 因此在输出信号为 1000 时被置为 1001, 少了状态 1000。所以只剩状态(0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1001)。

结论: 模 9 计数器。

4. 图 7.19 为 74161 和 74151 构成的序列信号发生器, 试求出输出序列 Z。





【分析】

74161 是一个四位计数器，它具有进位输出信号，清 0 信号，和置数信号。图 7.20 所示电路中 74161 所构成的计数器的进位信号与置数信号相连，即计数器进位(1111)时被置数(1010)，因此构成了一个模 6 计数器，其输出依次为本 1010,1011,1100,1101,1110,1111。

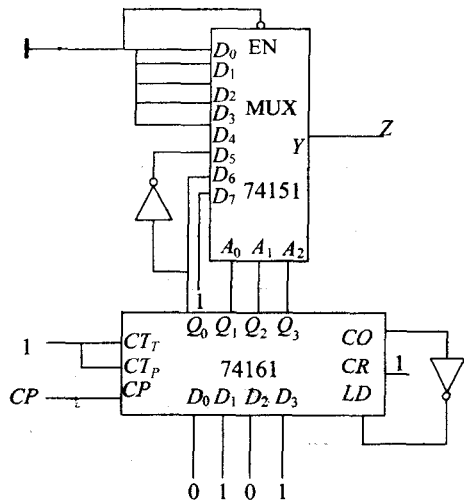


图 7.20

注意：(1)与 74290 的置数不同，74161 是同步置数，因此 1111 状态是计数器的循环状态之一，而 74290 是异步置数，因此触发置数信号的状态是无效状态。(2)在计数器刚开始工作时输出为 0000，须经过一段时间计数器才能进入循环状态，在此之前将有 10 个无效状态 0H~9H(十六进制)。

74151 为 8 选 1 数据选择器，如图数据选择器功能见表 7.10，表 7.10 为计数器输出与 Z 的关系。

表 7.10 数据选择器功能表

$Q_3Q_2Q_1Q_0$	输出	
1010	$Z=D_5$	1
1011	$Z=D_5$	0
1100	$Z=D_6$	0
1101	$Z=D_6$	1
1110	$Z=D_7$	1
1111	$Z=D_7$	1
其他	$Z=D_0 \sim D_4$	0

【解答】

输出序列 Z 为(0000000000)100111。

注：括号中是电路自启动时的无效状态输出的序列，括号外是循环状态输出的序列。

7.4 重要习题精选精解

1. 分析图 7.21 电路，列出电路的状态表，并指出其功能。

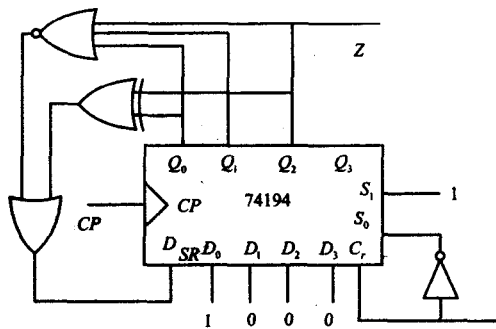


图 7.21

【分析】

74194 是一个双向移位器，当 $S_1=1$ 时右移一位，即 $Q_0 \leftarrow Q_1$ $Q_1 \leftarrow Q_2$ $Q_2 \leftarrow Q_3$ $Q_3 \leftarrow D_{SR}$ 。其中 D_{SR} 是由输出信号 Q_0 、 Q_1 、 Q_2 经过门电路得到的，不难看出当 Q_0 、 Q_1 、 Q_2 全为 0 或 Q_0 、 Q_2 相反时 D_{SR} 才为 1。因此不难得出表 7.11 和图 7.22。

表 7.11 状态表

	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
循环状态	1	1	0	0	1	1	1	0
	1	1	1	0	1	1	1	1
	1	1	1	1	0	1	1	1
	0	1	1	1	0	0	1	1
	0	0	1	1	1	0	0	1
	1	0	0	1	1	1	0	0
无效状态	0	0	0	0	1	0	0	0
	1	0	0	0	1	1	0	0
	0	0	0	1	1	0	0	0
	0	0	1	0	0	0	0	1
	0	0	0	0	1	0	0	0
	1	0	1	0	0	1	0	1
	0	1	0	1	0	0	1	0
	0	1	1	0	1	0	1	1
	1	0	1	1	1	1	0	1
	1	1	0	1	0	1	1	0

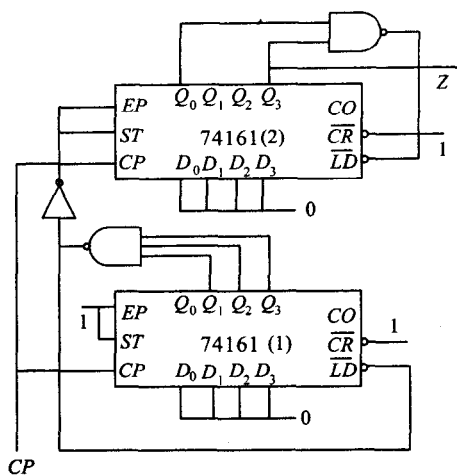


图 7.24

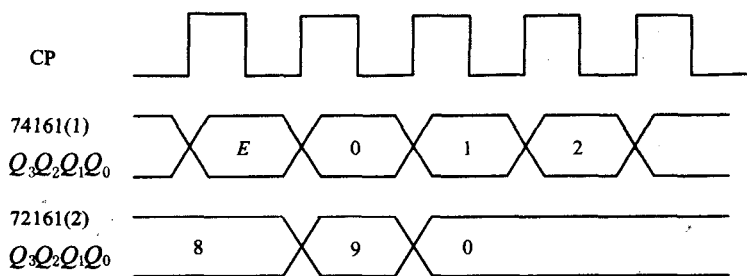


图 7.25

【解答】

分频比为 135:1。

3. 分析图 7.26 和图 7.27 所示计数器电路，指出其模值，并注意它们的进位方式。

【分析】

两图所示电路都是由计数器 74161 组成的，而且两者相似。不难看出每幅图中两个 74161 分别是模 11 和模 2 的计数器。但由于两图的进位方式不同，导致了它们的总模值不同：

图 7.26 的前级的进位信号与后级的时钟相连，即用进位信号作为时钟触发后级，由于置位信号受时钟信号的控制，因此这个电路的模为 $11 \times 2 = 22$ 。

图 7.27 的前级的进位信号与后级的 EP 和 ST 相连，由于置位信号不受 EP 和 ST 的控制，当进位信号为 1 后的一个时钟周期后级计数器就被置位，因此这个电路的模置为 $11 \times 1 = 11$ 。

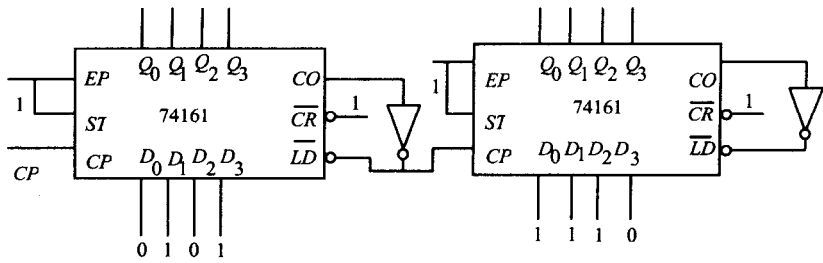


图 7.26

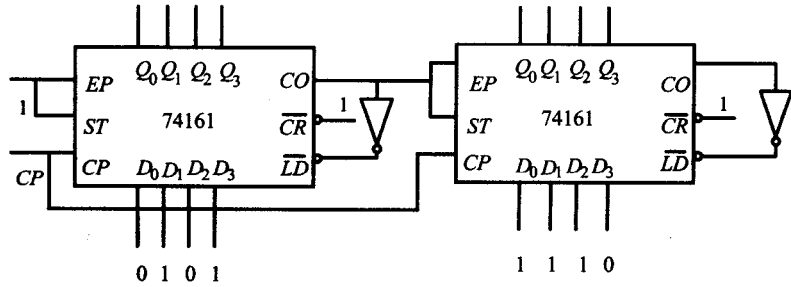


图 7.27

【解答】

进位信号与后级时钟相连：由于时钟信号的优先级一般大于置位信号，因此即使达到了置位的条件，也必须等待前一级的置位信号的上升沿，所以在计算总模值时，需要将达到置位条件的这个状态计算在后一级的模置中，即相当于后级计数器的 CP 与时钟相连时的模置。但这种方法连接有一缺点，即：由于后级的时钟信号是前级的进位信号，那么前级的进位信号必须是稳定的，没有毛刺的。而前级的进位信号一般是由输出端相与得到的，不同的输出端经过不同的路径，因此很可能延时不一样，这样进位信号就可能有毛刺，误触发后级计数器，导致错误计数。

进位信号与后级的控制信号相连：此时要注意与前级相连的控制信号(以下称之为控制信号 K)的优先级和时钟信号，清 0 信号，置数信号等优先级之间的大小对电路的影响。如：假设控制信号 K 的优先级大于时钟信号，则控制信号 K 必须是稳定的，没有毛刺的，否则会误触发。而且在计算模置时要注意控制信号 K 可以不受时钟控制而强制置数或计数。假如控制信号 K 的优先级小于置数信号，则像图 7.27 一样，置数信号不受 K 的控制，在满足置数条件后一周期就会置数，导致计数器总模值比图 7.26 的小。

4. 已知脉冲分配器的输出波形分别如图 7.28 和图 7.29 所示，试用 74161 和 3-8 译码器设计电路，并画出逻辑电路图。

【分析】

图 7.28 和图 7.29 所示波形是一脉冲分配器，即按时钟顺序依次将输出端产生负脉冲，因此可用计数器 74161 产生选择信号，并将它输入 3-8 译码器产生负脉冲，但这样一来负脉冲宽度为一个时钟周期，可以使用具有输出使能端的 3-8 译码器，将其与时钟信号或反向时钟信号相连，控制输出。或者如图 7.30 和图 7.31 所示，在输出端加或门选通。



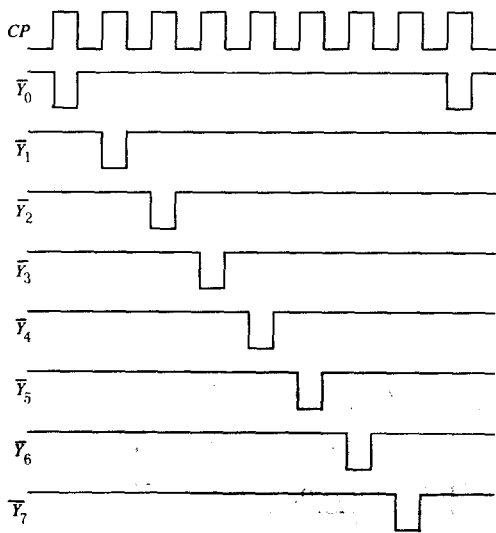


图 7.28

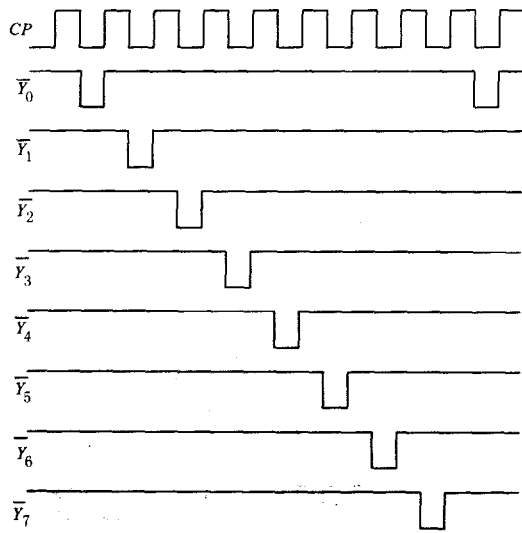


图 7.29

【解答】

逻辑电路图见图 7.30 和图 7.31。

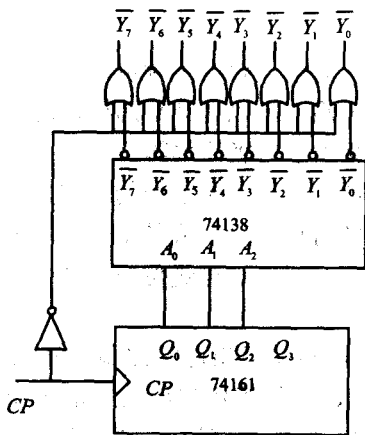


图 7.30

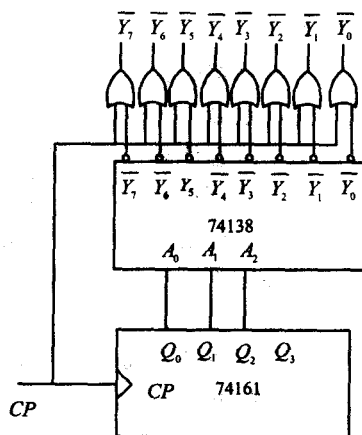


图 7.31

5. 试分析图 7.32 所示由两片 4 位双向移位寄存器 CT54/74LS194 器件构成的 7 位串行——并行变换电路的工作过程。

【分析】

串行——并行变换即数据在传输过程中，由串行输入变为并行输出的一种传递方式。本例电路设置了一组标志数即 01111111，在电路清除后，首先置入标志数，然后接收串行输入数据进行右移位操作。依照 CT54/74LS194 器件的功能就可分析出电路的工作过程。

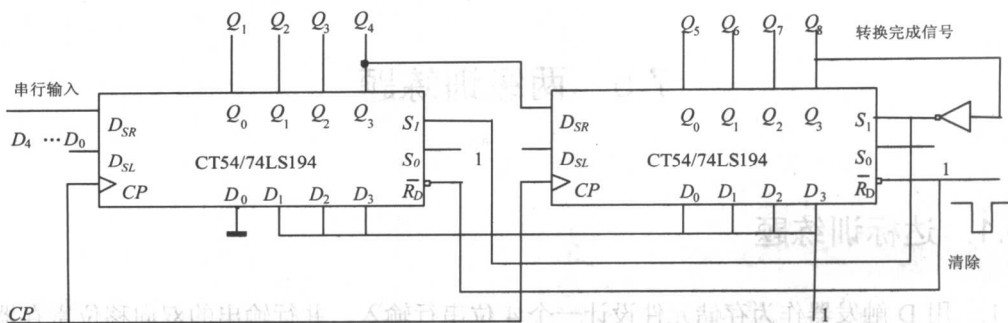


图 7.32

【解答】

电路在清除负脉冲作用下，两片移位寄存器均被清零。第一个 CP 信号到来后，由于 $Q_8=0$ 致使 $S_1=1$ ，移位寄存器进行并行输入操作，置入标志数 $Q_1Q_2Q_3Q_4Q_5Q_6Q_7Q_8=01111111$ ，且 $S_1=0$ 。从第二个 CP 信号输入开始，移位寄存器进行右移操作，接收串行输入数据 $D_0\sim D_8$ 。经过 7 个 CP 信号右移 7 次后，标志位 0 移至 Q_8 ，表明串行输入数据 $D_0\sim D_6$ 已全部移入转为并行数据，并从移位寄存器的 $Q_1\sim Q_7$ 输出。第 9 个 CP 信号到来时。由于 $Q_8=0$ ，又使得 $S_1=1$ ，移位寄存器再次进行并行输入操作，置入标志数。以后重复上述过程。电路的状态转移关系如表 7.12 所示。

表 7.12 状态转移关系

Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	
0	0	0	0	0	0	0	0	清除
0	1	1	1	1	1	1	1	置标志数
D_0	0	1	1	1	1	1	1	
D_1	D_0	0	1	1	1	1	1	
D_2	D_1	D_0	0	1	1	1	1	
D_3	D_2	D_1	D_0	0	1	1	1	
D_4	D_3	D_2	D_1	D_0	0	1	1	
D_5	D_4	D_3	D_2	D_1	D_0	0	1	
D_6	D_5	D_4	D_3	D_2	D_1	D_0	0	
0	1	1	1	1	1	1	1	置标志数

【举一反三】

在分析由移位寄存器组成的电路时，关键在于掌握使能端的作用，分清不同使能控制下电路的操作方式。本例电路 CT54/74LS194 有两个使能端 S_1 和 S_0 。当 $S_1S_0=11$ 时，移位寄存器进行并行输入(置数)操作；而当 $S_1S_0=01$ 时进行右移位操作。据此即可正确地分析电路的状态转移过程。此外，移位寄存器在进行串行-并行转换或并行-串行转换时，必须通过并行输入方式设置一组标志。



7.5 两级训练题

7.5.1 达标训练题

1. 用 D 触发器作为存储元件设计一个 4 位串行输入、并行输出的双向移位寄存器。该电路有一个数据输入端 x 和一个控制输入端 M 。当 $M=0$ 时, 实现左移, 数据从右端串行输入; 当 $M=1$ 时, 实现右移, 数据从左端输入。
2. 试用正边沿 D 触发器和门电路设计一个同步三进制减计数器。
3. 试分析图 7.33 所示电路, 画出它的状态图, 说明它是几进制计数器。

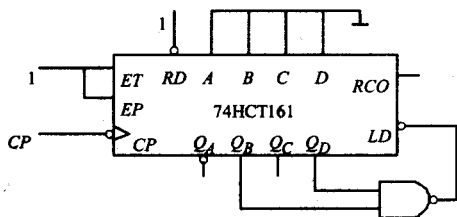


图 7.33

4. 设计一个可控序列信号发生器, 要求当 $X=1$ 时, 产生序列信号为 100110; 当 $X=0$ 时, 产生序列信号为 111000。
5. 由 4 位双向移位寄存器 74194 和 3-8 译码器 74138 组成的序列信号发生器如图 7.34 所示。试求出输出序列 Z_1 和 Z_2 。

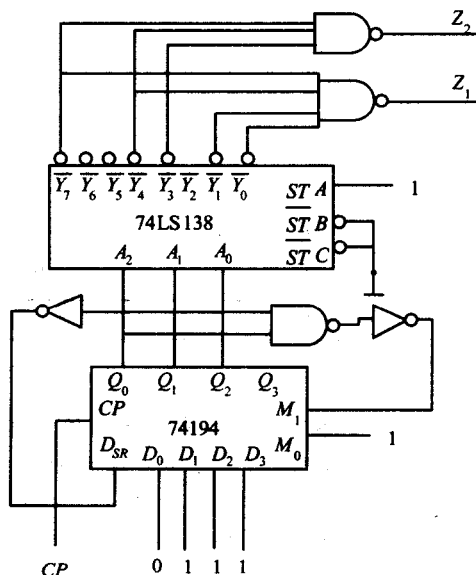


图 7.34



7.5.2 考研挑战题

1. 试用 74LS290 设计一个六进制计数器，要求采取两种不同的方法。
2. 试用两片 74194 构成 8 位双向移位寄存器。
3. 试分析图 7.35 所示电路，说明它是多少进制的计数器，采用了何种进位方式。

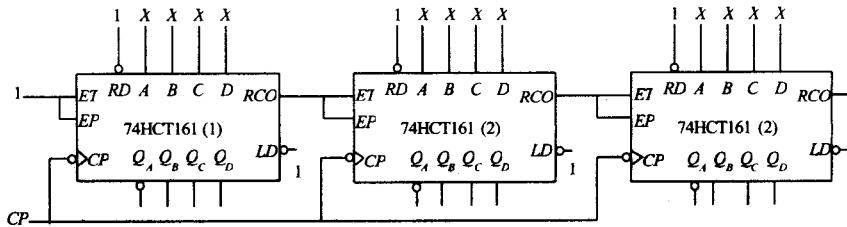


图 7.35

第 8 章 半导体存储器和可编程逻辑器件

8.1 本章知识结构图

半导体存储器是数字系统的重要组成部分。本章介绍了静态 SRAM 和动态 SRAM 的存储原理，以及存储器的一般结构和工作原理。重点掌握存储单元、字、位、地址和地址单元等基本概念，存储器的读/写控制，存储器容量扩展的一般方法。同时给出了大规模集成逻辑器件的基本原理以及用可编程逻辑阵列实现各种逻辑功能电路的基本方法。本章主要内容如图 8.1 所示。

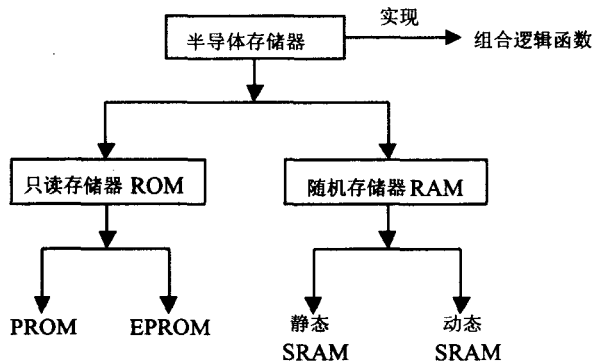


图 8.1

8.2 疑难解惑

问题 8.2.1 RAM 是由哪些主要部分构成的？如何进行字数和位数的扩展？

【指点迷津】

一片 ROM 或 RAM 器件的容量不够时，可将多片 ROM 或 RAM 连在一起来扩展存储容量。容量的扩展，可以通过增加位数或字数来实现。

位扩展：只扩大存储器每一存储单元存储的位数，而存储单元的总数不变。这类扩展，地址数不变。图 8.2 所示电路是将 $1K \times 1RAM$ 按位扩展为 $1K \times 8RAM$ 。

字扩展：只扩大存储器存储单元数，而每一存储单元存放的二进制信息的位数不变。



因此地址线要适当增加，而输出数据线不变。图 8.3 所示电路是将 256×8 RAM 按字扩展为 $1K \times 8$ RAM，需用 4 片 256×8 存储器，利用译码器的输出控制每一存储器的片选端。

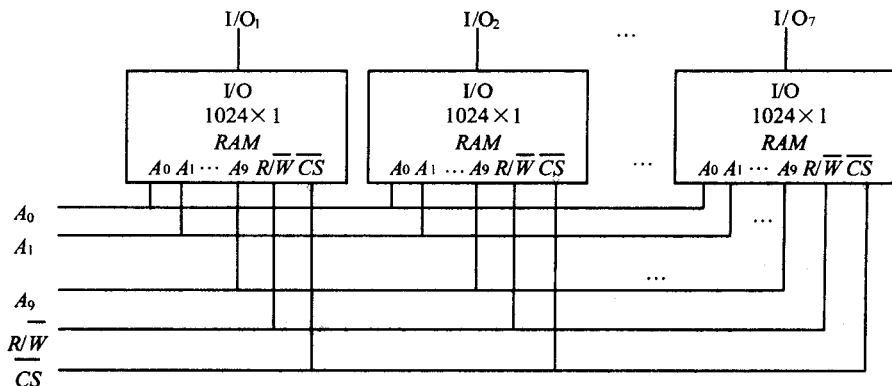


图 8.2

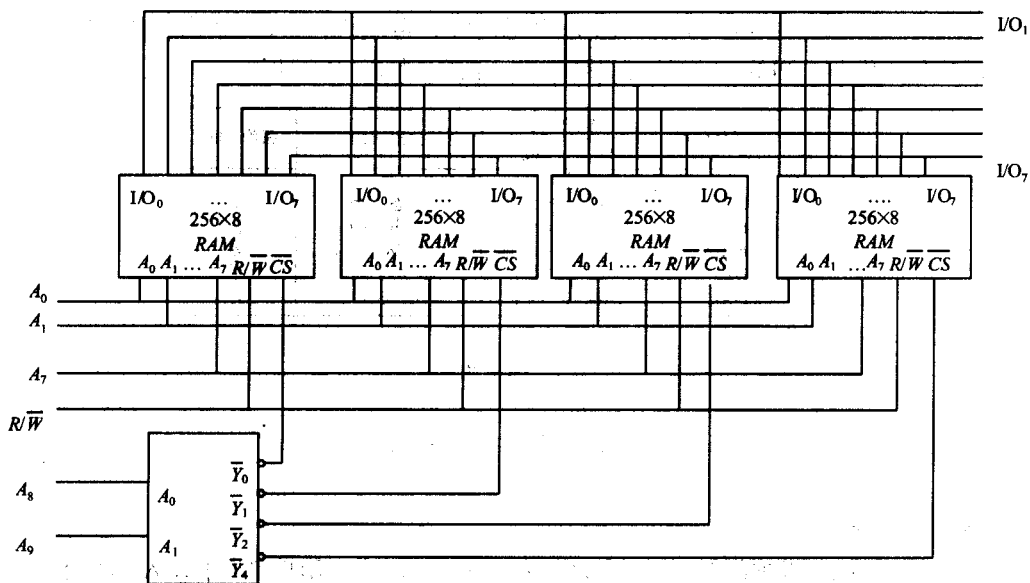


图 8.3

问题 8.2.2 随机存取的存储器与只读存储器有什么不同？

【指点迷津】

半导体存储器是数字系统中存放大量信息的部件，其功能是存放不同程序的操作指令及各种需要计算处理的数据。RAM 是一种时序逻辑电路，具有记忆功能。其他存储的数据随电源断电而消失，因此是一种易失性的读写存储器。它包含 SRAM 和 DRAM 两种类型，前者用触发器记忆数据，后者靠 MOS 管栅极电容存储数据。因此，在不停电的情况下，SRAM 的数据可以长久保持，而 DRAM 则必须定期刷新。



只读存储器(ROM)有掩模式 ROM、PROM、EPROM 和 E²PROM 等形式,属于非易失性的存储器,它存储的是固定数据,一般只能被读出,还可用来实现逻辑函数。根据数据写入方式的不同,ROM 又可分成固定 ROM 和可编程 ROM。后者又可细分为 PROM、EPROM、E²PROM 和快闪存储器等,特别是 E²ROM 和快闪存储器可以进行电擦写,兼有了 RAM 的特性。

从逻辑电路构成的角度看,ROM 是由与门阵列(地址译码器)和或门阵列(存储矩阵)构成的组合逻辑电路。ROM 的输出是输入最小项的组合。因此采用 ROM 构成;各种逻辑函数不需化简,这给逻辑设计带来很大方便。随着大规模集成电路成本的不断下降,利用 ROM 构成各种组合、时序电路,越来越具有吸引力。

问题 8.2.3 PLD 的 PROM 结构、PAL 结构与 PAL 结构有何区别?

【指点迷津】

PLD 器件的基本结构有 PROM、PLA 两种类型,种类和功能如图 8.4 所示。

PROM 结构是与门阵列固定连接,而或门阵列可编程;PAL 结构是或门阵列固定,而与门阵列可编程;PLA 结构是与门阵列及或门阵列都可以编程。

器件种类	阵列结构		输出结构	擦除功能
	与	或		
FROM	固定	可编程	三态, OC	无
EPROM	固定	可编程	三态, OC	有
FPLA	可编程	可编程	三态, OC、H、L	无
PAL	可编程	固定	三态, IO、寄存器	无
GAL	可编程	固定	可编程OLMC	有

图 8.4

问题 8.2.4 FPGA 与 GAL 和 ASIC 比较各有何优点?

【指点迷津】

FPGA 是 GAL 发展的新阶段,其功能密度比 GAL 大,用户可用的输入/输出(I/O)引脚比 GAL 多。专用集成电路芯片 ASIC 虽然功能密度和 I/O 引脚数胜过 FPGA,但设计周期较长,目前加工费用高,承担设计风险大,而 FPGA 却克服了这些缺点。相对而言 FPGA 成本低,便于修改维护。

问题 8.2.5 RAM 与 ROM 的区别与联系

【指点迷津】

随机存储器 RAM 与只读存储器 ROM 都是由许多可存储一位二进制码元 0 与 1 的单元电路组成的大规模集成电路芯片。它们整体结构上有类似的地方,但又有各自的特点。

(1) RAM 与 ROM 的异同点

① 基本结构类似。都有地址译码器、存储矩阵、读写控制电路等三大部分。在工艺



上都有双极型的和 MOS 型的。

② 存储容量表示一致。常用 m 字 $\times n$ 位或 m 字节(每字节由 8 位组成)表示。 m 的大小与地址输入变量的个数(设为 k)有关, 它们的对应关系是 $2^k=m$ 。 n 的大小决定了芯片内读写电路的个数。无论 m 为多大, 若芯片容量是 m 字 $\times n$ 位, 则芯片中只存在 n 个读写电路(一般 $n=1\sim 8$), 也就有 n 位数据 I/O(输入/输出)。

③ 容量扩展的方法一致。由于每块芯片容量有限, 当需要更大容量的存储系统时, 就由多块芯片扩展而成。容量扩展包括字长扩展与地址扩展(字数扩展)。

④ RAM 与 ROM 在工作中的最大差异是 RAM 在工作电源下可以随机地写入或读出数据, 掉电后数据丢失。ROM 的主要功能是反复读取它存储的内容, 工作时一般不能更改内容, 掉电后仍然保持数据。

(2) RAM 存储单元结构与操作

RAM 有静态 S-RAM 和动态 D-RAM 之分。S-RAM 存储信息与电路中寄生电容无关。而 D-RAM 电路中间断地给存储单元供电(刷新), 因而要依靠存储单元中的寄生电容保持数据。

问题 8.2.6 什么是可编程逻辑器件 PLD?

【指点迷津】

可编程逻辑器件 PLD 是在 PROM 基础上发展起来的新型大规模集成电路芯片。它的功能不再是单一的存储信息, 而是可以实现包括组合逻辑、时序逻辑在内的各种复杂逻辑功能的数字电路系统。器件具体实现什么样的逻辑功能, 实现什么样的数字逻辑系统则由用户编程决定。

PLD 的基本结构如同 ROM 的阵列结构: 与门阵列和或门阵列。外部输入变量从与门阵列输入产生地址变量与项, 这些与项输出又成为或门阵列的输入。最后, 或门阵列的输出就是用与或表达式形成的逻辑函数。

若在上述基本结构的基础上增加输入输出缓冲器、内部反馈电路、输出宏单元电路, 就可构成不同类型、不同规模的 PLD 器件。

(1) PLD 器件表示法

因为 PLD 集成度高, 所以与门阵列、或门阵列的连接采用了更简单的表示法, 特别应注意的是用 “.” 表示交叉线的固定连接, 用 “ \times ” 表示交叉线的可编程连接。

(2) PLD 分类

根据与门阵列及或门阵列的固定连接和可编程连接的不同情况, 可分为以下 3 种类型结构:

① PROM 结构: 与门阵列是全译码的固定连接, 而或门阵列是可编程的连接。

② PAL 结构: 与门阵列是可编程的, 而或门阵列是固定的。

③ PLA 结构: 与门阵列及或门阵列都是可编程的。使用 PLA 结构时, 编程写入的逻辑函数表达式可以是逻辑函数简化以后的最简与或式。





问题 8.2.7 PLD 器件的开发过程

【指点迷津】

PLD 器件的编程工作需要在开发系统的支持下完成。各家公司对应于自己的产品系列,均推出一套适应自己产品的 PLD 开发系统。不同的开发系统支持的设计输入是有区别的,如果开发系统适应性好,可能会更受欢迎。开发系统由软件和硬件两部分组成,开发系统软件是指 PLD 专用的编程语言和相应的汇编程序或编译程序,通常为通用的软件包,如 DataI/O 公司的 ABEL 和 LogicalDevice 公司的 CUPL 等。用户使用通用的软件包描述逻辑问题,可以用高级语言输入,也可以用电路原理图输入,并由通用的软件包将用户的描述自动转换为描述各个编程点连接情况的编程文件。开发系统硬件包括计算机和编程器;编程器用来完成将编程文件写入 PLD 芯片的工作,编程器能提供写入或擦除所需的电源电压和控制信号,并通过串行接口与计算机相连,也是通用的。

PLD 器件的开发过程一般分为如下 3 个步骤。

(1) 设计输入。将逻辑问题用 PLD 语言描述出来。可以利用绘图软件和逻辑单元库绘制逻辑图,也可以用逻辑表达式或真值表输入。

(2) 设计实现。开发系统软件将上述的描述程序转换为描述各个编程点连接情况的编程文件,编程器将编程文件写入 PLD 芯片。

(3) 设计检验。将写好数据的 PLD 从编程器上取下,用实验方法测试它的逻辑功能是否达到了设计要求。

问题 8.2.8 PLD 器件的基本结构

【指点迷津】

在数字系统设计时,当输入信号中既有原变量又有反变量时,任何数字逻辑都能用与—或逻辑函数来描述,即可用与门和或门来实现。这样就有了早期的 PLD 器件,其结构如图 8.5 所示。很多的新型器件也是据此发展起来的。

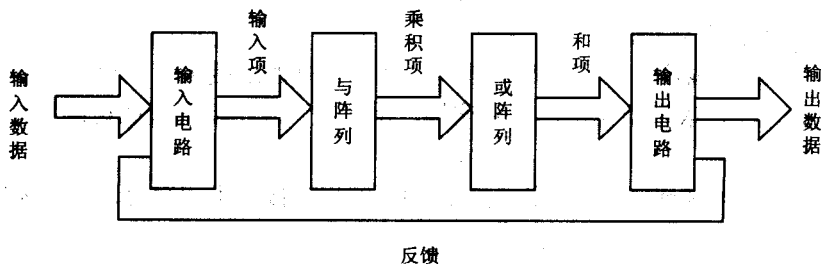


图 8.5

与阵列和或阵列的输入端与前级输出的交叉点是逻辑开关单元,这些逻辑开关单元的导通与断开可用编程的方法控制。输入信号经输入电路变成一组互补信号被有选择地接到与阵列的输入端,与阵列的输出端得到一组乘积(与)项。这些乘积项作为或阵列的输入信号,有选择地被接到或阵列中相应或门的输入端,或阵列的输出端得到一组和项(与—或



函数)。这些和项经输出电路送到 PLD 芯片的输出端。必要时, 输出信号可反馈回输入端。通过对与阵列和或阵列的编程。可以实现不同的逻辑功能。

可编程逻辑器件(Programmable Logic Devices, PLD)是 ASIC 产品中的一个重要分支。用户通过编程, 可定义其逻辑功能, 进而实现各种设计要求的集成电路芯片, 同时 PLD 具有很高的速度和可靠性。近年来高密度、大规模可编程逻辑器件发展迅速, 已获得广泛应用。

可编程逻辑器件(PLD)按照结构的复杂程度及原理不同大致分为如下 3 类:

- (1) 简单可编程逻辑器件(SPLD)。
- (2) 复杂可编程逻辑器件(CPLD)。
- (3) 现场可编程门阵列(FPGA)。

简单可编程逻辑器件(SPLD)由与阵列和或阵列组成, 能够有效地实现布尔逻辑函数的“积之和”形式。我们将要分析其不同的型式——PROM、PLA、PAL、GAL 和 SPLD 规模较小, 通常只有数百门, 难以实现复杂的逻辑功能。

复杂可编程逻辑器件(CPLD)是为了增加 SPLD 的密度, 扩充其功能而发展起来的。一般具有可重复编程特性, 实现工艺有 EPROM 技术、闪速 EPROM 和 E²PROM 技术。用固定长度的金属线实现逻辑单元间的互连, 保证了 CPLD 的高速性能。复杂可编程逻辑器件(CPLD)的集成度可达数万门, 可以实现较大规模的电路集成。

现场可编程门阵列(Field Programmable Gate Array, FPGA)是与传统 PLD 不同的一类可编程器件, 由逻辑功能块排列阵列组成, 并由可编程的互连资源连接这些逻辑功能块实现所需的设计。FPGA 可以实现较大规模的电路集成; 功能更强, 设计的灵活性更大。

PLA 和 PAL 是较早应用的两种 PLD。PLA 的与阵列和或阵列均可编程, PAL 的与阵列可编程, 或阵列固定。这两种器件多采用双极型、熔丝工艺或 UVC MOS 工艺制作, 采用熔丝工艺的器件不能改写, 采用 UVC MOS 工艺的擦除和改写也不甚方便。经常用在一些定型产品中。

GAL 是在 PAL 的基础上发展起来的新型器件, 是 PAL 的替代产品。采用 E²C MOS 工艺生产, 可用电信号擦除和改写。输出电路做成可编程的 OLMC 结构, 能设置成不同的输出电路结构, 增强了逻辑上的灵活性, 适合于研制开发阶段使用。

FPGA 是一种可编程的大规模集成器件, 采用 CMOS-SRAM 工艺制作, 电路结构为逻辑单元阵列型式。每个逻辑单元是可编程的, 单元之间可以灵活地互相连接。它既有门阵列的结构和性能, 又具有现场可编程的特点, 还可以反复地擦除和重新编程, 适于 ASIC 的研制。由于编程数据存放在器件内部静态随机存储器中, 所以每次开始工作时需要重新装载编程数据。

各种 PLD 的编程工作都需要在开发系统的支持下进行。选择 PLD 的具体型号时必须考虑选择合适的开发系统。

问题 8.2.9 硬件描述语言 HDL

【指点迷津】

在采用微处理器的通用 IC 设计中, 性能受处理器性能的限制, 不同功能元件之间的互连通常不成问题, 但是在 FPGA 中, 连线大概占用了 70% 的芯片面积, 并且可能会影





响门的利用率。随着大规模专用集成电路(ASIC)的开发和研制,为了提高开发的效率,增加已有开发成果的可继承性及缩短开发时间,FPGA 设计采用硬件描述语言(HDL)的硬件电路设计方法,硬件描述语言(Hardware DescriptionLanguage, HDL)是一种用于设计硬件电子系统的计算机语言,它用软件编程的方式描述电子系统的逻辑功能、电路结构和连接形式,适合大规模系统的设计。HDL 的硬件电路设计方法可以描述硬件电路的功能,信号连接关系及定时关系。它能比电原理图更有效地表示硬件电路的特性,可读性强,易于修改和发现错误。它与传统的硬件设计方法相比具有以下特点:

(1) 采用自上至下的设计方法

自上至下的设计方法就是从系统的总体要求出发,自上至下地将设报内容细化,最后完成系统硬件的整体设计。在硬件描述语言(HDL)的硬件电路设计方法中,将系统硬件设计过程分为 3 个层次。自上至下设计系统硬件的过程如图 8.6 所示。

第一层次是行为描述,实质上是对整个系统的数学模型的描述。一般来说,系统行为描述的目的是在系统设计的初级阶段,通过对系统行为描述的仿真来发现设计中存在的问题。行为描述阶段,并不考虑其实际的操作和算法用什么方法来实现,考虑较多的是系统的结构及其工作过程能否达到系统设计的要求,用 HDL 语言以行为方式来描述它的工作特性。

第二层次是 RTL 方式描述,称为寄存器传输描述(数据流描述)。用行为方式描述的系统结构的程序,抽象程度高,很难直接映射到具体逻辑元件的硬件实现。必须将行为方式描述的 HDL 语言程序改写为 RTL 描述。导出系统的逻辑表达式,进行逻辑综合,得到硬件的具体实现。

第三层次是逻辑综合,利用逻辑综合工具,将 RTL 方式描述的程序转换成用基本逻辑元件表示的文件(门级网络表)。如果需要,可以将逻辑综合结果以逻辑原理图方式输出。此后对逻辑综合结果在门电路级上再进行仿真,检查定时关系。如果一切正常,系统的硬件设计就基本结束。如果在某个层次上发现有问題,都应返回上一层,寻找和修改相应的错误,然后接着向下继续未完的工作。将网表转换成 FPGA 的编程码点,利用 FPGA 完成硬件电路的设计。

(2) 系统硬件设计的早期仿真和调试

在系统设计过程中,要进行三级仿真,即行为层次仿真、RTL 层次仿真和门级层次仿真,也就是进行系统数学模型的仿真、系统数据流的仿真和系统门电路电原理的仿真。可以在系统设计早期发现设计中存在的问题,缩短系统设计的周期,节约大量的财力和物力。

(3) 降低了硬件电路设计难度

采用传统的硬件电路设计方法时,要求设计者在设计电路前写出该电路的逻辑表达式或真值表。在系统复杂时,这一工作是相当困难和繁琐的。而用 HDL 语言设计硬件电路时,只需对信号连接关系及定时关系用 HDL 语言描述就可以了。

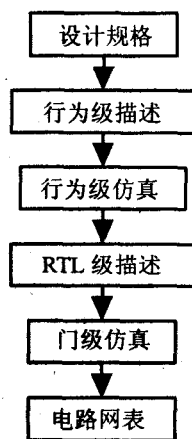


图 8.6





(4) 主要设计文件是用 HDL 语言编写的源程序

采用传统的硬件电路设计方法时,最后形成的主要文件是电原理图。而用 HDL 语言设计硬件电路时,主要设计文件是用 HDL 语言编写的源程序,根据需要也可以转换为电原理图输出。使用 HDL 语言编写的源程序存档有许多优点,首先其资料量小,便于保存;第二是其继承性好,设计其他硬件电路时,可以使用文件中的某些库、进程和过程程序等;第三是阅读方便,很容易在程序中看出某一硬件电路的工作原理和逻辑关系。而读电原理图需要较多的硬件知识和经验。

8.3 典型例题与考研题分析

8.3.1 典型例题分析

例 1 用如图 8.7 所示的 ROM 实现一个多功能的组合电路,分别输出 4 个逻辑函数: $D_3 = \overline{AB}$, $D_2 = \overline{A+B}$, $D_1 = A \oplus B$, $D_0 = A \cdot B$ 。试在图中画出 NMOS 矩阵,只须在一个相关的基本存储单元中画出 NMOS 管,其余部分可用“·”代替。

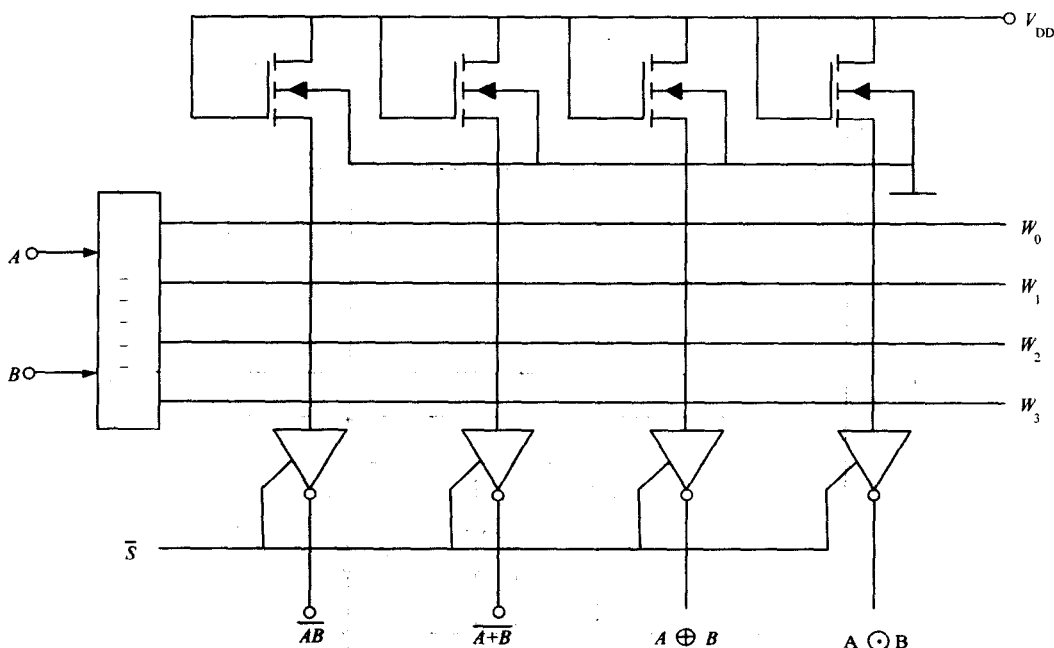


图 8.7

【分析】

本例是利用 NMOS 反相器作为基本存储单元构成的 ROM。在同一位线上相关的各基本存储单元中的反相器,共用一个负载管,反相器输入接在字线上,输出接在位线上。从

ROM 结构可知, 当位线输出通过三态反相器选通时, 若在基本存储单元中存储 1, 则只须由地址选中该基本存储单元, 使反相器工作管导通, 位线通过工作管沟道接地; 若是存储 0, 则使工作管截止, 位线与工作管脱开。为了简化 ROM 结构, 凡是在存储 0 的基本存储单元内不再设置工作管, 位线直接通过负载管与通孔接通。而在画 ROM 阵列图时, 通常采用一种简便的标注方式, 即存储 1 则在字线与位线的交叉点上标注“.”; 存储 0 则不标注。本例 4 条位线分别输出的是 4 个逻辑函数: \overline{AB} , $\overline{A+B}$, $A \oplus B$, $A \cdot B$, 只要根据电路真值表即可画出对应的 ROM 存储矩阵图。

【解答】

依照题意分析, 建立电路的真值表如表 8.1 所示。画出的 ROM 矩阵图如图 8.8 所示。ROM 电路通常由地址译码器、存储体及输出控制 3 个功能块组成。本例为字结构 ROM, 采用线选法寻址, 仅设置 x 地址译码器。在地址码输入后, 译码器仅有一条输出线, 即字线输出为 1, 并选中该字线控制的存储体中存储一个字的存储单元, 从位线选通读出一个字的信息。值得注意的是, 基本存储单元中存储 1 设置 NMOS 管, 还是存储 0 设置 NMOS, 取决于位线经选通门输出时是否反相。本例是经选通门反相输出。因此存储 1 时设置 NMOS 管。若输出不反相, 则应在存储 0 的基本存储单元中设置 NMOS 管。也就是说, 要视具体要求决定, 不能一概而论。

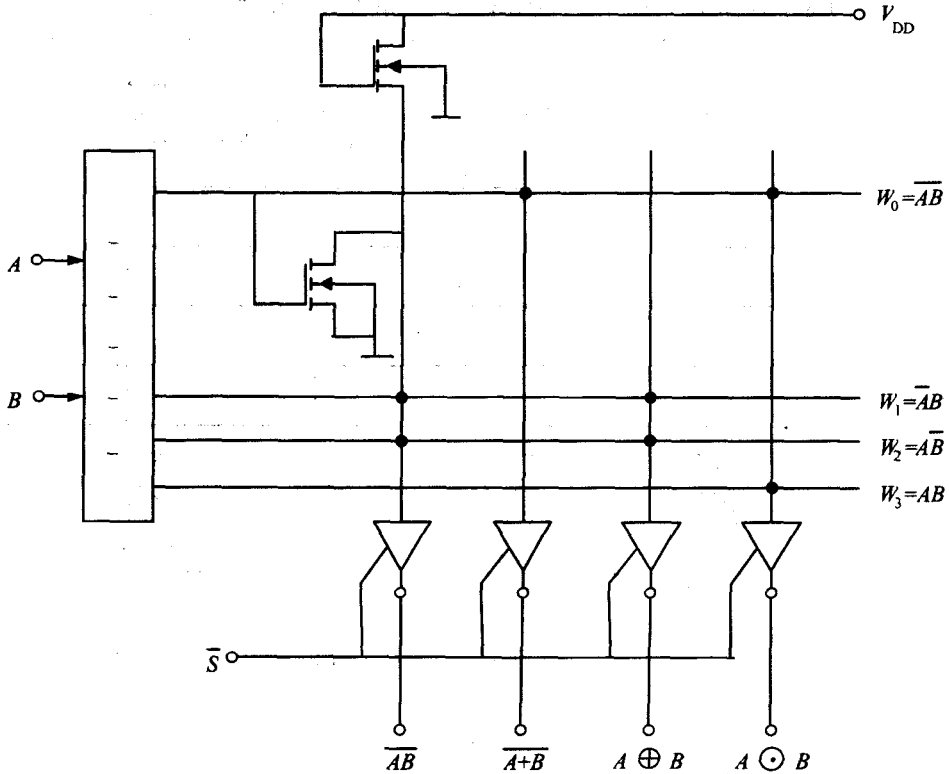


图 8.8



表 8.1 例 1 电路真值表

AB	D_3	D_2	D_1	D_0
	\overline{AB}	$\overline{A+B}$	$A \oplus B$	$A \odot B$
00	1	1	0	1
01	1	0	1	0
10	1	0	1	0
11	0	0	0	1

例 2 试利用 PLA 电路设计一个 8421 BCD 码同步计数器, 画出 PLA 阵列逻辑图。

【分析】

PLA 是一个组合逻辑 LSI 电路。当用来实现时序逻辑电路时, 必须与触发器共同组成电路。

本例要求利用 PLA 设计一个 8421BCD 码十进制加法计数器。10 个计数状态由 4 个触发器状态组合而成, PLA 的作用在于利用各触发器的状态作为输入信号, 产生出各触发器的激励信号和计数器的进位信号。综合两者的功能即可画出满足设计要求的 PLA 阵列逻辑图。

【解答】

8421 BCD 码十进制加法计数器的状态转移关系如表 8.2 所示。

表 8.2 8421BCD 码十进制加法计数器状态转换表

	Q_3	Q_2	Q_1	Q_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0	0	0	1	0
1	0	0	0	1	0	0	1	0	0
2	0	0	1	0	0	0	1	1	0
3	0	0	1	1	0	1	0	0	0
4	0	1	0	0	0	1	0	1	0
5	0	1	0	1	0	1	1	0	0
6	0	1	1	0	0	1	1	1	0
7	0	1	1	1	1	0	0	0	0
8	1	0	0	0	1	0	0	1	0
9	1	1	0	1	0	0	0	0	1

若选用主从型 JK 触发器组成电路, 则各触发器的次态为

$$Q_0^{n+1} = \overline{Q_0}$$

$$Q_1^{n+1} = Q_0 \overline{Q_3} \overline{Q_1} + \overline{Q_0} Q_1$$

$$Q_2^{n+1} = Q_0 Q_1 \overline{Q_2} + \overline{Q_0} Q_1 Q_2$$

$$Q_3^{n+1} = Q_0 Q_1 Q_2 \overline{Q_3} + Q_0 \overline{Q_1} + Q_0 \overline{Q_2} Q_3$$

逻辑电路如图 8.9 所示。

【举一反三】

本例解题的关键在于对时序逻辑电路基本结构的理解。时序逻辑电路在结构上有两个特点: 一是时序逻辑电路包含组合逻辑电路和存储电路两部分; 二是组合电路至少有一个

输出反馈到存储电路的输入端, 存储电路的状态至少有一个作为组合电路的输入, 并与其他输入信号共同决定电路的输出。因此, 本例中 PLA 的作用即是用来构成组合电路的, 它必须和作为存储电路的触发器共同组成所要设计的时序逻辑电路, 即 8421 BCD 码同步计数器。

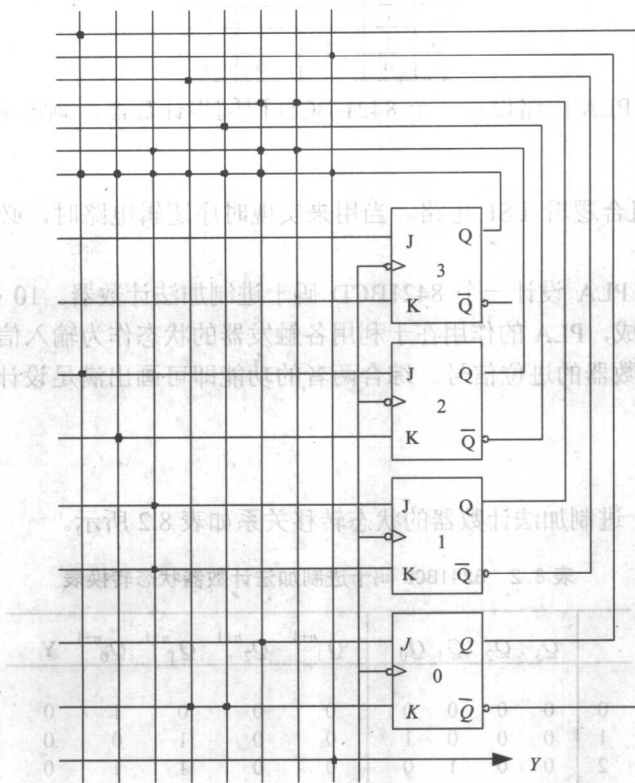


图 8.9

各触发器的激励函数及电路的输出函数分别为

$$J_0 = K_0 = 1$$

$$J_1 = Q_0 Q_3, \quad K_1 = Q_0$$

$$J_2 = K_2 = Q_0 Q_1$$

$$J_3 = Q_0 Q_1 Q_2, \quad K_3 = Q_0 Q_1 + Q_0 Q_2$$

$$Y = Q_0 Q_3$$

8.3.2 考研题分析

例 1 试分析图 8.10 电路, 说明它的逻辑功能, 画出其状态图。

【解答】

(1) 写出输出函数式

$$Y = X_1 X_2 X_3 + X_1 \overline{X_2} X_3 + \overline{X_1} X_2 + \overline{X_1} X_3$$



(2) 列真值表，如表 8.3 所示。

表 8.3 例 1 真值表

X_1	X_2	X_3	X_4
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

(3) 判断逻辑功能。这是一个数值比较电路：

当 $0 < X = X_1X_2X_3 \leq 4$ 或 $X = X_1X_2X_3 = 7$ 时电路输出 $Y = 1$ ，否则为 0。

例 2 试用 8×4 RAM (见图 8.11) 扩展为：

(1) 32×4 RAM。

(2) 16×8 RAM。可附加译码器，基础逻辑门电路，最后画出各自逻辑图。

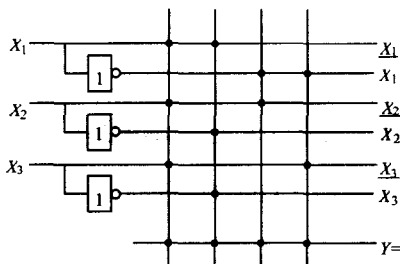


图 8.10

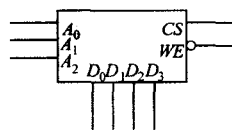


图 8.11

【解答】

(1) 用字扩展技术扩展为 32×4 RAM，如图 8.12 所示。

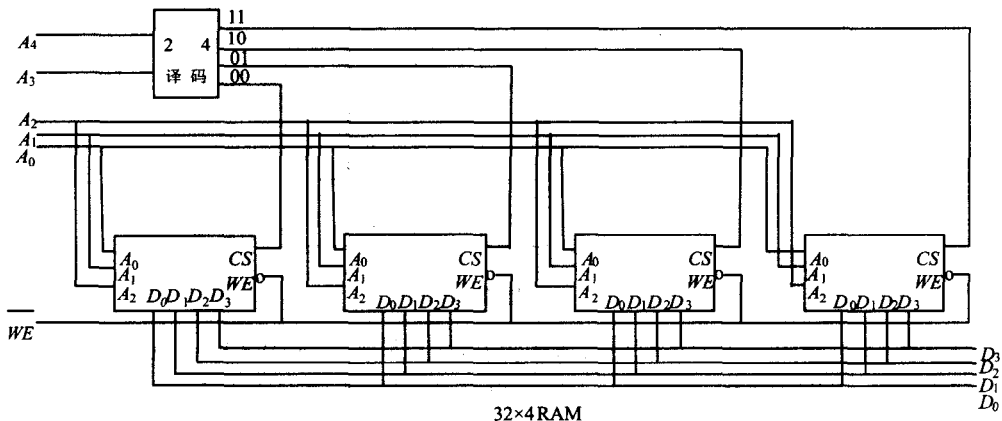


图 8.12

(2) 先用位扩展技术扩展为 8×8 RAM，再用字扩展技术扩展为 16×8 RAM，电路

如图 8.13 所示。

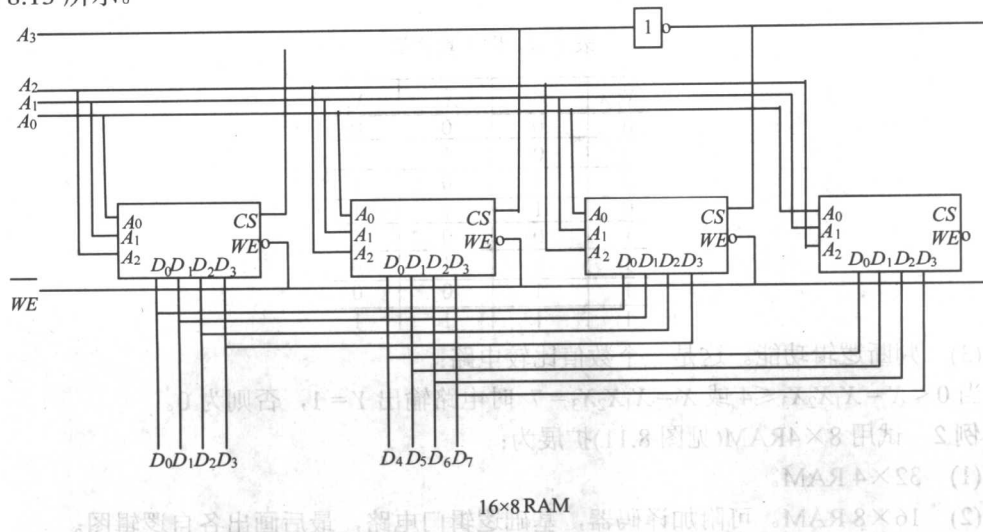


图 8.13

【举一反三】

要注意，字(位)扩展的基本条件是 RAM(ROM) 必须具有三态输出结构。

例 3 $Z = X^2Y$ ，其中 X 、 Y 均为二进制数，试画出 Z 的 PROM 阵列图。

【解答】

设 $X = X_1X_0$ ， $Y = Y_1Y_0$ ，则输出函数 Z 的真值图如图 8.14 所示，图中 Z 用其等效的十进制数 $Z_{(10)}$ 表示。

	Y_1Y_0	00	01	11	10
X_1X_0	00	0	0	0	0
	01	0	1	3	2
	11	0	9	27	18
	10	0	4	12	8

图 8.14

画 PROM 点阵图。由上述真值表画出 PROM 点阵图，如图 8.15 所示。

注意， X 、 Y 的最大值分别为 $3_{(10)}$ ，所以 $Z = X^2Y$ 的最大值为 $27_{(10)} = 11011_{(2)}$ ，故 Z 为 5 位二进制码，记为 $Z_4Z_3Z_2Z_1Z_0$ 。

【举一反三】

由真值表画 PROM 的点阵图，方法如下：在上方的与阵列中按最小项号打点，比如



最小项 $m_{15}=X_1X_0Y_1Y_0$ 时, 在字线 m_{15} 同 X_1 、 X_0 、 Y_1 、 Y_0 线的交点处直接打点; 然后在下方的或阵列中打点; 因在 m_{15} 时输出 $Z = Z_4Z_3Z_2Z_1Z_0 = 11011$, 所以在字线 m_{15} 同位线 Z_4 、 Z_3 、 Z_1 、 Z_0 的交点处直接打点即可, 在与位线 Z_2 交点处不打点。

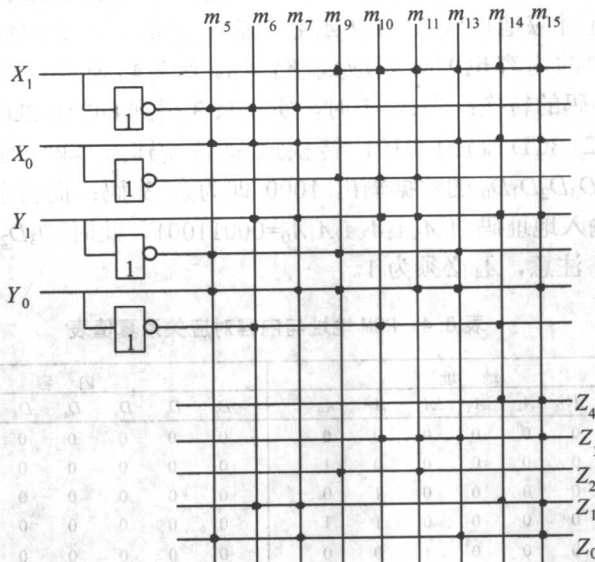


图 8.15

8.4 重要习题精选精解

1. 一个有 4096 位的 DRAM, 如果存储矩阵为 64×64 结构形式, 且每个存储单元刷新时间为 400ns, 则存储单元全部刷新一遍需要多长时间?

【解答】

DRAM 一次可刷新一行, 所以需要的刷新时间为 $64 \times 400\text{ns} = 25600\text{ns} = 25.6\text{ms}$ 。

2. 设存储器的起始地址为全 0, 试指出下列存储系统的最高地址为多少?

- (1) $2\text{K} \times 1$ (2) $16\text{K} \times 4$ (3) $256\text{K} \times 32$

【解答】

它们的十六进制地址是 (1) 7FFH (2) 3FFFH (3) 3FFFFH

3. 用一片 128×8 位的 ROM 实现各种码制之间的转换。要求用从全 0 地址开始的前 16 个地址单元实现 8421 码到余 3 码的转换; 接下来的 16 个地址单元实现余 3 码到 8421BCD 码的转换。试求:

(1) 列出 ROM 的地址与内容对应关系的真值表。

(2) 确定输入变量和输出变量与 ROM 地址线和数据线的对应关系。

(3) 简要说明将 8421BCD 码的 0101 转换成余 3 码和将余 3 码的 1001 转换成 8421BCD 码的过程。

【解答】

(1) 设 128×8 位 ROM 的 7 根地址线分别为 $A_6A_5A_4A_3A_2A_1A_0$, 8 根数据线为 $D_7D_6D_5D_4D_3D_2D_1D_0$ 。实现码制转换的 ROM 地址与内容对应关系的真值表如表 8.4 所示。

(2) 输入变量对应地址线的 $A_3A_2A_1A_0$, 输出变量对应数据线的 $D_3D_2D_1D_0$ (也可用 $D_7D_6D_5D_4$, 但表中的内容也要做相应调整)。 A_4 作为转换控制位。当 $A_4=0$ 时, 实现 8421BCD 码到余 3 码的转换; 当 $A_4=1$ 时, 实现余 3 码到 8421BCD 码的转换。

(3) 要将 8421BCD 码的 0101 转换成余 3 码时, 输入地址码 $A_6A_5A_4A_3A_2A_1A_0=00000101$, 此时 $D_3D_2D_1D_0$ 的数据输出 1000 即为余 3 码; 而将余 3 码的 1001 转换成 8421BCD 码时, 输入地址码 $A_6A_5A_4A_3A_2A_1A_0=00011001$, 此时 $D_3D_2D_1D_0$ 的数据输出 0011 即为 8421BCD 码。注意, A_4 必须为 1。

表 8.4 ROM 地址与内容对应关系真值表

地 址								内 容							
A_6	A_5	A_4	A_3	A_2	A_1	A_0		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	1	0	0	0	0	0	1	1	0
0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1
0	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0
0	0	0	0	0	1	1	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	1	0	0	0	0	1	0	1	0
0	0	0	0	1	0	0	0	0	0	0	0	1	0	1	1
0	0	0	0	1	0	0	1	0	0	0	0	1	1	0	0
0	0	0	0	1	0	1	0	X	X	X	X	X	X	X	X
0	0	0	0	1	0	1	1	X	X	X	X	X	X	X	X
0	0	0	0	1	1	0	0	X	X	X	X	X	X	X	X
0	0	0	0	1	1	0	1	X	X	X	X	X	X	X	X
0	0	0	0	1	1	1	0	X	X	X	X	X	X	X	X
0	0	0	0	1	1	1	1	X	X	X	X	X	X	X	X
0	0	1	0	0	0	0	0	X	X	X	X	X	X	X	X
0	0	1	0	0	0	1	0	X	X	X	X	X	X	X	X
0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	1	1	0	0	0	0	0	0	0	1	0
0	0	1	0	0	1	1	0	0	0	0	0	0	0	1	1
0	0	1	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	0	1	0	0	1	0	0	0	0	0	1	0	1
0	0	1	0	1	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	1	1	1	0	0	0	0	0	0	1	1	1
0	0	1	1	0	0	0	0	0	0	0	0	1	0	0	0
0	0	1	1	0	0	1	0	0	0	0	0	1	0	0	1
0	0	1	1	0	1	0	0	X	X	X	X	X	X	X	X
0	0	1	1	1	1	0	0	X	X	X	X	X	X	X	X
0	0	1	1	1	1	1	1	X	X	X	X	X	X	X	X

4. 设输入逻辑变量为 A 、 B 、 C 和 D , 用图 8.16 所示的 PAL16L8 实现逻辑函数 $L_1(A,B,C,D)=\sum m(0,5,10,11)$ 、 $L_2(A,B,C,D)=\sum m(4,7,11,14)$ 、 $L_3(A,B,C,D)=\sum m(1,3,5,15)$ 。试画



出编程后的电路图。

【解答】

若 A 、 B 、 C 和 D 由引脚 2、3、4 和 5 输入， L_1 、 L_2 和 L_3 由引脚 19、18 和 17 输出，11 脚为输出使能 OE ，则编程后的电路图如图 8.16 所示。

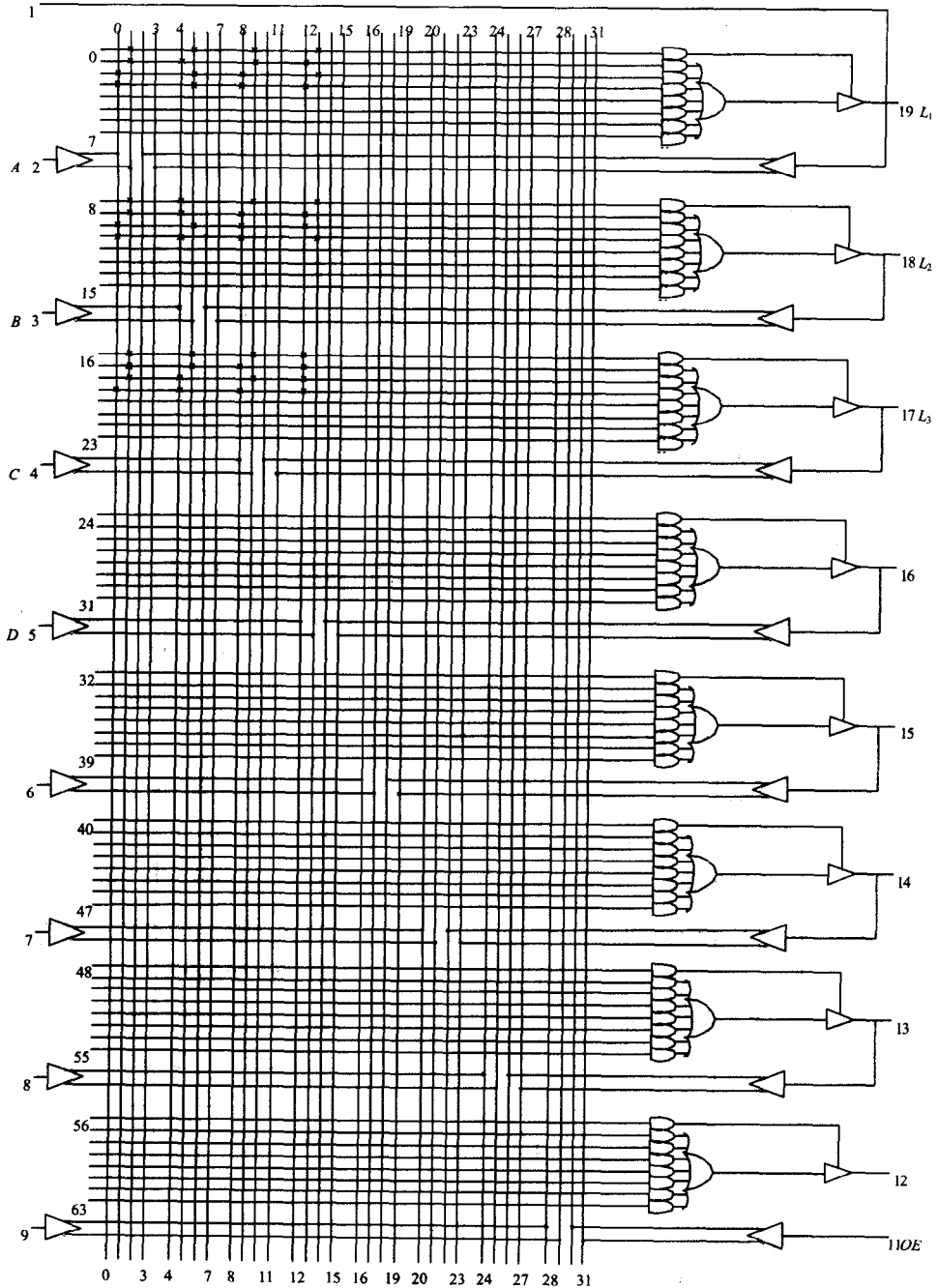


图 8.16



5 试用 PLA 设计一个全减器，并画出阵列图。

【解答】

用 ROM 实现逻辑函数，若有 n 个输入地址变量，则其地址译码器(即与阵列)必然有 2^n 个最小项输出。但很多时候与——或逻辑函数的与项远远少于 2^n ，此时还用 ROM 实现此逻辑函数，必然出现门阵列利用不高的现象。如果改用可编程逻辑阵列(PLA)则情况会大有改善。首先我们列出全减器的真值表。如表 8.5 所示。

表 8.5 全减器真值表

A_i	B_i	C_{i-1}	D_i	C_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

对逻辑函数进行卡诺图逻辑化简，如图 8.17 所示。



图 8.17

得到化简后的最简与或表达式为

$$D_i = \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1}$$

$$C_i = \overline{A_i} C_{i-1} + \overline{A_i} B_i + B_i C_{i-1}$$

画出 PLA 的阵列图，如图 8.18。由图 8.18 的两张图，我们发现：PLA 结构 1 是根据卡诺图进行最简与——或表达式化简后作出的，一共占了 $7 \times 6 + 7 \times 2 = 56$ (存储单元)。而 PLA 结构 2 则没有化简，但实际上却只占用了 $5 \times 6 + 5 \times 2 = 40$ (存储单元)。原因在与 D_i 和 C_i 间有大量共有项。所以在用 PLA 实现逻辑运算时不能一味追求最小解，而要实现最优解。尽量保留共有项，或者化简出共有项。

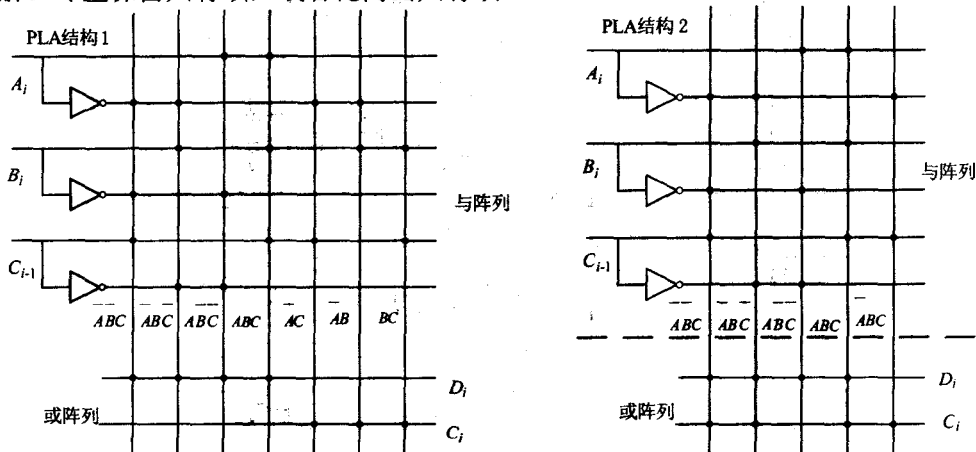


图 8.18

6. 试用 ROM 和 PLA 将 8421BCD 码转换为余 3BCD 码。画出阵列图。



【解答】

首先列出 8421BCD 码和余 3BCD 码之间的转换表，如表 8.6 所示。

表 8.6 8421BCD 码和余 3BCD 码之间的转换表

十进制数	8421BCD 码				与阵列	余 3BCD 码			
	A_3	A_2	A_1	A_0	m_i	B_3	B_2	B_1	B_0
0	0	0	0	0	m_0	0	0	1	1
1	0	0	0	1	m_1	0	1	0	0
2	0	0	1	0	m_2	0	1	0	1
3	0	0	1	1	m_3	0	1	1	0
4	0	1	0	0	m_4	0	1	1	1
5	0	1	0	1	m_5	1	0	0	0
6	0	1	1	0	m_6	1	0	0	1
7	0	1	1	1	m_7	1	0	1	0
8	1	0	0	0	m_8	1	0	1	1
9	1	0	0	1	m_9	1	1	0	0

由表可知，余 3BCD 码各位的函数表达式如下：

$$\begin{cases} B_3 = \sum m(5,6,7,8,9) \\ B_2 = \sum m(1,2,3,4,9) \\ B_1 = \sum m(0,3,4,7,8) \\ B_0 = \sum m(0,2,4,6,8) \end{cases}$$

将上式用卡诺图逻辑化简，如图 8.19 所示。

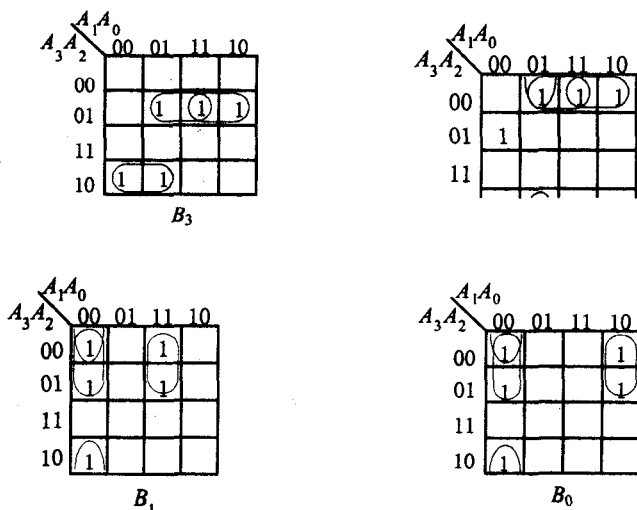


图 8.19

最后我们分别根据最小项和最简与或式，画出 ROM 和 PLA 阵列图，如图 8.20 所示。

由图例电路可知 ROM 的矩阵容量为 $16 \times 8 + 16 \times 4 = 192$ (存储单元)；PLA 的矩阵容量为 $10 \times 8 + 10 \times 4 = 120$ (存储单元)，可见 PLA 可以大大提高存储矩阵的利用率。



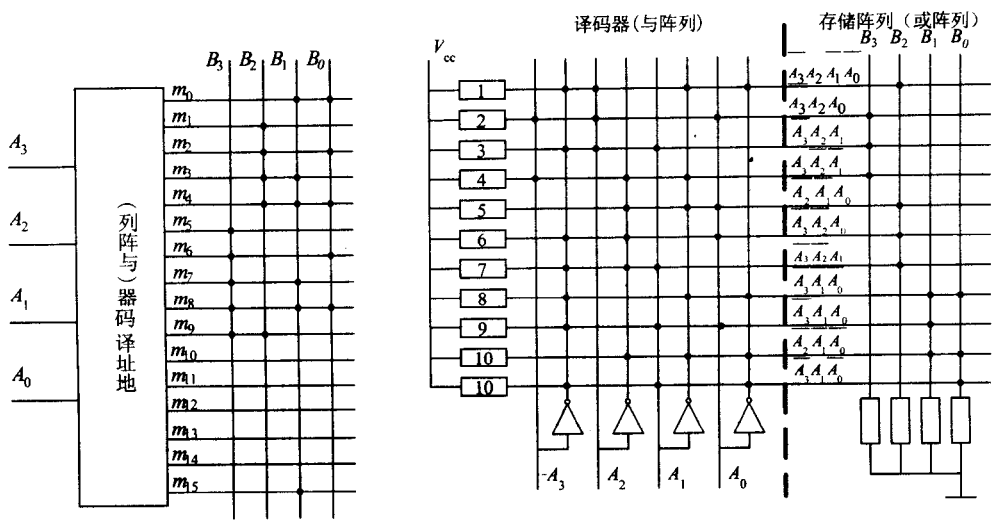


图 8.20

7. 试用 PLA 和 JK 触发器设计一个 BCD 码的十进制计数器。画出阵列图。

【解答】

此题是用 PLA 构成时序逻辑电路的问题。首先还是列出状态转换真值表。如表 8.7 所示。

表 8.7 状态转换真值表

CP	F	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	1	0	0	1	0
2	0	0	0	1	0	0	0	1	1
3	0	0	0	1	1	0	1	0	0
4	0	0	1	0	0	0	1	0	1
5	0	0	1	0	1	0	1	1	0
6	0	0	1	1	0	0	1	1	1
7	0	0	1	1	1	1	0	0	0
8	0	1	0	0	0	1	0	0	1
9	1	1	1	0	1	0	0	0	0

值得注意的是，在此题的卡诺图化简中，我们运用了非完全定义逻辑函数的描述。在本题中 $Q_3Q_2Q_1Q_0$ 的状态 1010 到 1111，无论是 1 还是 0 对结果都没有影响。为此，我们引入任意项或称无关项(Don't Cares)来方便我们的逻辑化简。在卡诺图上用 X 表示，如图 8.21 所示。最后得到 JK 触发器的状态方程如下：

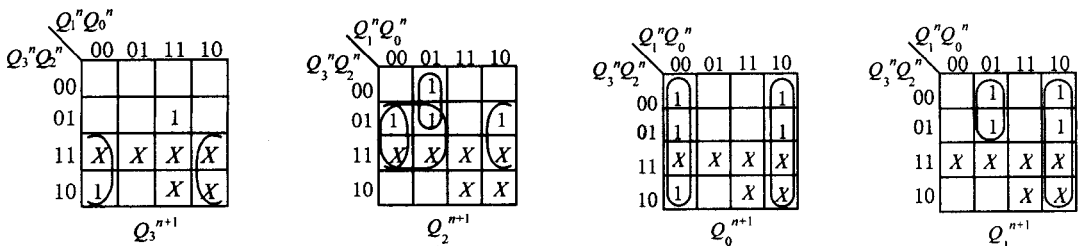


图 8.21



$$\begin{aligned}
 Q_3^{n+1} &= \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n} + Q_3^n \overline{Q_0^n} \\
 Q_2^{n+1} &= \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n} + Q_2^n (\overline{Q_1^n} + \overline{Q_0^n}) \\
 Q_1^{n+1} &= \overline{Q_3^n} \overline{Q_1^n} \overline{Q_0^n} + Q_1^n \overline{Q_0^n} \\
 Q_0^{n+1} &= \overline{Q_0^n}
 \end{aligned}$$

JK 触发器有 J 和 K 两个输入激励端，相当于 RS 触发器的 S 和 R 端，如图 8.22 所示。

J/S	K/R	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

图 8.22

由上述状态方程，可以得到 JK 触发器的驱动方程及输出方程。用 PLA 和 JK 触发器构成的 BCD 码十进制计数器如图 8.23 所示。

$$\begin{cases}
 J_3 = Q_2 Q_1 Q_0, K_3 = Q_0 \\
 J_2 = Q_1 Q_0, K_2 = Q_1 Q_0 \\
 J_1 = Q_3 Q_0, K_1 = Q_0 \\
 J_0 = K_0 = 1
 \end{cases}
 \quad F = Q_0 Q_3$$

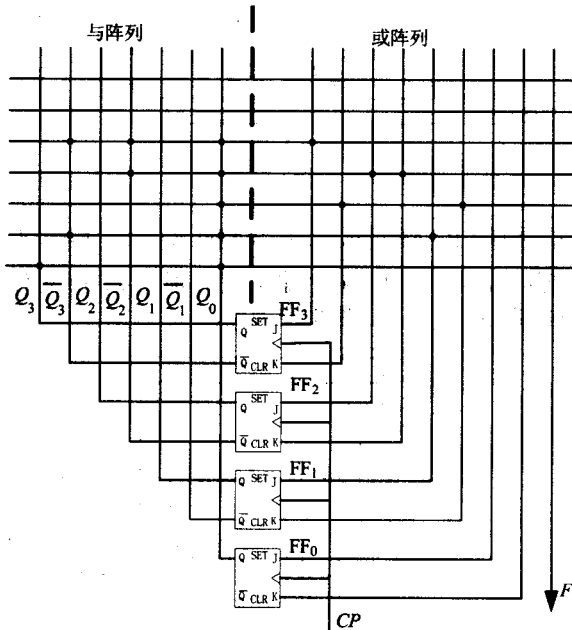


图 8.23

8. 容量为 256×1 的 RAM 有多少地址输入线？有多少字线和位线？试用 256×1 的 RAM 扩展成 1024×4 的 RAM，画出连线示意图。

【解答】

由容量为 256×1 的 RAM 得出该 RAM 的字长为 1bit，共有 256 个字。因为



$256=2^8$ ，可得该 RAM 有 8 位地址输入线，256 条字线，1 条位线。

现在计算机使用的存储容量越来越大，单片集成的存储器往往不够用，所以常需要多片集成存储器集合使用，这就是存储器的容量扩展。可分为字和位两种方式。

字扩展指的是扩展存储器所存储的字的数目，即扩展存储器的地址数。其连接方式为：将各片 RAM 的数据线，读/写控制线连在一起，作为共有的数据输出端和读/写控制端。然后根据扩展后的字数算出所需的地址线，分为高、低两端。高端由地址译码器控制各芯片的片选端(\overline{CS})，低端则为各芯片的共有地址线。

位扩展则为扩展存储字的字长，目的是使同一地址的存储单元的位数增加。所以只需将它们对应的地址端和读/写控制端连在一起，而将数据输出端合起来，作为总的输出即可。

对于本题，可以看到需要同时进行字位扩展。首先进行位扩展连接，用 4 片 256×1 位的 RAM 组成 256×4 位的 RAM。连接如图 8.24 所示。

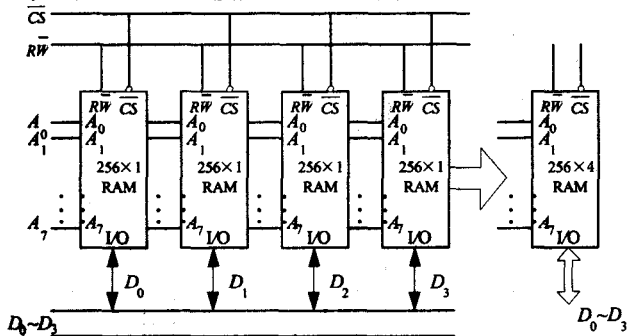


图 8.24

然后 4 片 256×4 位的 RAM 组成 1024×4 的 RAM。其中 A_8 和 A_9 作高 2 位地址，加到 2/4 译码器的输入端，而译码器的 4 个输出端分别与 256×4 位的 RAM 的片选端(\overline{CS})相连，对 4 个芯片进行选通控制，如图 8.25 所示。

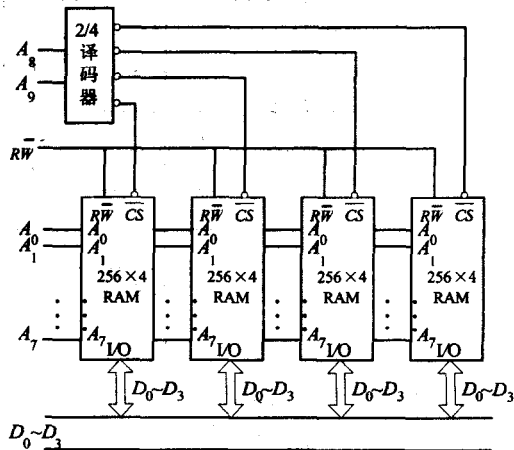


图 8.25

9. 分别用 ROM 和 PLA 实现一个可控加/减算术运算电路，当 $X=0$ 时，实现两个 1





位二进制数的全加运算；当 $X=0$ 时，实现两个 1 位二进制数的全减运算。

【解答】

根据用 ROM 实现逻辑函数的一般步骤。首先我们应该确定输入输出及列出全加器的数据表如表 8.8 所示。

$$S_i / D_i = \sum m(1,2,4,7,9,10,12,15)$$

$$C_i = \sum m(3,5,6,7,9,10,11,15)$$

表 8.8 全加器数据表

X	A_i	B_i	C_{i-1}	S_i/D_i	C_i	X	A_i	B_i	C_{i-1}	S_i
0	0	0	0	0	0	1	0	0	0	0
0	0	0	1	1	0	1	0	0	1	1
0	0	1	0	1	0	1	0	1	0	0
0	0	1	1	0	1	1	0	1	1	1
0	1	0	0	1	0	1	1	0	0	0
0	1	0	1	0	1	1	1	0	1	1
0	1	1	0	0	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	1	1

据此画出 ROM 的阵列图，如图 8.26 所示。

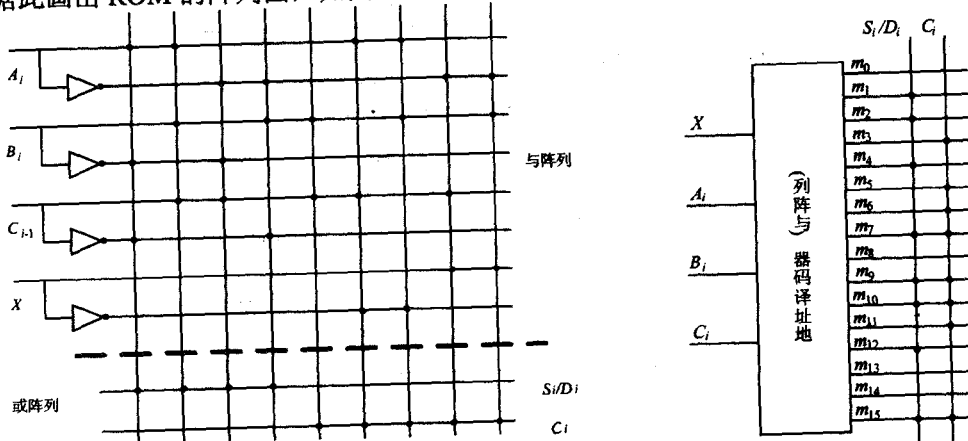


图 8.26

对于 PLA 实现还需要进行化简，如图 8.27 所示。

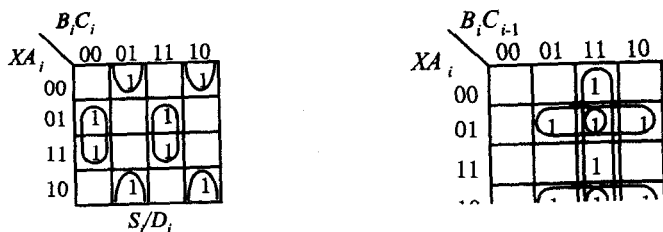


图 8.27

PLA 结构是根据卡诺图进行最简与-或表达式化简后作出的，一共占了 $9 \times 8 + 9 \times 2 = 90$ (存储单元)。而 ROM 结构则并没有化简，占用了 $16 \times 8 + 16 \times 2 = 160$ (存储单元)。



10. 完成 $4K \times 8$ 到 $8K \times 24$ 的存储器扩展, 并接到计算机的总线。要求该 $8K$ 存储器的存储空间从 $(1101\ 0000\ 0000\ 0000\ 0000)_2$ 即 $(D0000)_{16}$ 到 $(1101\ 0001\ 1111\ 1111\ 1111)_2$ 即 $(D1FFF)_{16}$ 。扩展好后, 指明各片的地址空间(用 16 进制表示)。注: 可直接使用译码器。图 8.28 为 $4K \times 8$ 的存储器符号图。

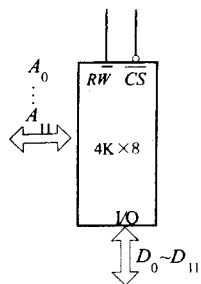


图 8.28

【解答】

用 6 片 $4K \times 8$ 可组成 $8K \times 24$ 的存储器。

因为地址空间为 $(1101\ 0000\ 0000\ 0000\ 0000)_2 \sim (1101\ 0001\ 1111\ 1111\ 1111)_2$, 所以需 20 条地址线 $A_0 \sim A_{19}$ 。同时需双向数据线 $D_0 \sim D_{23}$, 信号 R/W 和 ME 。作出地址空间和地址线($A_0 \sim A_{15}$)的对应关系, 如表 8.9 所示。

表 8.9 地址空间和地址线($A_0 \sim A_{15}$)的对应关系表

地址线	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
地址空间	D0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
															
	D1FFF	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1

据此画出扩展图如图 8.29 所示。

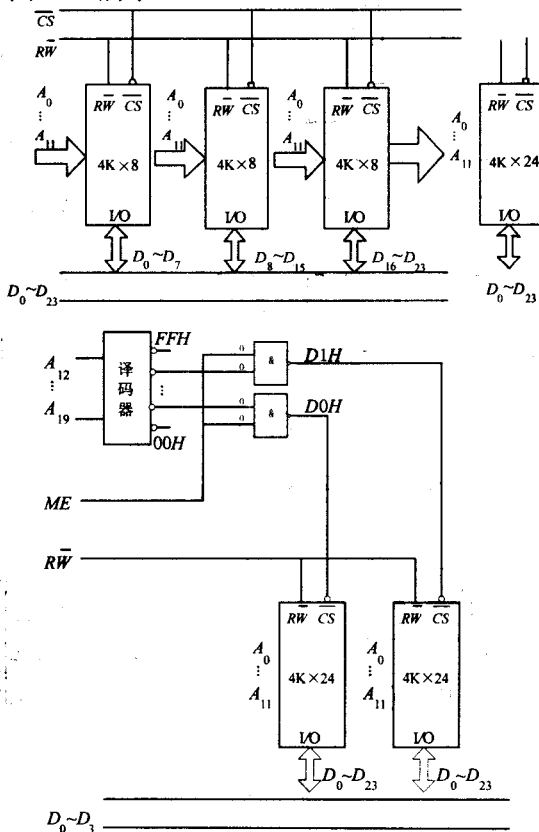


图 8.29



11. 分析图 8.30 所示 PROM 阵列图。
- (1) 指出该 PROM 的存储容量；
- (2) 写出输出函数表达式，并说明该电路功能；
- (3) 试画出改用 PLA 实现给定功能的阵列。

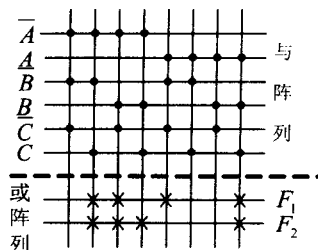


图 8.30

图 8.30 给出了一个三输入、两输出的 PROM 阵列图，图中与阵列固定产生 3 个输入变量的 8 个最小项，或阵列编程实现 2 个 3 变量函数。

(1) PROM 的容量是用它的单元数和每个单元存储代码的位数来衡量的。该 PROM 的与阵列对 3 个输入变量进行译码，可选中 8 个不同的单元，每个单元存放两位代码。所以，存储容量为 8×2 字节。

(2) 根据阵列图，可写出输出函数表达式为

$$F_1(A, B, C) = \sum m(1, 2, 4, 7) \dots$$

$$F_2(A, B, C) = \sum m(1, 2, 3, 7) \dots$$

由输出函数表达式可知该电路实现了全减器的功能。图 8.30 中， A 为被减数， B 为减数， C 为来自低位的借位， F_1 为本位差， F_2 为向高位的借位。

(3) 采用 PLA 实现该电路功能时，由于 PLA 的与阵列和或阵列都是可编程的，所以，设计时应按多输出函数化简方法，求出函数的最简“与或”表达式，力争表达式中包含的不同与项目数目达到最少。

用卡诺图分别对 F_1 和 F_2 进行化简，可得最简“与-或”表达式为：

$$F_1 = \overline{A}BC + \overline{A}B\overline{C} + A\overline{B}C + ABC \tag{8.1}$$

$$F_2 = \overline{A}B + \overline{A}C + BC \tag{8.2}$$

其中， F_1 的最简“与或”式即为标准“与或”式，两个函数中共含 7 个不同的与项。

由于该电路两个输出函数的标准“与或”表达式 8.1 和式 8.2 中包含 3 个相同最小项 m_1 、 m_2 和 m_3 ，所以，若不对 F_2 化简，反而可使两个输出函数中只包含 5 个不同与项。显然，该问题中输出函数的标准“与-或”式即整体的最简“与-或”式。据此，可画出 PLA 实现给定电路功能的阵列图如图 8.31 所示。

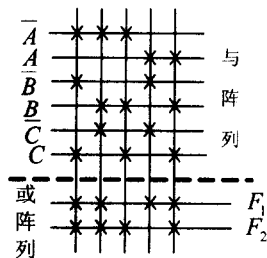


图 8.31

12. 分析图 8.32 所示 PLA 阵列图。设 A_1A_0 和 B_1B_0 均为两位二进制数，说明该电路功能。

【解答】

根据图 8.32 所示 PLA 阵列图，可直接写出输出函数表达式如下：

$$F_1 = A_1\overline{B}_1 + A_0\overline{B}_1\overline{B}_0 + A_1A_0\overline{B}_0$$

$$F_2 = \overline{A}_1B_1 + \overline{A}_1A_0B_0 + \overline{A}_0B_1B_0$$

$$F_3 = \overline{A}_1\overline{A}_0\overline{B}_1\overline{B}_0 + \overline{A}_1A_0\overline{B}_1B_0 + A_1\overline{A}_0B_1\overline{B}_0 + A_1A_0B_1B_0$$



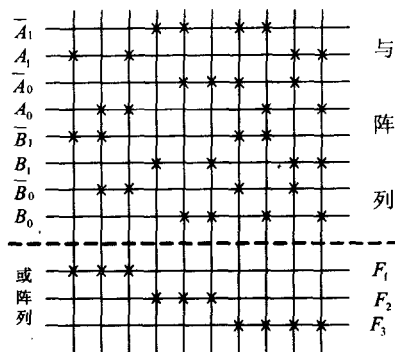


图 8.32

由输出函数表达式可列出真值表如表 8.10 所示。

表 8.10 真值表

A_1	A_0	B_1	B_0	F_1	F_2	F_3
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

由表 8.10 所示真值表可知, 该电路是一个数值比较器。当两位二进制数 $A_1A_0 > B_1B_0$ 时, 输出函数 F_1 为 1; 当 $A_1A_0 < B_1B_0$ 时, 输出函数 F_2 为 1; 当 $A_1A_0 = B_1B_0$ 时, 输出函数 F_3 为 1。

13. 用 EPROM 设计一个序列信号发生器, 该电路循环产生图 8.33 所示序列信号。

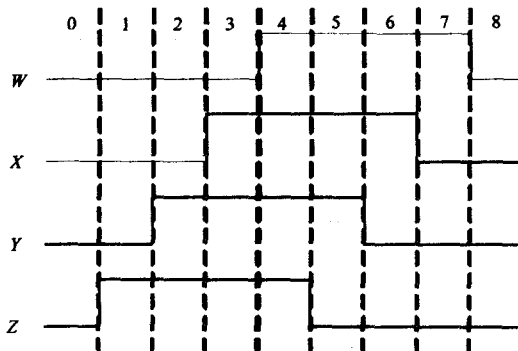


图 8.33



【解答】

由图 8.33 可知，序列信号 $WXYZ$ 共有 8 组不同取值，其输出序列依次为

$0000 \rightarrow 0001 \rightarrow 0011 \rightarrow 0111 \rightarrow 1111 \rightarrow 1110 \rightarrow 1100 \rightarrow 1000 \rightarrow 0000 \rightarrow \dots$

根据题意，可选用一个容量为 8×4 字节的 EPROM，将上述 8 组代码依次存入八个存储单元。并用一个 3 位同步加 1 计数器控制 EPROM 的地址输入端，使其地址按序进行周期性变化，以便逐个访问 8 个不同单元，循环读出 8 个代码。假如 3 位加 1 计数器的输出为 A 、 B 、 C ，可画出该序列信号发生器的逻辑框图如图 8.34(a)所示，其 EPROM 的阵列图如图 8.33(b)所示。

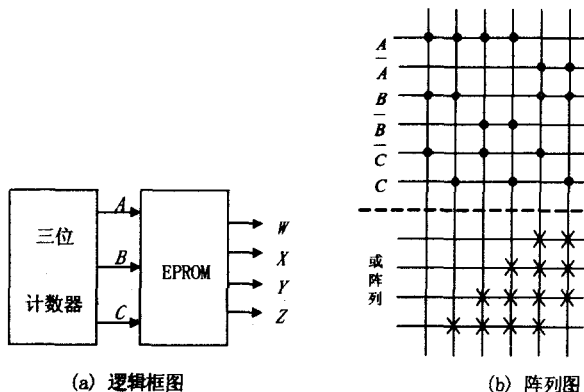


图 8.34

14. 分析图 8.35 所示时序 PLA 的阵列图，说明该电路功能。

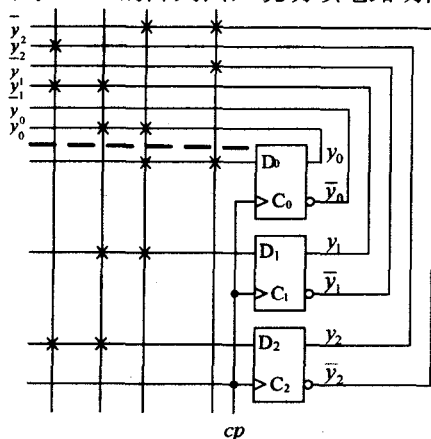


图 8.35

【解答】

由图 8.35 可知，该电路是一个由 3 个 D 触发器作为存储元件的同步时序逻辑电路。电路的激励函数表达式：

$$D_2 = y_2 y_1 + y_1 y_0$$

$$D_1 = \bar{y}_2 y_0 + y_1 y_0$$





$$D_0 = \bar{y}_2 \bar{y}_1 + \bar{y}_2 y_0$$

根据激励函数表达式 D 触发器的功能表可作出该电路的状态表如表 8.11 所示, 状态图如图 8.36 所示。由状态图可知, 该电路是一个具有自启动功能的同步模 6 计数器。

表 8.11 状态图

现 态			次 态		
y_2	y_1	y_0	y_2^{n+1}	y_1^{n+1}	y_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	0	0	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	1	0	0
1	1	1	1	1	0

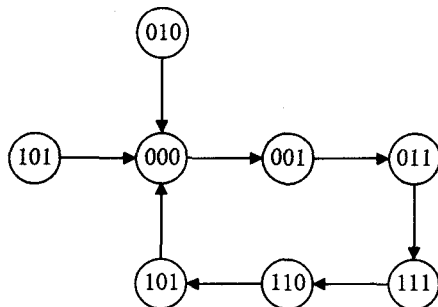


图 8.36

15. 某同步时序逻辑电路有一个输入 x 和一个输出 Z , 其二进制状态表如表 8.12 所示。试用 PLA 和 T 触发器实现该电路功能。

【解答】

根据表 8.12 所示二进制状态表和 T 触发器激励表, 可求出该电路的激励函数和输出函数表达式:

表 8.12 二进制状态表

现态		次态 $y_2^{n+1} y_1^{n+1}$ / 输出	
y_2	y_1	$x=0$	$x=1$
0	0	00/0	10/0
0	1	00/0	01/1
1	0	00/0	01/0
1	1	00/0	00/0

$$T_1 = x \bar{y}_1 + y_2, \quad T_2 = \bar{x} y_1 + x y_2, \quad Z = x \bar{y}_2 y_1$$

据此, 可画出 PLA 和 T 触发器实现该电路功能的阵列逻辑图如图 8.37 所示。



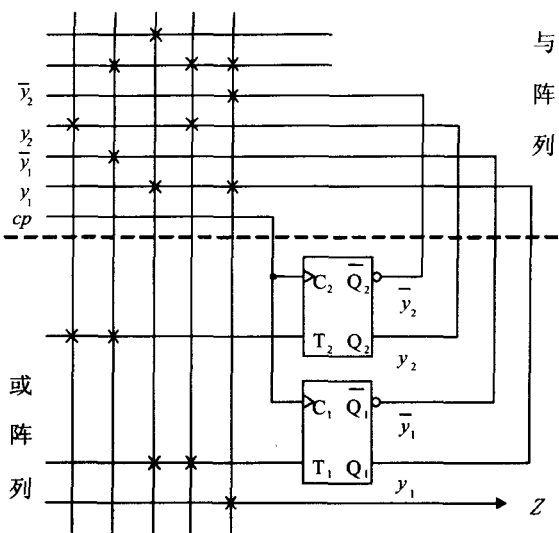


图 8.37

8.5 两级训练题

8.5.1 达标训练题

1. 填空题

- (1) 随机存取存储器 RAM 有_____和_____两种类型。
- (2) 只读存储器 ROM 有_____、_____和_____等类型。
- (3) 半导体存储器的结构包括_____、_____和_____等组成部分。
- (4) 构成半导体存储器中一个字的二进制位数称为_____。
- (5) ROM 和 PLA 在结构上的区别, 主要是 ROM 的与阵列_____编程; 而 PLA 的与阵列_____编程。
- (6) 一片 8K×8 位的 ROM 存储器有_____个字, 字长为_____位;
- (7) 动态存储器 DRAM 的优点是_____, _____, 其缺点是_____;
- (8) 半导体存储器对存储单元的寻址一般有_____和_____两种方式;
- (9) 有 10 条地址线的半导体存储器芯片, 若采用字译码方式, 则有_____条存储单元选择线控制线; 若采用矩阵译码, 则有_____条存储单元选择线控制线。
- (10) 动态存储器芯片存储的信息会丢失, 使用时必须对芯片进行_____。

2. 选择题

- (1) 在下列电路中, 不属于顺序逻辑电路的器件是_____。

A. 计数器	B. 移位寄存器
C. 半导体随机存储器 RAM	D. 半导体只读存储器 ROM



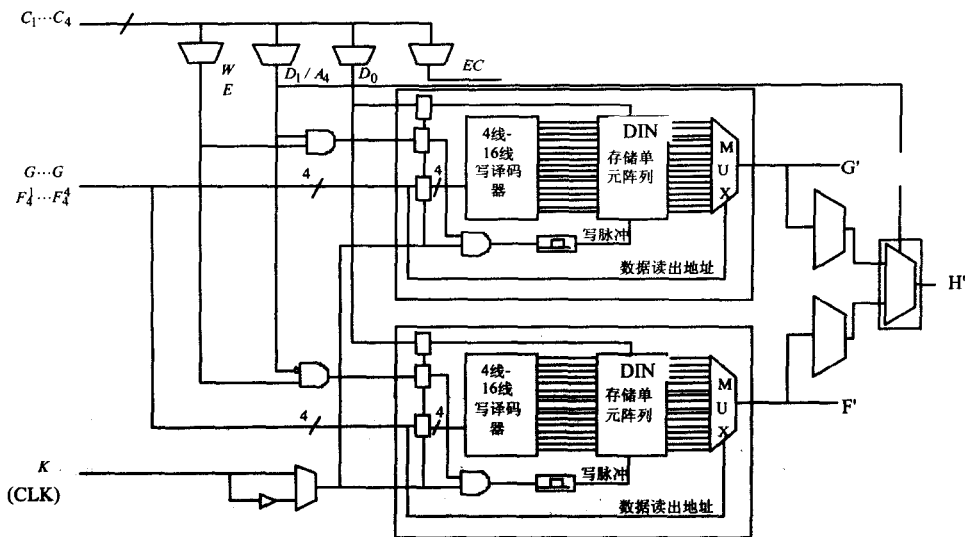


图 8.38

8.5.2 考研挑战题

1. 填空题

- (1) 在一片存储器芯片的存储容量不够用时，可以采用_____方法将多片存储器芯片组合起来。
- (2) PLD 的基本结构包括_____、_____、_____和_____等部分。
- (3) PLD 的基本结构通常采用点阵表示。一般在线段的交叉处加_____表示固定连接，加_____表示可编程连接。
- (4) 常用的 PLD 有_____、_____、_____、_____ 4 种主要类型。

2. 选择题

- (1) 随机存储器 RAM 是指_____。
 - A. 存储单元中所存信息是随机的。
 - B. 存储单元中的地址是随机的。
 - C. 程序和数据可随机地放在内存的任何地方。
 - D. 存储器中存取操作是随机的。
- (2) PLD(可编程逻辑器件)属于_____电路。
 - A. 非用户定制
 - B. 全用户定制
 - C. 半用户定制
 - D. 自动生成
- (3) 在下列器件中，不属于 PLD 的器件是_____。
 - A. PROM
 - B. SRAM
 - C. EPROM
 - D. PLA
- (4) 用 PLA 进行逻辑设计时，应将逻辑函数表达式变换成_____式。



第 9 章 脉冲波形的产生与变换

9.1 本章知识结构图

本章结构图如图 9.1 所示。

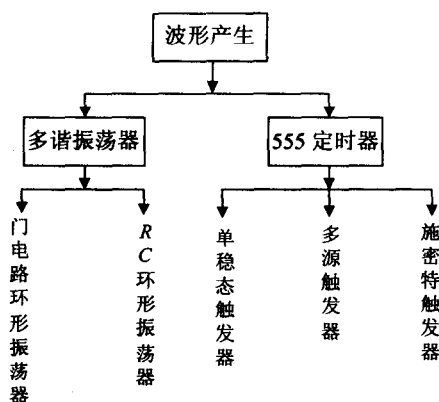


图 9.1

多谐振荡器是直接产生矩形脉冲波形的基本单元电路，单稳态触发器和施密特触发器是最基本的两种波形变换电路。对于这几种电路，应重点理解其工作原理、特点、参数、波形分析法及其基本应用。用波形分析法分析多谐振荡器及单稳态触发器时，关键在于通过对电路工作过程的分析正确地画出电路各点的电压波形，找出决定电路状态发生转换的控制电压。555 定时器是一种应用广泛的集成电路，要求在熟悉其工作原理的基础上，熟练掌握由它组成的多谐振荡器、单稳态触发器和施密特触发器电路的工作原理、指标参数及电路元件参数的计算。

9.2 疑难解惑

问题 9.2.1 用于产生矩形脉冲的电路可分为几类？

【指点迷津】

数字电路中的工作信号基本上都是矩形波脉冲信号。矩形波脉冲信号的获取方法通常有两种：一类电路能自动产生脉冲信号，主要是利用多谐振荡器直接产生；一类电路虽然不能自动产生脉冲信号，但能把其他形状的周期性信号变换为矩形脉冲信号。即对已有的



周期性信号整形,使之符合系统要求。

问题 9.2.2 施密特触发器有何特点?主要用途有哪些?

【指点迷津】

施密特触发器是一种常用的脉冲波形变换电路,可以将正弦波或其他不规则波形变换成矩形波。其主要特点是:

- (1) 有两个稳态,所以广义上说也是一种双稳态触发器。
- (2) 属电位触发型,即依靠输入信号的电压幅度来触发和维持电路状态。 V_i 超过某值时,电路处于一种稳态; V_i 低于某值时,电路处于另一种稳态。
- (3) 两个稳态的相互转换电位不等,即电路从原稳态转变为另一种稳态的 V_i 转换电平(V_T^+)不等于从另一种稳态返回到原来稳态的 V_i 转换电平(V_T^-)。通常称之为施密特触发器的滞回特性或回差特性。

因此施密特触发器电路的输出状态取决于输入信号。电路输出脉冲的宽度是由输入信号决定的。施密特触发器不仅可将非矩形波变换成矩形波,而且还可将脉冲波形展宽、延时和进行脉冲幅度的鉴别等。

问题 9.2.3 单稳态触发器有何特点?主要用途有哪些?

【指点迷津】

单稳态触发器是一种波形变换电路,其主要特点是:

- (1) 只有一个稳态。
- (2) 可在外加触发信号的作用下暂时离开稳态而形成一个暂稳态。
- (3) 暂稳态是一个不能长久保持的状态,由于电路中 RC 延时环节的作用,经过一段时间后,电路会自动返回到稳态。暂稳态维持时间长短取决于电路中的 RC 参数值,与触发信号无关。

因此单稳态触发器可将输入触发脉冲变换为一定宽度的输出脉冲,输出脉冲的宽度(暂稳态持续时间)仅取决于电路本身的参数,而与输入触发信号无关,输入信号仅起触发作用。由于单稳有这样几个特点,所以被广泛应用于定时、延时和脉冲波形的变换等。

单稳态触发器的分类:若根据 RC 电路的不同接法,单稳态触发器可分为微分型和积分型两种;而若根据电路及工作状态的不同,单稳态触发器又可分为非可重复触发型(如CT54/74121/221、CC74HC121等)和可重复触发器型(如CT54/74123/122、CC14528/14538等)两种。

问题 9.2.4 555 定时器主要由哪几部分组成?每部分各起什么作用?

【指点迷津】

555 定时器是一种多用途的数字-模拟混合单片集成电路,利用它可以方便地构成施密特触发器、单稳态触发器和多谐振荡器,因而广泛用于信号的产生、变形、控制与检测。555 定时器其内部逻辑结构如图 9.2(a)所示。它由比较器 C_1 和 C_2 、基本RS触发器及集电



极开路的泄放三极管 T 三部分组成。外部引线图如图 9.2(b)。

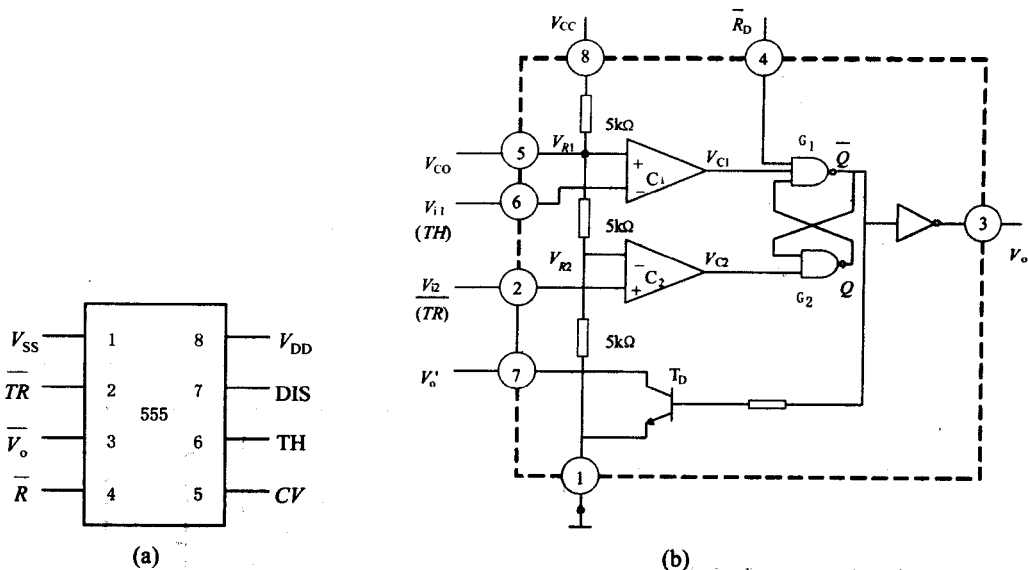


图 9.2

(1) 比较器及偏置电路

图中, V_{R1} 、 V_{R2} 分别为 C_1 、 C_2 的参考电压, 由 V_{CC} 经 3 个 $5k\Omega$ 电阻分压给出。 V_{CO} 悬空时, $V_{R1}=2/3V_{CC}$, $V_{R2}=2/3V_{CC}$ 。

V_{CO} 外接某电源时, $V_{R1}=V_{CO}$, $V_{R2}=1/2V_{CO}$ 。 R_D 是置零输入端。只要在 $\overline{R_D}$ 端加上低电平, 输出端 $\overline{V_o}$ 便立即被置成低电平, 而不受其他输入端状态的影响。因此在正常工作时, 必须将 R_D 接高电平。

(2) RS 触发器

由或非门 G_1 和 G_2 , 构成的 RS 触发器, 其输出状态取决于比较器 C_1 和 C_2 输出是高电平还是低电平。

(3) 放电开关管和输出驱动电路

放电开关管 T 当基极为高电平时导通, 放电端的外接电容便放电; 当基极为低电平时 T 管截止, 通过分析, 可得 555 定时器功能表如表 9.1 所示。

表 9.1 555 定时器功能表

输入			输出	
$V_{i1}(TH)$	$V_{i2}(TR)$	R_D	V_o	T 管
×	×	0	0	导通
$<(2/3)V_{CC}$	$<(1/3)V_{CC}$	1	1	截止
$>(2/3)V_{CC}$	$>(1/3)V_{CC}$	1	0	导通
$<(2/3)V_{CC}$	$>(1/3)V_{CC}$	1	不变	不变

问题 9.2.5 如何用 555 集成定时器实现多谐振荡器?



【指点迷津】

555 集成定时器是一种用途广泛的集成单元电路，它把模拟电路和数字电路兼容在一起。它的触发灵敏度高，驱动能力很强，并有较宽的参数选择范围，使用方便，只要外接几个元件就可构成上述各种脉冲波形变换电路。在自动控制、仪表设备和家电产品中都有广泛的用途。

由 555 集成定时器构成的多谐振荡器如图 9.3(a)所示。

图中 R_1 、 R_2 和 C 为外接电阻和电容，是定时元件。电路的工作波形如图 9.3(b)所示。

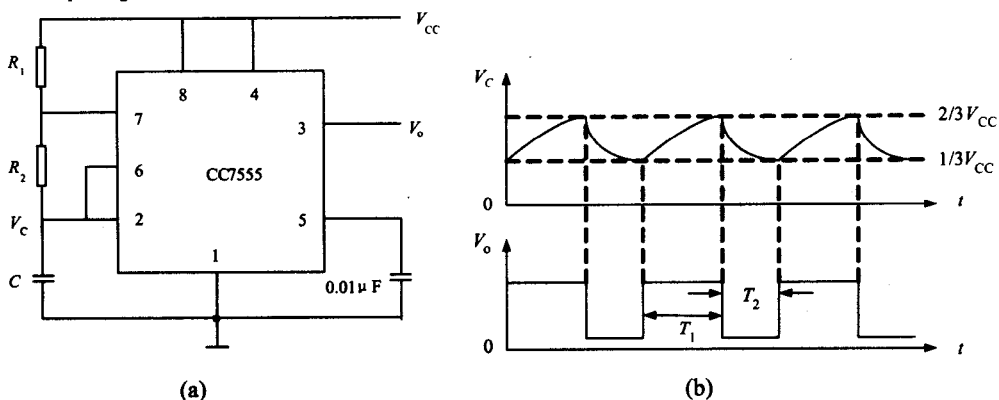


图 9.3

电路的工作过程如下：

(1) 电路接通电源时，由于定时电容 C 上的电压 $V_C=0$ ，比较器 C_2 输出为 1，使 RS 触发器置 1 ($Q=1$)， G_1 门输出为低电平，放电管 T 截止，电路输出 V_0 为高电平。

(2) 电源 V_{CC} 经电阻 R_1 和 R_2 对电容 C 充电，当 V_C 上升到 $1/3V_{CC}$ 时，比较器 C_2 输出为 0，但不影响 RS 触发器的 1 状态，放电管 T 仍然截止， V_C 逐渐上升，当 V_C 上升到 $2/3V_{CC}$ 时，比较器 C_1 输出为 1，RS 触发器被复位 ($Q=0$)， G_1 门输出变为高电平，放电管 T 导通，电路输出 V_0 从高电平跳变到低电平。

(3) 放电管 T 导通后，电容 C 通过电阻 R_2 、放电管 T 放电，这样 V_C 由 $2/3V_{CC}$ 开始逐渐下降，比较器 C_1 输出变为 0，但不影响 RS 触发器的 0 状态，放电管 T 仍然导通，电容 C 继续放电，直到充电到 V_C 下降到略小于 $1/3V_{CC}$ 时，比较器 C_2 输出为 1，RS 触发器置位 ($Q=1$)，电路又从低电平跳变到高电平，放电管 T 截止，电源 V_{CC} 又重新对电容 C 充电。如此周而复始形成自激振荡，输出矩形波。

由图 9.4(b)所示工作波形，可以方便地计算出电路振荡周期： $T = T_1 + T_2$

T_1 是 V_C 从 $1/3V_{CC}$ 放电到 $2/3V_{CC}$ 所经历的时间。其近似计算公式为

$$T_1 \approx (R_1 + R_2)C \ln 2 \approx 0.7(R_1 + R_2)C, \quad T_2 \approx R_2 C \ln 2 \approx 0.7R_2 C$$

$$T = T_1 + T_2 \approx 0.7(R_1 + 2R_2)C$$

电路的振荡频率为

$$f = \frac{1}{T} = \frac{1}{0.7(R_1 + 2R_2) C}$$





电路输出脉冲的占空比为

$$q = \frac{T_1}{T} = \frac{R_1 + R_2}{R_1 + 2R_2}$$

若希望构成占空比可调的多谐振荡器，可采用图 9.4 所示电路。

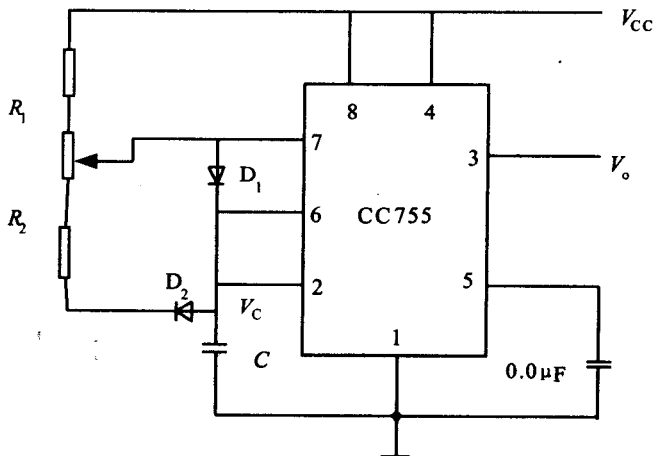


图 9.4

电路利用了二极管 D_1 和 D_2 的单向导电特性，使电容器 C 充电时，二极管 D_1 导通， D_2 截止，充电时间为

$$T_1 \approx R_1 C \ln 2 \approx 0.7 R_1 C$$

放电时，二极管 D_1 截止， D_2 导通，放电时间为

$$T_2 \approx R_2 C \ln 2 \approx 0.7 R_2 C$$

因此，该电路输出脉冲的占空比为

$$q = \frac{T_1}{T} = \frac{R_1}{R_1 + R_2}$$

若取 $R_1 = R_2$ ，则 $q = 50\%$ ，就形成方波发生器。

问题 9.2.6 双极型定时器与 CMOS 型定时器有什么异同？

【指点迷津】

(1) 二者的工作电源电压范围不同。对 TTL, $V_H = 3V$, $V_L = 0.3V$ ；而 CMOS, $V_H = V_{CC}$ (电源电压), $V_L = GND$ (地电位)。

(2) 双极型定时器输入输出电流较大，驱动能力强，可直接驱动负载，适宜于有稳定电源的场合使用。

(3) CMOS 型定时器输入阻抗高，工作电流功耗低且精度高，多用于需要节省功耗的领域。特别需要指出的是，CMOS 定时器在储存、使用中要防止静电危害，还要注意多余输入端的处理，而双极型定时器则不必考虑这些因素。





问题 9.2.7 555 定时器应用电路的基本形式有哪几种?

【指点迷津】

555 定时器基本应用形式有 3 种: 施密特触发器、单稳态触发器和多谐振荡器。

(1) 施密特触发器具有电压滞回特性(回流特性), 某时刻的输出由当时的输入决定, 即不具备记忆功能。当输入电压处于参考电压 V_{R1} 和 V_{R2} 之间时, 施密特触发器保持原来的输出状态不变, 所以具有较强的抗干扰能力。

(2) 在单稳态触发器中, 输入触发脉冲只决定暂稳态的开始时刻, 暂稳态的持续时间由外部的 RC 电路决定。从暂稳态回到稳态时不需要输入触发脉冲。

(3) 多谐振荡器又称无稳态电路。在状态的变换时, 触发信号不需要由外部输入, 而是由其电路中的 RC 电路提供; 状态的持续时间也由 RC 电路决定。

9.3 典型例题与考研题分析

9.3.1 典型例题分析

例 1 分析矩形脉冲的产生。由门电路、 RC 组成的环形多谐振荡器, 如图 9.5 (a)所示, 图 9.5 (b)为其工作波形。

【解答】

多谐振荡器没有稳定状态, 仅有两个暂稳态。电路由一个暂稳态自动翻转到另一个暂稳态, 是由电容 C 的充放电实现的。可以通过调节 R 或 C 的值来调节振荡频率。由于 RC 电路的延迟时间远远大于门的传输延迟时间 t_{pd} , 分析时可以忽略 t_{pd} , 认为每个门的输入、输出的跳变同时发生。

在图 9.5(a)中, R_s 为限流电阻, 对 G_3 起限流保护作用, 由于 R_s 很小($100\ \Omega$), 所以 V_{i3} 视为门 G_3 的输入电压。 RC 环形多谐振荡器的工作过程简述如下, 设通电后, 电路已处于正常工作状态。

(1) 第一暂稳态及其自动翻转过程

设 G_3 的输出 V_o 即 G_1 的输入 V_{i1} 由低电平跳变为高电平, 则 V_{o1} 由高电平跳变为低电平, V_{i2} 由高电平跳变为低电平, V_{o2} 由低电平跳变为高电平, 同时 V_{i2} 经过电容 C 使 V_{i3} 首先由高电平跳变为低电平, 维持 V_o 为高电平, 此时为第一暂稳态。在此期间 V_{o2} 通过电阻 R 给电容器 C 充电, 使 V_{i3} 的电位逐渐上升。充电回路 $V_{o2} \rightarrow R \rightarrow V_{i3} \rightarrow C \rightarrow V_{o1}$ 。当 V_{i3} 上升到大于阈值电压 V_T 时, G_3 导通, 使 G_3 的输出由高电平跳变为低电平, 至此第一暂稳态结束, 电路自动翻转到第二暂稳态。

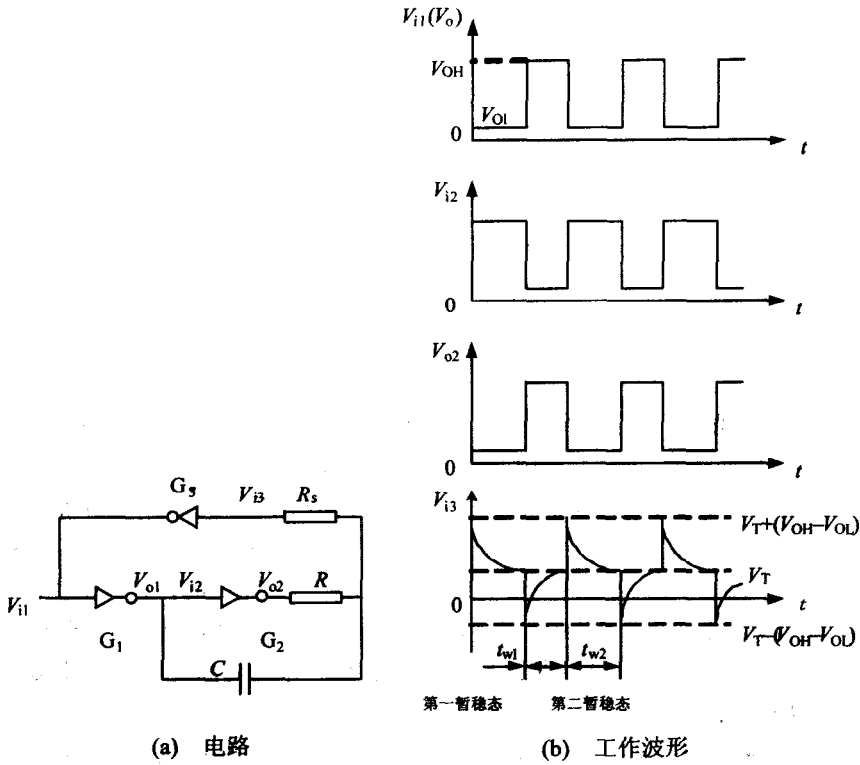


图 9.5

(2) 第二暂稳态及其自动翻转过程

G_3 的输出 V_0 即 G_1 的输入 V_1 由高电平跳变为低电平, V_{01} 由低电平跳变为高电平, V_{02} 由高电平跳变为低电平, 同时 V_{12} 经过电容首先使 V_{13} 由低电平跳变为高电平, 维持 V_0 为低电平, 此时为第二暂稳态。在此期间 V_{01} 通过电阻 R 给电容器 C 反向充电, 电容 C 上的压降增加, 使 V_{13} 的电位逐渐下降。充电回路 $V_{01} \rightarrow C \rightarrow V_{13} \rightarrow R \rightarrow V_{02}$ 。当 V_{13} 下降到小于阈值电压 V_T 时, G_3 截止, 使 V_0 由低电平跳变为高电平, 至此第二暂稳态结束, 电路自动翻转到第一暂稳态。使 V_0 由低电平跳变为高电平, V_{01} 由高电平跳变为低电平, V_{02} 由低电平跳变为高电平, 同时使 V_{13} 由高电平跳变为低电平, 维持 V_0 为高电平。

依靠电容器 C 的充放电过程, 使两个暂稳态周而复始地转换, 形成周期性振荡, 在门 G_3 的输出端 V_0 得到的就是矩形脉冲波形输出。图 9.6(a)中各关键点的波形如图 9.6(b)所示。

振荡器的暂态时间和周期的近似计算公式为:

$$t_{w1} \approx 0.98(R // R_1)C, \quad t_{w2} \approx 1.26RC$$

$$T = t_{w1} + t_{w2} \approx 0.98(R // R_1)C + 1.26RC$$

式中, RC 是外接的, R_1 是 TTL 与非门中的 R_{1+} , 当 $R_1 \gg R$ 时, 振荡周期为

$$T \approx 2.2RC$$

多谐振荡器不仅可以用门电路构成, 也可以用集成施密特和单稳态触发器构成。对频率稳定度要求较高的场合, 通常采用频率稳定度很高的石英晶体振荡器。



例2 RC 环形多谐振荡电路如图 9.7 所示, 试分析电路的振荡过程, 画出 V_{o1} 、 V_{o2} 、 V_R 、 V_{o3} 及 V_o 的波形。

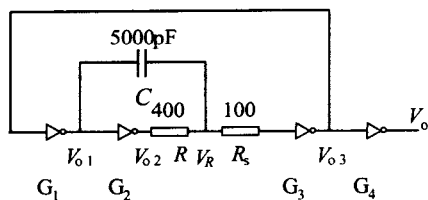


图 9.6

【解答】

若电路接通电源的瞬间, V_{o3} 输出为 1, 则 V_{o1} 为 0, V_{o2} 为 1。由于电容电压不能突变, V_R 也为 0, 从而保持 V_{o3} 为高电平, 这是电路第一暂稳态: $V_{o1}=0$, $V_{o2}=1$, $V_{o3}=1$, $V_o=0$ 。此稳定状态不能长久维持, 电容 C 通过图 9.7(a)所示的电路进行充电, 使 V_R 上升。一旦 V_R 达到门坎电压, 就会产生正反馈雪崩过程。电路进入第二暂稳态: $V_{o1}=1$, $V_{o2}=0$, $V_{o3}=0$, $V_o=1$ 。同样, 第二暂态也不能维持长久。在此期间, V_{o1} 通过电阻 R 及 G_2 门对电容 C 反向充电, 如图 9.7(b)所示, V_R 将按指数规律下降。当 V_R 下降至门坎电平, 又发生下述雪崩过程。结果使电路返回至第一暂稳态, 如此周而复始, 产生振荡。各点的工作波形如图 9.8 所示。

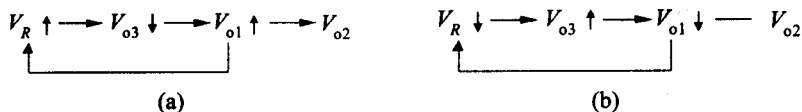


图 9.7

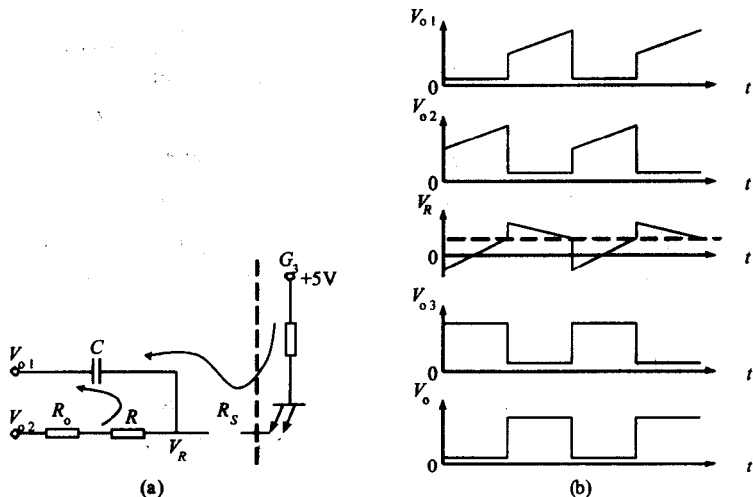


图 9.8



例3 用555定时器组成施密特触发器如图9.9所示。

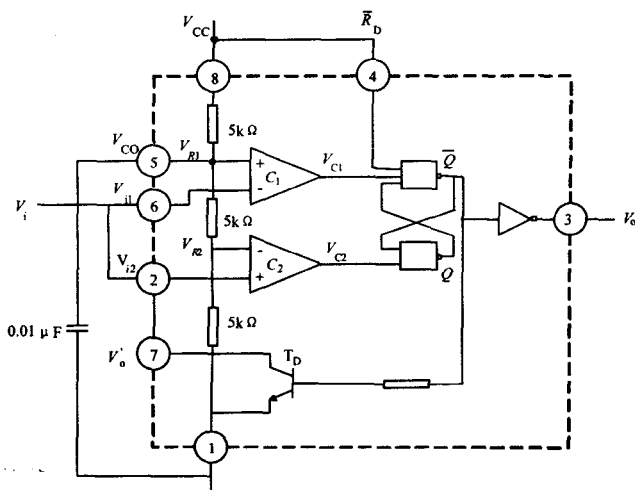


图 9.9

【解答】

将555定时器的 V_{i1} 和 V_{i2} 连在一起作为信号输入端，如图9.10所示，即可得到施密特触发器。

这样连接后，因为 $V_{R1} \neq V_{R2}$ ，所以基本RS触发器的置0信号 ($V_{c1}=0$) 和置1信号 ($V_{c2}=1$) 必然发生在输入信号的不同电平上。因此，输出电压 V_o 由1变0和由0变1所对应的 V_i 值也必然不同，这样就形成了施密特触发特性。随着 V_i 的变化，工作可分为如图9.10(a)所示的三段。其电压传输特性如图9.10(b)所示。

从图可见，转换电平， $V_{T+}=2/3V_{CC}$ ， $V_{T-}=1/3V_{CC}$ ，回差电压 $\Delta = V_{T+}-V_{T-}=1/3V_{CC}$ 。如果参考电压改由外接控制电压 V_{CO} 提供，则不难看出： $V_{T+}=V_{CO}$ ， $V_{T-}=1/2V_{CO}$ ， $\Delta=1/2V_{CO}$ 。只要改变 V_{CO} 的值，即可调节回差电压的大小。

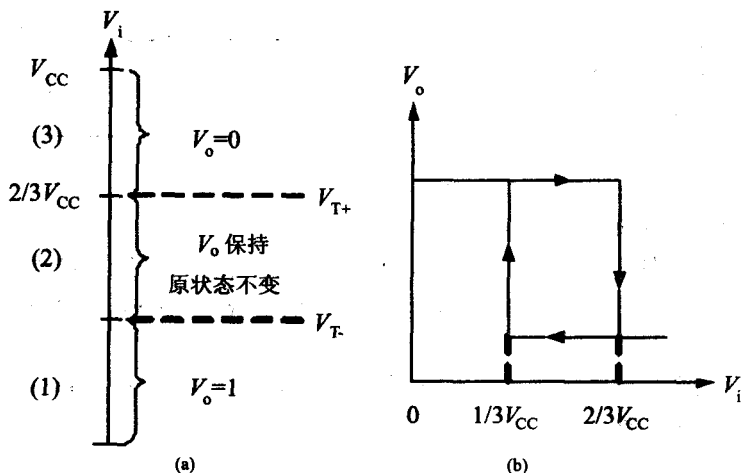


图 9.10



【举一反三】

进一步考查怎样由 555 组成单稳态触发器(见图 9.11(a))和多谐振荡器(见图 9.11(b))。

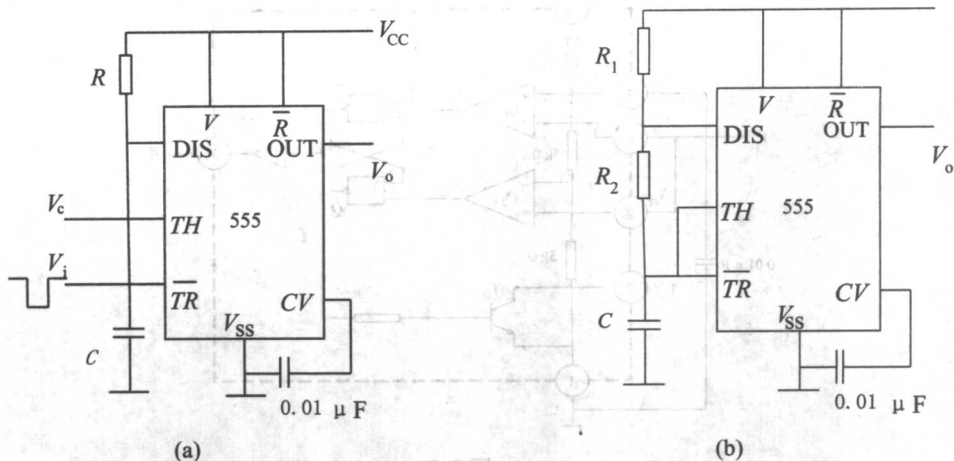


图 9.11

单稳态触发器电路只有一个稳态 $V_o=0$ ，而 $V_o=1$ 为暂稳态，其保持时间 $TW \approx 1.1RC$ 可调。同时该电路为低脉冲触发。

多谐振荡器不需要外加出发信号，无论 $V_o=0$ (或 1)都是暂稳态。其振荡周期 $T=T_1+T_2 \approx 0.7(R_1+2R_2)C$ 。

9.3.2 考研题分析

1. 具有 RC 电路的 TTL 非门环形多谐振荡器电路如图 9.12 所示，已知门的 $V_H=3.6V$ ， $V_L=0.3V$ ， $V_T=1.4V$ 。

- (1) 说明 R、C 元件的作用？
- (2) 如何考虑电阻 R 和 R_s 的取值。
- (3) 电路的振荡频率 f 和哪些参量有关。
- (4) 估算电路的振荡频率 f。

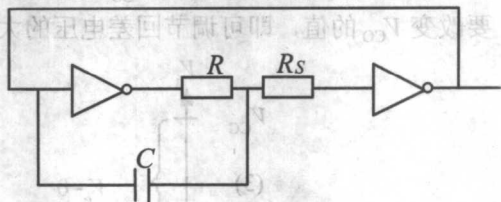


图 9.12

【解答】

- (1) R 和 C 是定时元件， R_s 是保护电阻，保护其右边的非门在输入为负电平时非门内输入端的保护二极管不被损坏。
- (2) 电阻 R 的取值应以定时要求为准，但 R 和 R_s 的和应小于等于关门电阻 R_{ON} ，一般为 800Ω 左右。
- (3) 影响电路的振荡频率 f 的参量有：电阻 R，电容 C，门的输出高电平 V_{OH} 和输出低电平 V_{OL} ；如果考虑更细些，f 还受门的输出电阻 R_o 的影响， R_s 及门的输入特性(如 R_I) 也影响 f。
- (4) 振荡周期和振荡频率分别为：



$$T = T_1 + T_2 \approx RC \ln\left(\frac{2V_{OH} - V_T}{V_{OH} - V_T} \times \frac{V_{OH} + V_T}{V_T}\right) = 2.24RC$$

$$f = 1/T = 1/2.24RC$$

2. 由主从 JK 触发器和 555 定时器组成的电路如图 9.13(a)所示。已知 CP 为 10HZ 的方波，如图 9.13(b)所示。 $R_1=10k\Omega$ ， $R_2=56k\Omega$ ， $C_1=1000pF$ ， $C_2=4.7\mu F$ ，触发器的 Q 端及 555 输出端(3#端)初态为 0。

- (1) 试画出 Q 端， V_i 和 V_o 相对于 CP 脉冲的波形。
- (2) 试求 Q 端输出波形的周期。

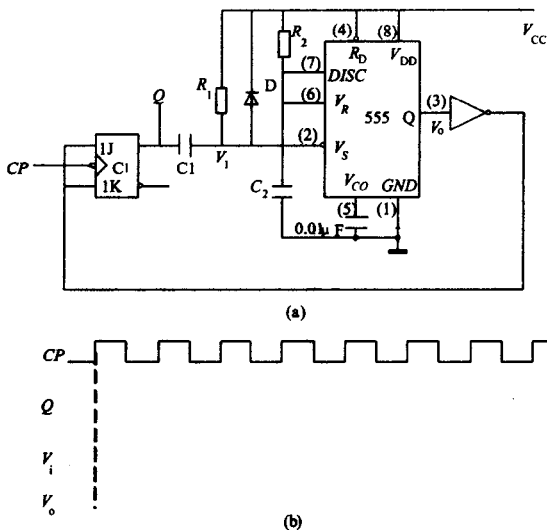


图 9.13

【分析】

本题巧妙之处在于单稳态的定时宽度设置恰到好处，在定时宽度内触发器被封锁，因此即便有 CP 脉冲触发器也不会翻转，定时宽度 0.29S 一过，第 4 个 CP 脉冲下降边到达，触发器即可被触发，这就是用单稳态进行分频的原理。

【解答】

(1) 触发器接成 T 触发器， R_1 同 C_1 组成微分电路，555 组成单稳态电路。稳态时，555 输出 $V_o=0V$ ，触发器的 $T=1$ ，所以 CP 脉冲到达后触发器翻转，经 R_1 和 C_1 电路微分后 V_i 产生正负尖顶脉冲，但正负尖顶脉冲被二极管 D 限掉，负尖顶脉冲触发稳态产生 V_o 。正方波输出，正方波宽度。

$$T_w = 1.1 \times 56 \times 10^{-3} \times 4.7 \times 10^{-3} = 0.29S$$

所以 Q 端， V_i 和 V_o 波形如图 9.14 所示。

(2) 由图可知 Q 波形周期为。

$$T = 0.4s$$



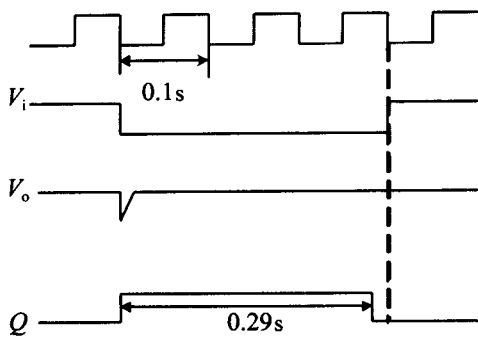


图 9.14

3. 集成定时器组成的谐振电路如图 9.15 所示。

- (1) 试定性画出 V_{C1} 、 V_{C2} 和 V_o 波形。
- (2) 求振荡频率 f 。

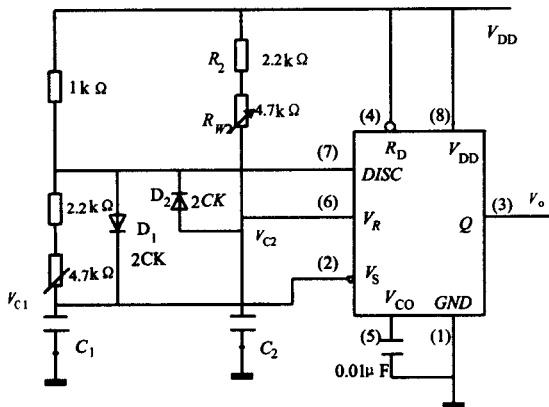


图 9.15

【分析】

本题妙在用两个电容支路分别定时考查应试者对 555 振荡器的掌握程度。电路的工作过程大致如下：没加电时，电容器上的电压均为 0；上电开始时，电容上的电压不能突变故仍为 0，因 555 的 2 脚为 0 使输出 V_o 为 1，从而 7 脚关断， C_1 、 C_2 皆充电， V_{C1} 、 V_{C2} 皆上升，力图充到 V_{DD} ，充电时间常数如图 9.16 所示，这就是图中 T_2 段；当 C_2 充电到 $V_{C2}=(2/3)V_{DD}$ 时，555 的 6 脚输入超过上阈值，输出 V_o 下降为低电平，7 脚短路到地， C_2 经二极管 D_2 迅速放电到 0，与此同时， C_1 经 R_1 、 R_{W1} 放电， V_{C1} 逐渐下降，当 V_{C1} 下降到 $V_{C1}=(1/3)V_{DD}$ 时，555 的 2 脚输入低于下阈值 $(1/3)V_{DD}$ ，输出 V_o 再次变为高电平，7 脚再次关断， C_1 、 C_2 再次充电， V_{C1} 、 V_{C2} 再次上升，如此循环往复，以至无穷。

【解答】

- (1) V_{C1} 、 V_{C2} 及 V_o 波形如图 9.16 所示。



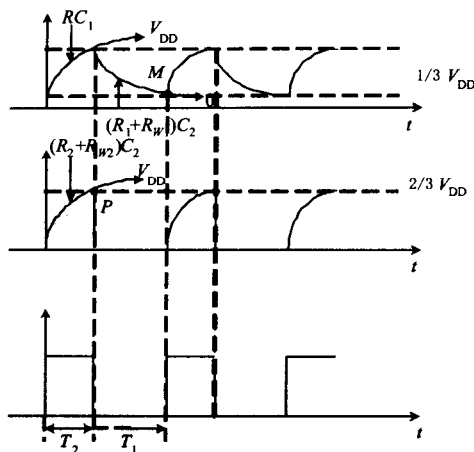


图 9.16

(2) 振荡频率

$$f = 1/(T_1 + T_2)$$

其中

$$T_2 = (R_2 + R_{w2})C_2 \ln \frac{V_{DD} - 0}{V_{DD} - \frac{2}{3}V_{DD}} = (R_2 + R_{w2})C_2 \ln 3$$

$$T_1 = (R_1 + R_{w1})C_1 \ln \frac{0 - V_1}{0 - \frac{1}{3}V_{DD}} = (R_1 + R_{w1})C_1 \ln \frac{3V_1}{V_{DD}}$$

$$V_1 = V_{DD} - (V_{DD} - \frac{1}{3}V_{DD}) \exp\left[-\frac{T_2}{(R_1 + R_{w1})C_1}\right]$$

9.4 重要习题精选精解

1. 单稳态电路如图 9.17(a)所示。设电路的暂稳态时间为 t_{wo} ，恢复时间为 t_{re} 。已知门电路为 TTL 门， $R_{ON} < 5k\Omega$ 。试问：

(1) 稳态时 V_2 为高电平还是低电平。

(2) 若电路参数合理，试画出在图 9.17(b)所示输入电压 V_T 作用下相应的 V_F 和 V_2 波形(设 $T \gg t_{wo} + t_{re}$)。

(3) 电路工作正常，输入触发脉冲宽度 t_{wi} 与 t_{wo} ；

(4) 当 C 增大时 t_{wo} 将如何变化。

【分析】

本例电路是一微分型单稳态电路。单稳态电路有稳态和暂稳态两个工作电路。在触发信号的作用下，电路由稳态进入暂稳态，经一段时间后，电路自动返回稳态。因此对这种电路的分析，应首先分析电路的静态(即稳态)，再分析电路在触发信号的作用下进入暂稳态及自动返回稳态的过程。



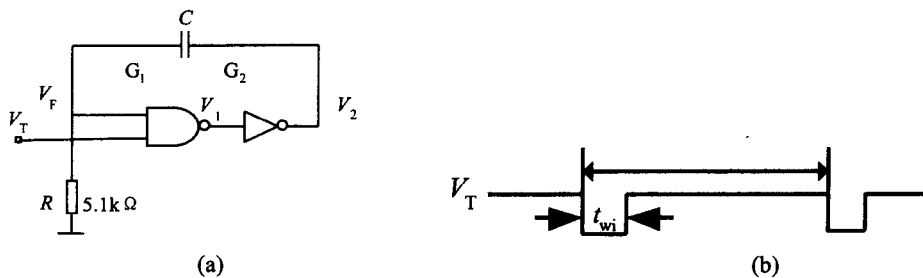


图 9.17

【解答】

(1) 为用或非门构成的触发器用正脉冲触发，用与非门构成的触发器用负脉冲触发。所以本题在稳态时，用 $V_T=1$ (高电平) 稳定状态，得 $V_2=1$ (高电平)。

(2) V_T 出现低电平跳变，降至 G_1 的阈值电平， G_1 进入转换区，输出 V_1 变为高电平。若此输出升至 G_2 的阈值电平 (V_{TH})， V_2 会变为低电平。这些变化非常短，可以认为是瞬间完成的。由于电容器 C 的电压不能跳变，所以 V_2 的变化完全被耦合到 V_F 。在此瞬间，环路增益远远大于 1，出现正反馈连锁效应，电路跳变为 $V_1=0, V_2=1$ 的暂稳态。

由于电容两端电压变化， t_1 时刻电容 C 将通过 G_2 的下拉网络放电。从而使得 V_F 的电平逐渐升高，当使得 V_F 的电平高于 G_1 的阈值电平 (V_{TH})，则 G_1 进入转换区，输出 V_1 变成低电平， G_2 输出 V_2 变成高电平。 V_2 的变化再次被耦合到 V_F 上。 t_2 时刻， G_2 得上拉网络对电容器 C 充电。电容器 C 上的压降提高意味着 V_F 的下降，经过一段时间后，回到被触发以前的稳定状态。详细波形如图 9.18 所示。

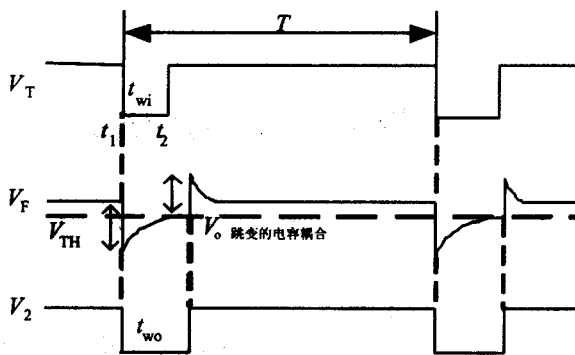


图 9.18

(3) 输入触发脉冲宽度 t_{wi} 应小于单稳态的暂稳态时间 t_{wo} 。

(4) 电容 C 增大，将使单稳态的暂稳态时间 $t_{wo} (\approx 0.7RC)$ 增加。

2. 图 9.19 所示电路为由 CMOS 或非门构成的单稳态触发器的另一种形式，试回答下列问题：

(1) 分析电路的工作原理。

(2) 画出加入触发脉冲后 V_{o1} 、 V_{o2} 及 V_R 的工作波形。

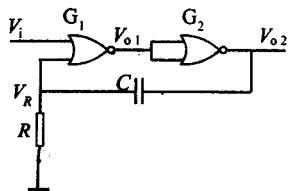


图 9.19



(3) 写出输出脉宽 t_w 表达式。

【解答】

(1) 电路工作过程如下：

稳态： G_1 一输入端经 R 接地， $V_R=0$ ， $V_1=0$ ， V_{o1} 为 1， V_{o2} 为 0， V_C 也为 0。

暂稳态：当触发脉冲 V_1 由 0 上升至高电平时， G_1 输出下跳至低电平， G_2 输出 V_{o2} 上跳至高电平，于是 V_R 出现与 V_{o2} 等幅的上跳。此后 G_2 输出的高电平向电容 C 充电， V_R 成指数规律下降。

返回稳态： V_1 撤消后，若 V_R 下降至门坎电平 V_{TH} 后， G_1 输入全为 0， V_{o1} 为 1，暂稳态结束，返回至稳态。

恢复阶段：此后电容放电，使 V_R 回到稳态值。

(2) V_1 、 V_{o1} 、 V_{o2} 和 V_R 的工作波形如图 9.20 所示。

(3) 输出脉宽 t_w 取决于暂稳态的持续时间，其值为：

$$t_w = \tau \ln \frac{V_R(\infty) - V_R(0^+)}{V_R(\infty) - V_R(t_w)} = RC \ln \frac{V_{DD}}{V_{TH}}$$

若 $V_{TH} = V_{DD}/2$ ，则：

$$t_w = RC \ln 2 \approx 0.7RC$$

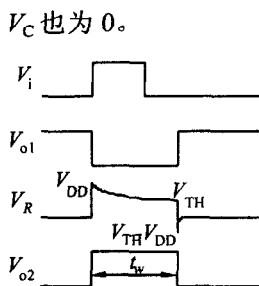


图 9.20

3. 图 9.21 所示电路为由 555 定时器构成的锯齿波发生器，BJT 管和电阻 R_1 、 R_2 和 R_c 构成恒流源，给定时电容 C 充电，当触发器输入端输入负脉冲后：

(1) 画出电容电压 V_C 及 555 输出端 V_o 的波形。

(2) 计算电容 C 充电的时间。

【解答】

(1) 当 V_1 输入一脉冲后，555 内 RS 触发器置 1，放电管 T 截止，定时电容由恒流源电路充电，有 $V_C = \frac{1}{C} \int_0^t i_c dt = \frac{I_0 t}{C}$ ，故电容两端电压 V_C 随时间线性增长。当 $V_C \geq \frac{2V_{CC}}{3}$ 时，T 导通，电容放电。各点波形如图 9.22 所示。

(2) 输出脉宽为： $t_w = \frac{2V_{CC}C}{3I_0}$

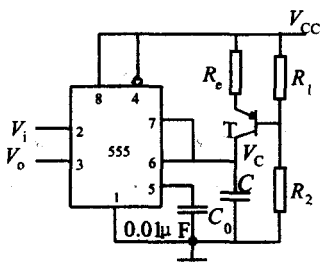


图 9.21

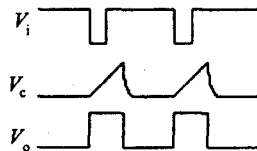


图 9.22

t_w 为定时电容 C 上的电压 V_C 从 0 充电至 $2V_{CC}/3$ 所需的时间，由于以下关系满足





$$I_0 = \frac{\frac{V_{CC}R_2}{R_1 + R_2} + V_{BE}}{R_c}, \quad \frac{V_{CC}R_2}{R_1 + R_2} \gg V_{BE}$$

则有

$$t_w = \frac{2(R_1 + R_2)C}{3R_2}$$

9.5 两级训练题

9.5.1 达标训练题

1. 填空题

- (1) 脉冲单元电路主要有_____、_____和_____。其中属于脉冲产生电路的是_____，属于脉冲变换电路的是_____。
- (2) 施密特触发器的回差特性的主要作用是_____。
- (3) 将 CB555 的 V_{11} 端和 V_{12} 端连接起来即可构成_____。
- (4) 单稳态触发器的反馈网络若为高通型网络(即微分电路)，则主网络应为_____相放大器；若为低通型网络(即积分电路)，则主网络应为_____相放大器。

2. 选择题

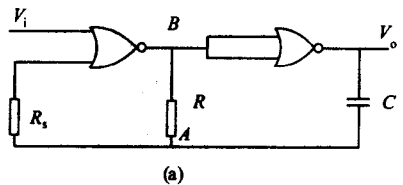
- (1) 一个由 555 定时器构成的单稳态触发器的正脉冲宽度()。

A. $0.7RC$	B. RC
C. $1.1RC$	D. $1.4RC$
- (2) 欲将不规则的输入波形变换为幅度和宽度都相同的矩形脉冲，应选择()电路。

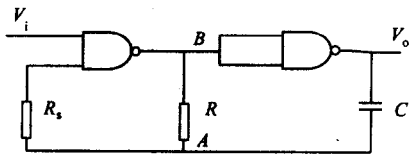
A. 基本 RS 触发器	B. 单稳态触发器
C. 施密特触发器	D. 多谐振荡器

3. 电路如图 9.23 所示。试问：

- (1) 这是什么电路。
- (2) 输入信号 V_i 有什么作用，它对频率有什么要求。
- (3) 画出在输入信号 V_i 控制下的 V_o 波形。
4. 电路如图 9.24 所示，试分析该电路的功能。



(a)



(b)

图 9.23



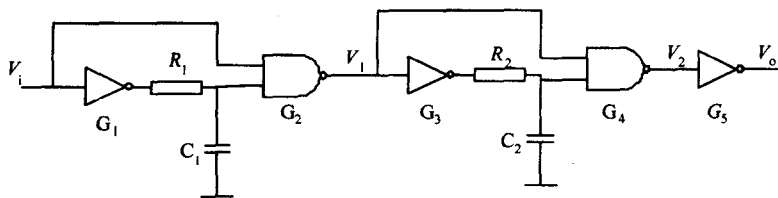


图 9.24

9.5.2 考研挑战题

1. 图 9.25 所示电路为两个 555 定时器构成的频率可调、而脉宽不变的方波发生器，试说明工作原理；确定频率变化的范围和输出脉宽；解释二极管 D 在电路中的作用。

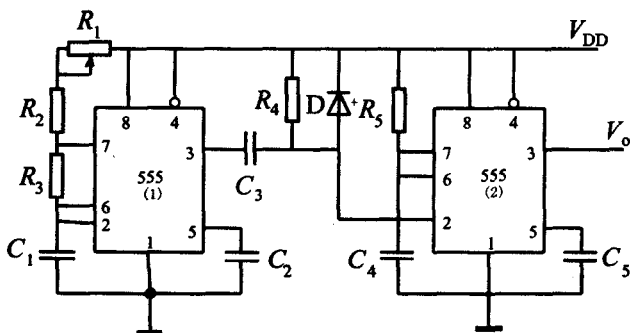


图 9.25

2. 由两个 TTL 与非门组成的施密特触发器如图 9.26(a)所示。图中 D 为电平偏移二极管， $V_D \approx 0.7V$ ，与非门输出高电平 $V_{OH} = 3.6V$ ，输出低电平 $V_{OL} = 0.3V$ ，阈值电压 $V_{TH} = 1.4V$ ，忽略与非门 G_1 的输入短路电流 I_{IS} 。若输入信号 V_i 为如图 9.27(b)所示的三角波形，试画出 V_{o1} 和 V_{o2} 的波形，并求出回差电压 ΔU_T 的大小。

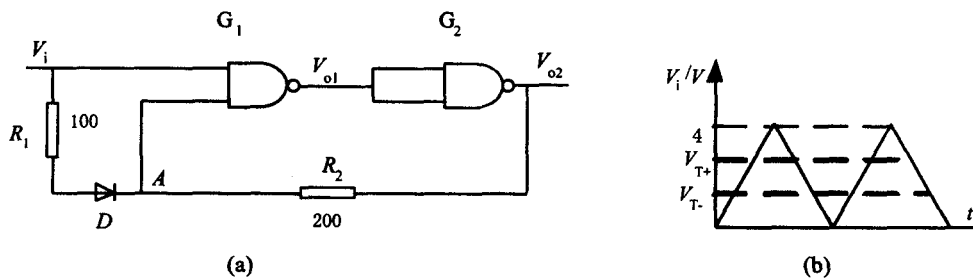


图 9.26

3. 电路如图 9.27 所示，指出各个单元 G_{1-3} 的名称。已知输入 CP 脉冲的周期 $T = 2ms$ ，占空比其 $q = 80\%$ ，如图 9.28 所示，试根据图中的参数画出 $ABCD$ 各点的波形。



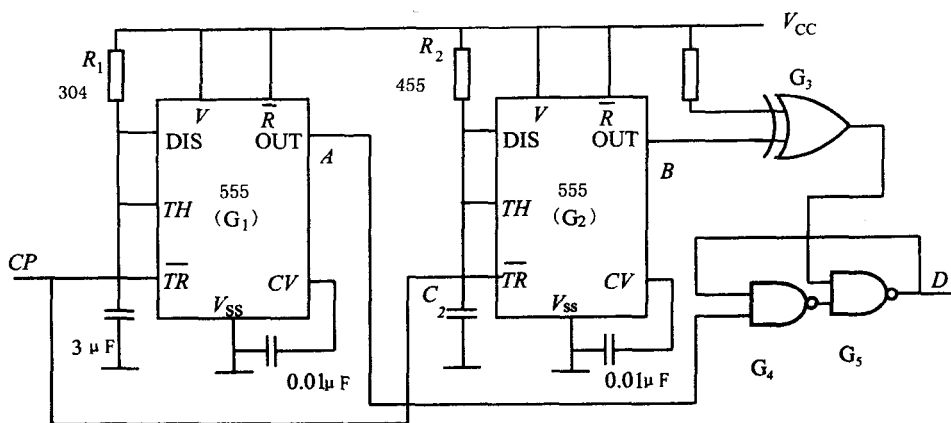


图 9.27

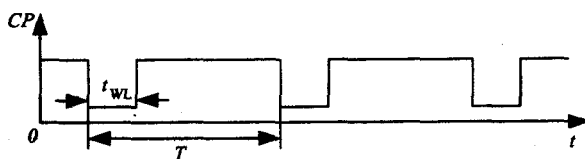


图 9.28

4. 两片 555 定时器构成如图 9.29 的电路。问

- (1) 试计算 V_{o1} , V_{o2} 的振荡周期 T 各为多少。
- (2) 画出 V_{o1} , V_{o2} 的波形, 试说明电路的功能。
- (3) 若将 555(1) 片的 CV 端改接 +4V, 对电路的参数有何影响。

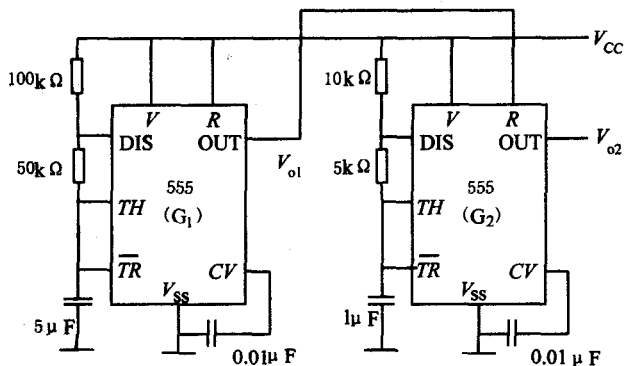


图 9.29

第 10 章 数模与模数转换器

10.1 本章知识结构图

本章结构图如图 10.1 和图 10.2 所示。

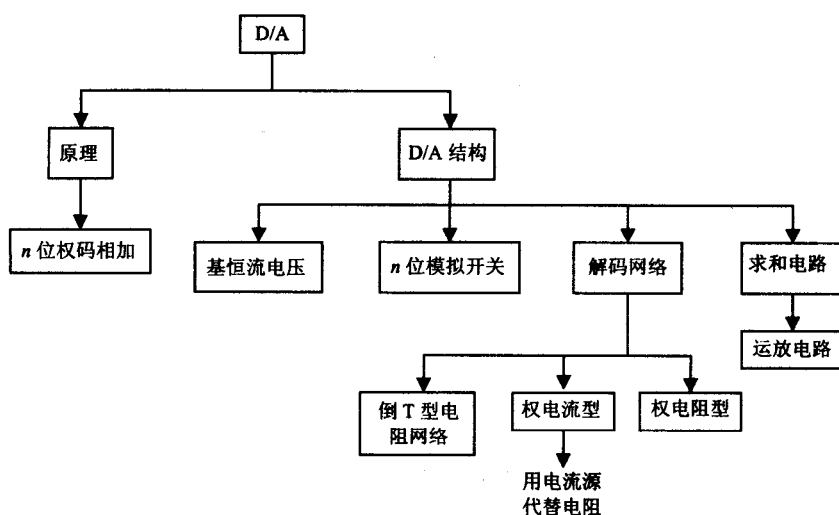


图 10.1

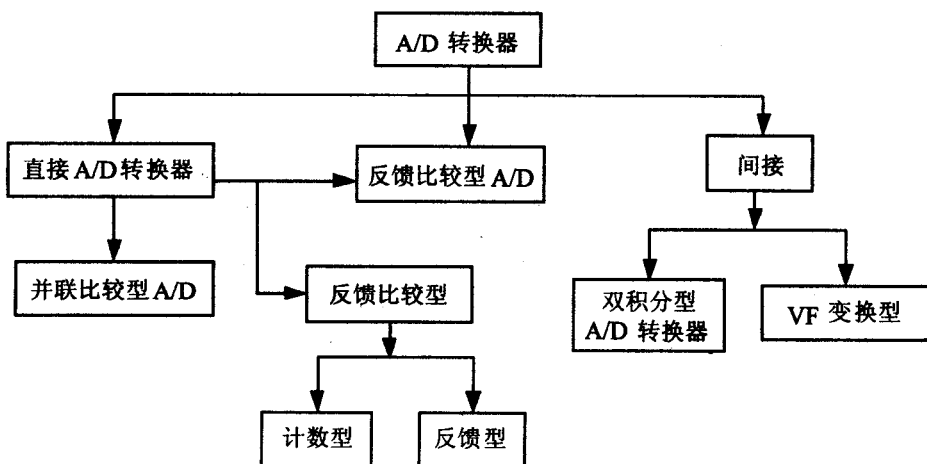


图 10.2



数模转换以倒 T 型电阻网络 D/A 转换器为主。在熟练掌握其工作原理的基础上,通过授课或作业方式了解其他类型的 D/A 转换器(如权电流型、权电阻型 D/A 转换器等)的工作原理。

掌握单极性和双极性的输出方式和相应电路的组成。以 AD7520 为代表,掌握 D/A 转换器的典型应用。掌握 A/D 转换的一般工作过程,并比较 A/D 转换器,逐次比较 A/D 转换器和双积分型 A/D 转换器的工作原理及特点。如图 10.3 所示,熟悉 D/A 和 A/D 转换器的主要性能指标及其实用意义。

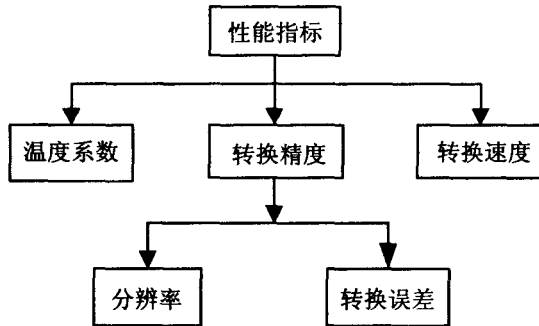


图 10.3

10.2 疑难解惑

问题 10.2.1 什么是 D/A 转换?D/A 转换器框图中各部分的作用是什么?

【指点迷津】

把数字信号转换为模拟信号的电路称为数模转换器(简称为 D/A 转换器),D/A 转换器已成为计算机系统中不可缺少的接口电路。D/A 转换器按转换原理的不同,可分为权电阻网络型、T 型电阻网络型、倒 T 型电阻网络型、权电流和权电容网络型等。各种 D/A 转换器电路结构上一般都由数码寄存器、模拟电子开关、解码网络、求和电路及基准电压源等部件组成,如图 10.4 所示。其中,数码寄存器存储以串行或并行方式输入的数字量 $(d_{n-1}d_{n-2}\cdots d_1d_0)$,寄存器输出的每一位数码(0 或 1)驱动对应数位上的电子开关,并且在解码网络中得到相应的数位权值送入求和电路,求和电路将各位权值相加便得到与输入数字量相对应的输出模拟量 V_o 。不同 D/A 转换器的差别主要表现在采用不同的解码网络。其中 T 型和倒 T 型电阻解码网络的 D/A 转换器,因其只有 R 和 $2R$ 两种电阻阻值,所以在集成 D/A 转换器产品中使用较多。

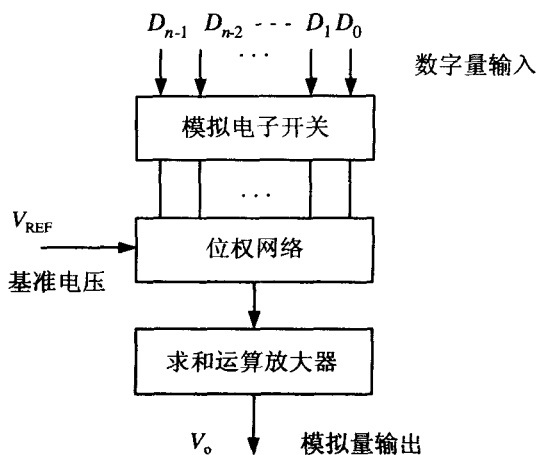


图 10.4

问题 10.2.2 常见的 DAC 有几种?其特点分别是什么?

【指点迷津】

常见的 DAC 主要有电阻型 D/A 转换器、T 型 D/A 转换器、倒 T 型 D/A 转换器和权电流型 D/A 转换器。

- 电阻型 D/A 转换器: 结构简单, 使用电阻元件数少; 但电阻种类多, 阻值差异大, 集成较困难, 精度不易保证。
- T 型 D/A 转换器: 输出 V_o 只与电阻比值有关, 且电阻取值只有两种, 易于集成; 但电阻网络各支路存在传输时间差异, 易造成动态误差, 对转换精度和转换速度有较大影响。
- 倒 T 型 D/A 转换器: 既具有 T 型 D/A 转换器的优点, 又避免了它的缺点, 转换精度和转换速度都得到提高。
- 权电流型 D/A 转换器: 引入了恒流源, 减少了由模拟开关导通电阻、导通压降引起的非线性误差, 且电流直接流入运放输入端, 传输时间小, 转换速度快; 但其电路较复杂。

问题 10.2.3 描述 DAC 的主要技术指标有哪些?

【指点迷津】

描述 DAC 的技术指标主要有分辨率、转换精度和转换速度。

(1) 分辨率

DAC 的分辨率是说明 DAC 输出最小电压的能力。它是指最小输出电压(对应的输入数字量的最低位为 1)与最大输出电压(对应的输入数字量各有效位全为 1)之比。分辨率 $= 1/(2^n - 1)$, 式中 n 表示输入数字量的位数。可见, 2^n 越大, 分辨最小输出电压的能力也越强。例如, $n=8$, DAC 的分辨率为 $1/(2^8 - 1) = 0.0039$ 。



(2) 转换精度

转换精度是指 DAC 实际输出模拟电压值与理论输出模拟电压值之差。显然, 这个差值越小, 电路的转换精度越高。

D/A 转换器中各元件参数值存在误差, 基准电压不够稳定和运算放大器的零漂等各种因素的影响, 使得 D/A 转换器实际精度还与一些转换误差有关。如比例系数误差、失调误差和非线性误差等。

比例系数误差是指实际转换特性曲线的斜率与理想特性曲线斜率的偏差。如在 n 位倒 T 形电阻网络 D/A 转换器中, 当 V_{REF} 偏离标准值 ΔV_{REF} 时, 就会在输出端产生误差电压 ΔV_o , 则

$$\Delta V_o = \frac{\Delta V_{\text{REF}}}{2^n} \cdot \frac{R_f}{R} \sum_{i=0}^{n-1} D_i \cdot 2^i$$

由 ΔV_{REF} 引起的误差属于比例系数误差。

(3) 建立时间(转换速度)

建立时间是指 DAC 从输入数字信号开始到输出模拟电压或电流达到稳定值时所用的时间。

问题 10.2.4 D/A 可能存在哪几种转换误差? 分析其特点及产生误差的原因。

【指点迷津】

D/A 转换器的转换误差主要是由它的基本组成元件的参数偏差、参数分散性和性能不稳定性带来的。由 D/A 转换器的电路组成可知, 它大体存在以下几方面的转换误差:

- (1) 由运算放大器的零点漂移带来的漂移误差。该误差大小与输入数字量大小无关, 只使 V_o 转换特性曲线发生平移。
- (2) 基准电压 V_{REF} 变化带来的比例系数误差。它与输入数字量大小成正比。
- (3) 模拟开关导通电阻和导通压降以及解码网络中阻容参数的偏差带来的非线性误差。它的大小及变化不规则。
- (4) 各输入位引起的模拟值分量到达运放输入端的传输时间不等而引起的动态误差。这种误差的表现形式是使输出可能产生尖峰脉冲。

问题 10.2.5 什么是 A/D 转换? 常见的 ADC 有几种? 其特点分别是什么?

【指点迷津】

A/D 模/数转换与数/模转换恰好相反, 是把模拟电压或电流转换成与之成正比的数字量。由于模拟信号在时间上和幅度上是连续的, 而数字信号在时间上和幅度上是离散的, 所以进行模/数转换时, 先要按一定的时间间隔对模拟信号采样, 使它变成在时间上离散的信号。然后将采样值保持一段时间, 在这段时间内, 对采样值进行幅度的量化, 最后通过编码把量化后的幅度取值转换成数字量输出。经采样、保持、量化和编码 4 个步骤后, 得到了时间和幅度都是离散的数字信号。但是, 这 4 个步骤并不是由 4 个电路来完成的: 采样和保持由采样保持电路完成; 量化和编码常常在模/数转换过程中同时完成。此外,





所用的时间又是保持时间的一部分。其组成框图如图 10.5 所示。

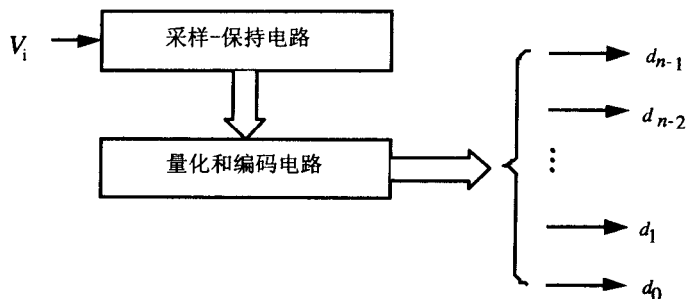


图 10.5

A/D 转换器根据转换原理和特点的不同,可分为直接 A/D 转换器和间接 A/D 转换器两大类。前一类中较常见的有逐次逼近式、计数式和并行比较式等;后一类中常见的有双积分式、V/F 变换式等。单片集成 A/D 转换器中应用最广的当属逐次逼近式和双积分式两种 A/D 转换器。

问题 10.2.6 A/D 转换的过程是什么?为什么 ADC 需要采用保持电路?

【指点迷津】

A/D 转换要经采样、保持和量化、编码两步实现。采样、保持由采样保持电路完成;量化、编码由 ADC 完成。

采样是将时间上连续变化的模拟量转换为时间上离散的模拟量,即把一个时间上连续变化的模拟量转换为一个脉冲串,脉冲的幅度取决于输入模拟量的幅值。

保持是将取样得到的模拟量值(取样控制脉冲存在的最后瞬间的取样值)保持下来,以便后续的量化和编码。

取样—保持电路一般由保持电容器、输入输出缓冲放大器、模拟开关及驱动电路组成。

为了能正确无误地用取样信号表示输入的模拟信号,取样信号必须有足够的频率,即满足取样定理的要求。设 f_s 为取样频率, $f_{i\max}$ 为输入模拟信号的最高频率分量的频率,则取样定理由下式表示:

$$f_s \geq 2f_{i\max}$$

问题 10.2.7 什么是 ADC 的主要技术指标?

【指点迷津】

描述 ADC 的技术指标主要有分辨率、转换速度和转换误差。

(1) 分辨率。 n 位 ADC 的分辨率是指 A/D 转换器对输入模拟信号的分辨能力。常以输出二进制码的位数来表示。分辨率为 $(1/2^n)FSR$, 式中 FSR 是输入的满量程模拟电压。所以, A/D 转换器的分辨率是指 ADC 可以分辨的最小模拟电压。例如, 输入的模拟电压满量程为 10V, 8 位 ADC 可以分辨的最小模拟电压是 $10/2^8 = 37.06\text{mV}$, 而 10 位 ADC 可





以分辨的最小模拟电压是 $10/2^n=9.76\text{mV}$ 。可见同量程下 ADC 的位数越多, 它的分辨率就越高。

(2) 转换速度。转换速度是指完成一次 A/D 转换所需的时间。转换时间是从接到模拟信号开始, 到输出端得到稳定的数字信号所经历的时间, 转换时间越短, 说明转换速度越高。双积分型 ADC 的转换速度最慢需几百毫秒左右; 逐次逼近型 ADC 的转换速度较快, 需几十微秒; 并联型 ADC 的转换速度最快, 仅需几十纳秒。

(3) 转换误差。在理想情况下, 所有的转换点应在一条直线上。相对精度是指实际的各个转换点偏离理想特性的误差, 一般用最低有效位来表示。例如给出相对误差 $\leq \pm \text{LSB}/2$, 这就表明实际输出的数字量和理论上应得到的输出数字量之间的误差小于最低位的半个字。

此外, 还有一些参数, 如: 输入模拟电压范围、输入电阻、输出数字信号的逻辑电平、带负载能力、温度系数、电源抑制及电源功率消耗等。

在实际应用中, 应从系统数据总线的位数、精度要求、输入模拟信号的范围及输入信号极性等方面综合考虑 ADC 转换器的选用。

问题 10.2.8 如何减少并联比较型 ADC 的量化误差?

【指点迷津】

采样保持得到的信号在时间上是离散的, 幅值可以有无穷多个, 仍属模拟量范畴。任何一个数字量的大小只能是某个最小数量单位的整数倍, 因此是不连续的, 因而, 就要对采样保持得到的信号用近似的方法进行取值。近似的过程称为量化。假如满刻度为 7mV 的模拟电压用 3 位二进制数来表示, 则 111 表示 7mV ; 001 表示 1mV 。 2.5mV 的模拟电压用 010 表示还是用 011 表示呢? 因为两者都是近似的, 所以用 010 或 011 表示都可以。到底选择哪一个, 要根据量化的方法而定。

如果把数字量最低有效位所代表的模拟量大小称为量化单位, 用 Δ 表示, 那么对于小于 Δ 的信号就有两种处理方法, 即两种量化方法: 一种是只舍不入法, 将不够量化单位的值舍掉, 其量化误差为 Δ ; 另一种方法是有舍有入, 也称四舍五入法, 将小于 $\Delta/2$ 的值舍去, 将小于 Δ 而大于 $\Delta/2$ 的值视为数字量 Δ , 其量化误差为 $\Delta/2$ 。

量化过程只是把模拟信号按量化单位作了取整处理, 需要用代码表示量化值, 如二进制码、十进制码等, 这样的过程称为编码。常用的编码是二进制编码。由于 A/D 转换器的输入模拟电压是经采样保持电路处理后的输出电压信号, 故 A/D 转换器的功能是对这一电压信号进行量化和编码。量化即是把模拟电压信号化为最小量化单位的整数倍, 编码则是把量化的结果用代码表示出来。因此, 每个二进制代码必将代表一个模拟电压的数值范围。这一数值范围的划分即是量化方式。通常有两种划分方法, 如图 10.6 所示。图中假设把 $0\sim 1\text{V}$ 的模拟电压信号转换成 3 位二进制代码。





1V	编码	模拟电平	1V	编码	模拟电平
7/8 V	111	$7d = 7/8 V$	13/15 V	111	$7d = 14/15 V$
6/8 V	110	$6d = 6/8 V$	11/15 V	110	$6d = 12/15 V$
5/8 V	101	$5d = 5/8 V$	9/15 V	101	$5d = 10/15 V$
4/8 V	100	$4d = 4/8 V$	7/15 V	100	$4d = 8/15 V$
3/8 V	011	$3d = 3/8 V$	5/15 V	011	$3d = 6/15 V$
2/8 V	010	$2d = 2/8 V$	3/15 V	010	$2d = 4/15 V$
1/8 V	001	$1d = 1/8 V$	1/15 V	001	$1d = 2/15 V$
0 V	000	$0d = 0 V$	0 V	000	$0d = 0 V$

图 10.6

图 10.6(a)所示的第一种方法,是将 $0 \sim 1V$ 电压划分为 8 份,最小量化单位 $\Delta = 1/8V$ 。每个二进制代码所代表的模拟电压值即是一个等份对应的模拟电压范围,量化误差为 $1/8V$ 。图 10.6(b)所示的第二种方法,仍将 $0 \sim 1V$ 电压划分为 8 份,但最小量化单位 $\Delta = 2/15V$ 。每个二进制代码所代表的模拟电压值规定为它所对应的模拟电压范围的中点。因此,最大量化误差不会超过 $1/2\Delta$ 。

问题 10.2.9 影响 A/D 转换精度的主要因素有哪些?

【指点迷津】

单片集成 AD 转换器的转换精度通常用分辨率和转换误差来描述。

A/D 转换器的分辨率以输出二进制(或十进制)数的位数表示,用于表示 A/D 转换器对微小模拟输入信号的分辨能力。从理论上讲, n 位二进制数字输出的 A/D 转换器应能区分输入模拟电压值的 2^n 个不同等级,能区分输入电压的最小差异为 $(1/2^n)FSR$ (满度量程的 $1/2^n$),它表示 n 位 A/D 转换器在理论上可以达到的精度。

转换误差通常以输出误差的最大值形式给出。它表示 A/D 转换器中实际输出数字量和理论输出数字量之间的差别。常用最低有效位的倍数表示,例如给出相对误差 $<LSB/2$,它表明实际输出的数字量和理论上应得到的输出数字量之间的误差小于最低位的半个字。

A/D 转换器的误差主要来源于两个方面:数字误差和模拟误差。数字误差基本上就是量化误差,主要由分辨率决定;模拟误差又称为设备误差,主要来自于比较器、解码电阻、基准电压源和模拟开关等模拟电路的误差。

为了得到较高的转换精度,除了选用分辨率高的 ADC、DAC 以外,还必须保证参考电源和供电电源有足够的稳定性,并减小环境温度的变化。



问题 10.2.10 什么是 A/D 转换原理的基本思想?

【指点迷津】

ADC 量化编码的基本思想是“比较”。并联比较型 ADC 是用电阻链同时获得各量化级的比较电压,并同时和 V_i 比较,它是目前所有 A/D 转换器中速度最快的一种,但是电路规模庞大,所以只用在超高速的 A/D 转换器中;逐次逼近型 ADC 是用 DAC 依次产生比较电压和 V_i 逐次比较,速度不及并联比较型 ADC,但是电路规模小得多,在集成 A/D 转换器产品中用得最多;双积分型 ADC 则用两次积分的时间作比较,其转换速度很低,但由于它的电路结构简单,性能稳定可靠,抗干扰能力强,所以在各种低速系统中得到了广泛的应用。

10.3 典型例题与考研题分析

10.3.1 典型例题分析

例 1 逐次逼近型 A/D 转换器与 4 位 D/A 转换器输出波形 V_o 与输入电压 V_i 如图 10.7 所示。

(1) 转换结束时,图 10.8 的输出数字量各为多少?

(2) 若 4 位 D/A 转换器的最大输出电压为 $V_{o,max}=30V$,估计两种情况下的输入电压范围各是多少?

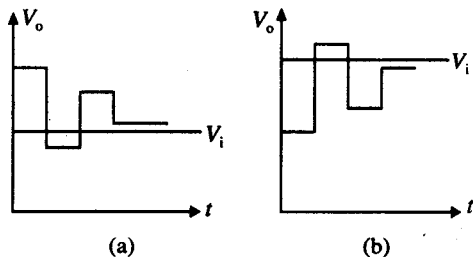


图 10.7

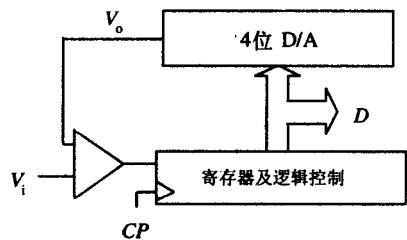


图 10.8

【分析】

逐次逼近型 A/D 转换器的原理如下。转换控制信号变为高电平时开始转换,时钟信号首先将寄存器的最高位置为 1,使寄存器的输出为 100...00。这个数字量被 D/A 转换器转换成相应的模拟电压 V_o ,并送到比较器与输入信号 V_i 进行比较。如果 $V_o > V_i$,则重新将最高位置 0;如果 $V_o < V_i$,则保留最高位 1。然后,再按同样的方法将次高位置 1,并比较 V_o 与 V_i 的大小以确定这一位的 1 是否应当保留。这样,逐位比较下去,直到最低位比较完为止。这时寄存器里所存的数码就是与输入模拟量对应的输出数字量。





【解答】

(1) 根据上述分析,可直接写出两种情况下的输出数字量。

对应于图 10.8(a), $D_3D_2D_1D_0=0100$; 对应于图 10.8(b), $D_3D_2D_1D_0=1011$ 。

(2) 若 4 位 D/A 转换器的最大输出电压 $V_{o,max}=30V$, 则最小电压增量($D_3D_2D_1D_0=0001$)为

$$V_o|_{Q=1} = 30 / (2^4 - 1) = 2V$$

再根据解题思路,可知,对应于图 10.8(a), 输入电压 V_i 处于输出数字量 $D_3D_2D_1D_0=0100$ 与 $D_4D_3D_2D_1D_0=0101$ 对应的模拟电压之间, 即 $(0100)_2 \times 2V < V_i < (0101)_2 \times 2V$, 输入电压的范围为 $8V < V_i < 10V$ 。

对应于图 10.8(b), 输入电压 V_i 处于输出数字量 $D_3D_2D_1D_0=1011$ 与 $D_3D_2D_1D_0=1100$ 对应的模拟电压之间, 即 $(1011)_2 \times 2V < V_i < (1100)_2 \times 2V$, 输入电压的范围为 $22V < V_i < 24V$ 。

例 2 n 位权电阻 D/A 转换器如图 10.9 所示。

(1) 试推导输出电压 V_o 与输入数字量的关系式。

(2) 如 $n=8$, $V_{REF}=-10V$, 当 $R_f=R/8$ 时, 如输入数码为 20H, 试求输出电压值。

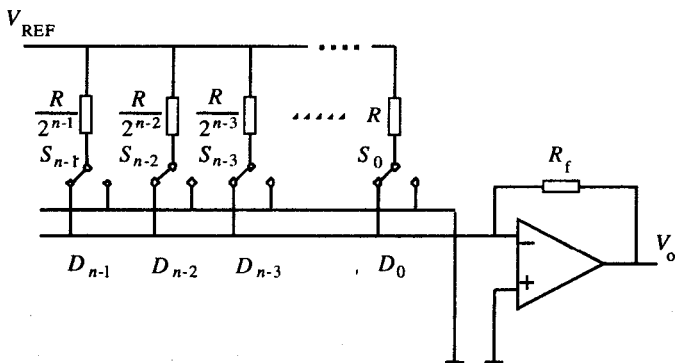


图 10.9

【分析】

由于运放在引入负反馈后反相输入端和同相输入端相当于短接, 故权电阻 D/A 转换器在相应二进制位上产生权电流。当该位上的数值为 1 时, 权电流通过相应支路输入运放的反相端。由于负反馈使用时的运放输入端不取电流, 故权电流叠加后通过 R_f , 在输出端产生转换后的结果。

【解答】

(1) 对应于第 i 位的支路上的电阻值为 $\frac{R}{2^i}$, 产生的权电流为

$$I_i = V_{REF} / \frac{R}{2^i} = 2^i \cdot \frac{V_{REF}}{R}$$

故有叠加后的电流为

$$I = \frac{V_{REF}}{R} \sum_{i=0}^{n-1} D_i 2^i$$



在输出端产生的电压为

$$V_o = -\frac{R_f}{R} V_{REF} \sum_{i=0}^{n-1} D_i 2^i$$

(2) 20H 即 00100000, 将题中给出的条件代入公式可得

$$V_o = 10 \times \frac{1}{18} \times 32 = 17.8V$$

例 3 在图 10.10 逐次比较 A/D 转换器中, 若 $n=10$, 已知时钟频率为 1MHz, 则完成一次转换所需要的时间是多少? 如要求完成一次转换的时间小于 $100\mu s$, 问时钟频率应选多大?

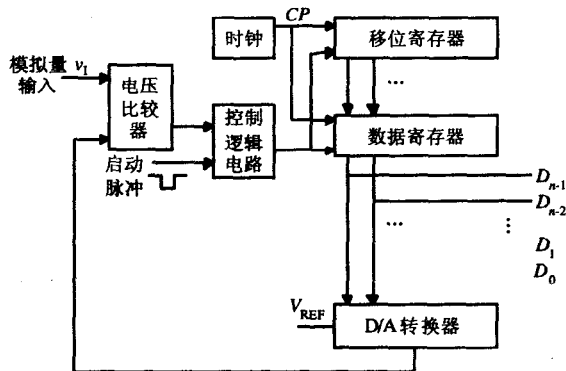


图 10.10

【分析】

图 10.10 所示的逐次比较型 A/D 转换器在比较的第一个时钟周期使移位寄存器输出 1000000000, 在经过 D/A 转换后与模拟输入量比较, 比较的结果决定最终输出结果的最高位和移位寄存器下一次产生的比较量。若输入量大于比较量, 则产生 1100000000 与输入量比较, 否则产生 0100000000。这样逐次比出每一位的值。由分析可知, 只要 n 个时钟周期就可以得到最终的转换结果。

【解答】

(1) 一次转换的时间为

$$t = nT = \frac{n}{f} = \frac{10}{1 \times 10^6} = 10\mu s$$

(2) 由上式可得

$$f = \frac{n}{t} > \frac{10}{100 \times 10^{-6}} = 0.1MHz$$

例 4 图 10.11 所示电路是 4 位 D/A 转换器, 其输入端与一个 4 位计数器相连(计数器初态为零)。当 $X=1$ 时, 计数器作加法计数; 当 $X=0$ 时, 计数器作减法计数。试分别画出 $X=0$ 和 $X=1$ 时 D/A 转换器的输出波形。

【分析】

如图所示电路的 D/A 转换部分由一个 T 形电阻网络和一个运算放大器组成。由于运





算放大器输入端虚短和虚断的特性，因此对 D/A 的分析可简化为对 T 形电阻网络的输出电流 I 的分析(图 10.12)。

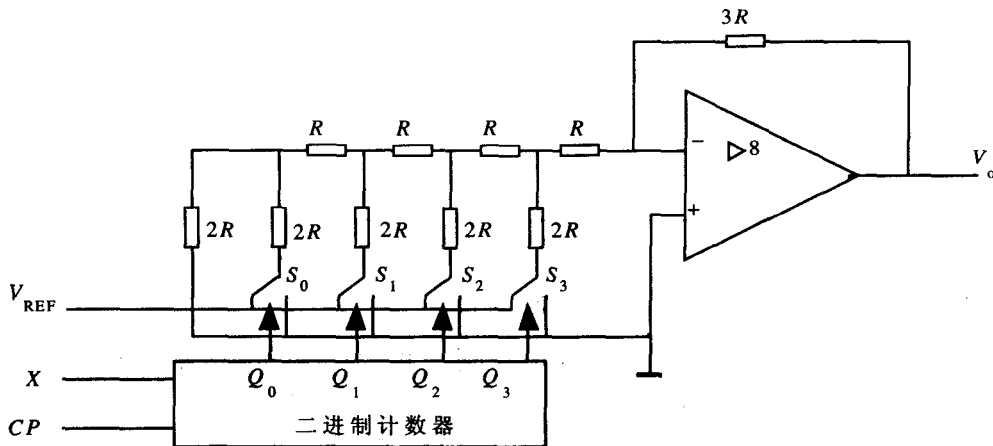


图 10.11

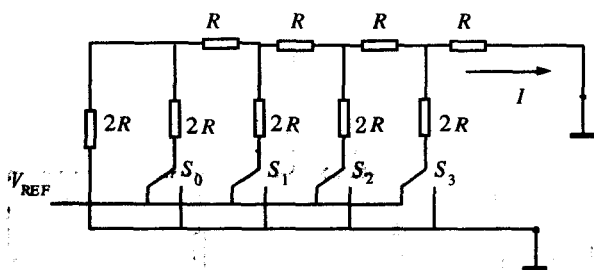


图 10.12

图 10.12 所示的电阻网络是由一组开关控制电阻的接法，4 个开关共有 $2^4=16$ 种不同的接法，如果一一分析则太过复杂。因此我们将使用电路叠加定理(线性电阻电路中，任一电压或电流都是电路中各个独立电源单独作用时在该处产生的电压或电流的叠加)。将 4 个开关是否连接，看作 4 个独立电压源是否被接入电路，这样当有多个开关接高电位时，就将它们单独作用的结果叠加即可。

【解答】

开关 S_3 接高电位，其余接低电位(图 10.13)时，电路总电阻和电流分别为

$$R_{\text{总}} = 2R + \frac{1}{1/R + 1/2R} = \frac{8}{3}R, \quad I = (V_{\text{REF}} - \frac{V_{\text{REF}}}{R_{\text{总}}} \times 2R) / R = V_{\text{REF}} / 4R$$



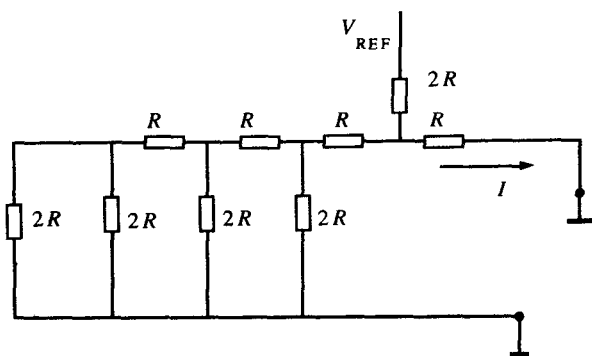


图 10.13

开关 S_2 接高电位, 其余接低电位(图 10.14)时, 电路总电阻和电流分别为

$$R_{\text{总}} = 2R + \frac{1}{1/(2R) + 1/(R + \frac{2}{3}R)} = \frac{32}{11}R$$

$$I = \frac{2}{3} \times (V_{\text{REF}} - \frac{V_{\text{REF}} \times 2R}{R_{\text{总}}}) + (R + \frac{2}{3}R) = V_{\text{REF}}/8R$$

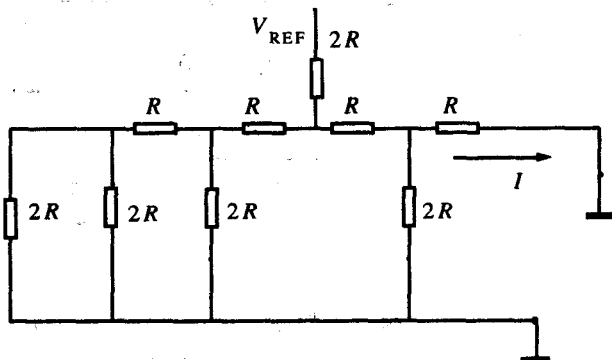


图 10.14

开关 S_1 接高电位, 其余接低电位(图 10.15)时, 电路总电阻和电流分别为

$$R_{\text{总}} = 2R + \frac{1}{1/(2R) + 1/(R + \frac{10}{11}R)} = \frac{128}{43}R$$

$$I = \frac{2}{3} \times \frac{\frac{10}{11}R}{R + \frac{2}{3}R} (V_{\text{REF}} - \frac{V_{\text{REF}} \times 2R}{R_{\text{总}}}) + (R + \frac{10}{11}R) = V_{\text{REF}}/16R$$

开关 S_0 接高电位, 其余接低电位(图 10.16)时, 电路总电阻和电流分别为

$$R_{\text{总}} = 2R + \frac{1}{1/(2R) + 1/(R + \frac{42}{43}R)} = \frac{512}{171}R$$



$$I = \frac{2}{3} \times \frac{\frac{10}{11}R}{R + \frac{2}{3}R} \times \frac{\frac{42}{43}R}{R + \frac{10}{11}R} (V_{REF} - \frac{V_{REF}}{R_{总}} \times 2R) + (R + \frac{42}{43}R) = V_{REF} / 32R$$

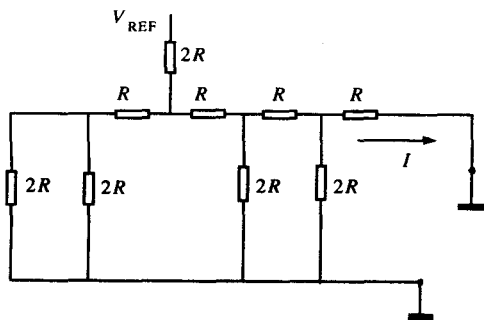


图 10.15

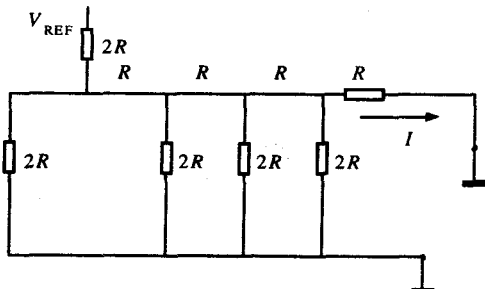


图 10.16

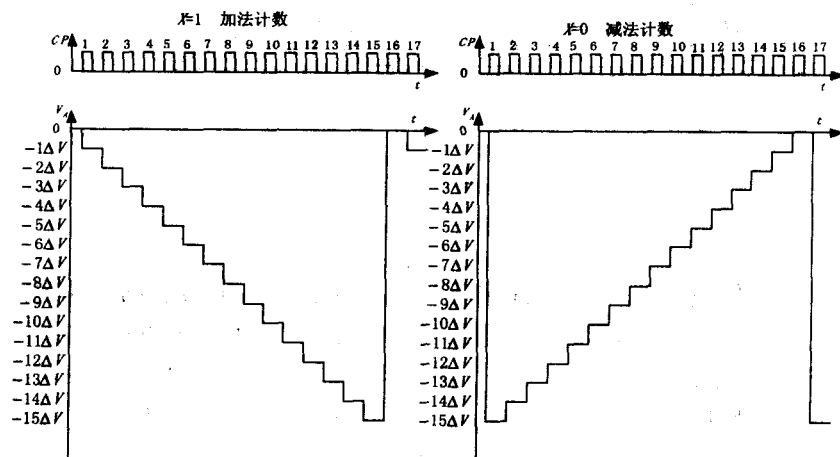
因此，在任意时刻电流为

$$I = S_0 \times \frac{V_{REF}}{32R} + S_1 \times \frac{V_{REF}}{16R} + S_2 \times \frac{V_{REF}}{8R} + S_3 \times \frac{V_{REF}}{4R}$$

由此可见电流 I 为 $V_{REF}/32R$ 的 $S_3S_2S_1S_0$ 倍。而输出电压为

$$V_o = -I \times 3R = \frac{-V_{REF} \times (S_3S_2S_1S_0) \times 3R}{32R}$$

加法计数和减法计数时对应的电压源形如图 10.17 所示。



注：图中 $\Delta V = (3/32)V_{REF}$

图 10.17

例 5 如图 10.18 所示电路是用 UB2520 和同步十六进制计数器 74161 组成的序列波形发生电路。已知 UB2520 的 $V_{REF}=10V$ ，试画出输出电压 V_o 的波形，并标出波形图上各点电压的大小。UB2520 的电路结构见图 10.19。

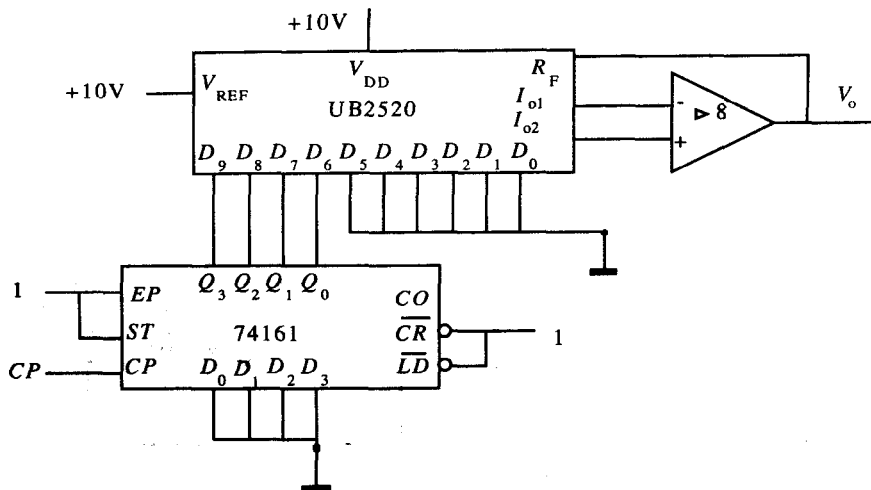


图 10.18

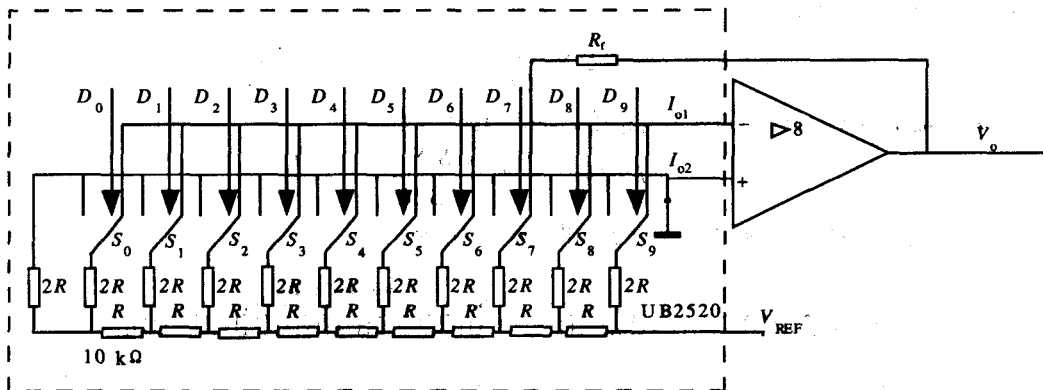


图 10.19

【分析】

如图所示 D/A 转换器是由 UB2520 和运算放大器组成, 由于运算放大器输入端的虚短和虚断的特性, 因此只须分析运算放大器的反馈电阻 R_f , 及其上面流过的电流 I_f 。

由 UB2520 的电路可以看出, 它包含了运算放大器的输入端网络及反馈电阻。UB2520 采用反梯形电阻网络, 基准电压与电阻网络固定相连, 开关由数字控制电路输出信号来确定接地或是接运算器的输入端。对于理想运算放大器的虚短特性, 无论开关怎么接, 开关所在点的电位始终是 0V, 因而开关的状态不会影响电阻网络中流过各电阻的电流。因此, 只需求出流过每个开关的电流, 再将被选通的开关上的电流相加, 就可得到流过反馈电阻的电流。

【解答】

利用电阻间的串并关系, 自左至右不难求出流过各开关的电流: $V_{REF}/1024R$, $V_{REF}/512R$, $V_{REF}/256R$, $V_{REF}/128R$, $V_{REF}/64R$, $V_{REF}/32R$, $V_{REF}/16R$, $V_{REF}/8R$, $V_{REF}/4R$,





$V_{REF}/2R$ 。

流过反馈电阻 R_f 的电流为

$$I_f = (D_9 D_8 D_7 D_6 D_5 D_4 D_3 D_2 D_1) \times \left(\frac{V_{REF}}{1024R} \right)$$

由于图中 $D_5 D_4 D_3 D_2 D_1 D_0$ 都接地，即为 0，因此上式简化为

$$I_f = (D_9 D_8 D_7 D_6) \times \left(\frac{V_{REF}}{16R} \right)$$

输出端 V_o 的电压为

$$V_o = -I_f \times R = -(D_9 D_8 D_7 D_6) \times \frac{V_{REF}}{16R} \times R = -(D_9 D_8 D_7 D_6) \times \frac{V_{REF}}{16}$$

将 $V_{REF}=10V$ 代入得

$$V_o = -0.625 \times (D_9 D_8 D_7 D_6)$$

输出序列波形和输出序列电压幅值见图 10.20。

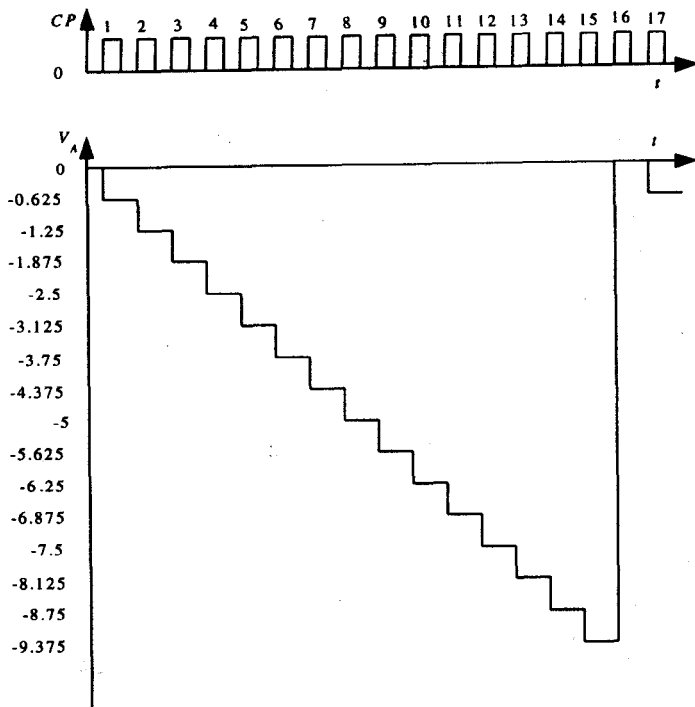


图 10.20

例 6 逐次逼近型 8 位 ADC 电路中，若 $V_{REF}=12V$ ，输入电压 $V_i=4.5V$ 。问：

- (1) 输出为多少？
- (2) 若是 10 位的 ADC，输出又为多少？
- (3) 上述两种状况的量化误差各为多少？

【分析】

逐次式比较 A/D 转换器一般是由环形移位寄存器、数据寄存器、D/A 转换器、电压



比较器和并行码输出器等组成。当进行转换时,先将数据寄存器最高位置 1,并将这个数据(8 位的 A/D 是 10000000)传给 D/A,然后将 D/A 输出与输入信号进行比较,如果输入信号大则该位为 1,否则为 0。接着以同样的方法由高位到低位依次处理,最终将结果输出,对于 N 位的逐次式比较 A/D 转换器需要进行 N 次比较,因此一般需要 N 个时钟周期,在 A/D 中属于较快的。其精度几乎是由其中的 D/A 决定。

【解答】

(1) 题中 ADC 是 8 位的,因此该电路将 V_{REF} 均分 $2^8=256$ 份。 $4.5/12 \times 256=96$,因此 4.5V 电压刚好在第 96 份处,其二进制为 01100000。

(2) 若改为 10 位 ADC,则该电路将 V_{REF} 均分 $2^{10}=1024$ 份。 $4.5/12 \times 1024=384$,因此 4.5V 电压刚好在第 384 份处,其二进制为 0110000000。

(3) 最大量化误差与取值方法有关:

若用去尾法,则最大误差就是 ADC 的两个相邻量化电平之差

$$12/256=0.046875V(8 \text{ 位})$$

$$12/1024=0.01171875V(10 \text{ 位})$$

若用四舍五入法,则最大误差就是 ADC 的两个相邻量化电平之差的一半

$$12/256/2=0.0234375V(8 \text{ 位})$$

$$12/1024/2=0.005859375V(10 \text{ 位})$$

例 7 双积分型 ADC 电路中的计数器若做成十进制的,其最大容量为 $N=[2000]_{10}$,时钟频率为 $f_c=10\text{kHz}$, $V_{REF}=\pm 6V$ 。试问:

(1) 完成一次转换需要的时间最长为多少?

(2) 若已知计数器的计数值 $N_1=[369]_{10}$,则表示此时的输入电压是多少?

【分析】

积分型 A/D 转换器是一种电压-时间型 A/D 转换器,它一般由积分器、比较器、计数器和控制逻辑等组成。双积分 A/D 转换器每一次转换都要进行两次积分,对输入电压的积分和对基准参考电压的积分。其具体过程如下。

(1) 将计数器清 0,并把电容中剩余的电荷放干净。

(2) 将积分器的输入端与输入信号 V_i 相连,在时间 T_1 内进行定时反向积分。积分结束时积分器输出电压 $V_o = \frac{1}{C} \int_0^{T_1} -\frac{V_i}{R} dt = -\frac{T_1}{RC} V_i = s$ 。可见积分器的输出电压与输入电压成正比。

(3) 将积分器输入端与参考电压 V_{REF} 相连,进行正向积分,经过时间 T_2 后积分器输出为 0。

$$V_o = \frac{1}{C} \int_0^{T_2} \frac{V_{REF}}{R} dt - \frac{T_1}{RC} V_i = 0 \Rightarrow \frac{T_2}{RC} V_{REF} = \frac{T_1}{RC} V_i$$

因此

$$T_2 = \frac{T_1}{V_{REF}} V_i$$

可见第二次积分时间 T_2 正比于输入电压。





由于控制逻辑的作用, 在 T_2 时间内, 计数器对时钟频率 f_c 进行计数, 其计数结果为

$$D = \frac{T_2}{T_C} = \frac{T_1}{T_C V_{REF}} V_i$$

由于控制逻辑的作用, 在 T_1 时间内, 计数器也对时钟频率 f_c 进行计数。由于 $T_1 = NT_C$, 则

$$D = \frac{N}{V_{REF}} V_i$$

可见, 双积分型的转换速率较慢, 但它工作性能稳定, 抗干扰能力强。

【解答】

(1) 转换时间最长, 即两次积分时间最长: 第一次积分时间 $T_1 = NT_C$ 是固定值, 第二次积分时间正比于 V_i 。因此, 当 V_i 最大时, 时间最长 $T_2 = NT_C$ (由于不能超出 A/D 允许的最大值, 所以 $V_i = V_{REF}$)。

最长时间为

$$T_{\max} = T_{1\max} + T_{2\max} = NT_C + NT_C = 2 \times 2000 \times 0.1 = 400 \text{ms}$$

$$(2) \quad V_i = \pm D \times \frac{V_{REF}}{N} = \pm 369 \times \frac{6}{2000} = \pm 1.107 \text{V}$$

例 8 图示(图 10.21)电路是电荷定标的 D/A 变换器中的电容网络, 试分析其输出电压 V_o 与开关之间的关系。

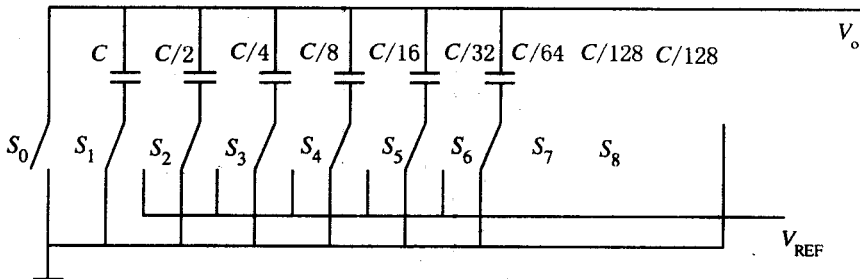


图 10.21

【解答】

图示电路是利用加到电容网络上的电荷产生的电压来控制 D/A 的输出, 一般在电容网络后加一压控元件然后输出。工作时先将所有开关接地(被称为复位模式), 电容被充分放电, 然后开关 S_0 打开, 其余开关根据输入二进制码分别接地或 V_{REF} , 这样就有部分电容接于地和 V_o 之间(其总电容 C_{GND}), 其余电容接于 V_{REF} 和 V_o 之间(其总电容 C_U), 这样两部分电容形成分压情况。因此输出电压 V_o 为

$$V_o = V_{REF} \times \frac{1}{\frac{1}{C_{GND}} + \frac{1}{C_U}} = V_{REF} \times \frac{C_U}{C_U + C_{GND}}$$

可见输出电压 V_o 正比于与 V_{REF} 相连的电容, 反比于总电容。
与 V_{REF} 相连的电容

$$C_U = S_1 \times C + S_2 \times \frac{C}{2} + S_3 \times \frac{C}{4} + S_4 \times \frac{C}{8} + S_5 \times \frac{C}{16} + S_6 \times \frac{C}{32} + S_7 \times \frac{C}{64} + S_8 \times \frac{C}{128}$$

总电容 $C_{ALL} = 2C$, 因此输出电压为

$$V_o = V_{REF} \times (S_1 \times 2^{-1} + S_2 \times 2^{-2} + S_3 \times 2^{-3} + S_4 \times 2^{-4} + S_5 \times 2^{-5} + S_6 \times 2^{-6} + S_7 \times 2^{-7} + S_8 \times 2^{-8})$$

10.3.2 考研题分析

例1 一程控增益放大电路如图 10.22 所示, 当图中计数器某位输出 $Q_i=1$ 时, 相应的模拟开关 S_i 在位置“1”; 当 $Q_i=0$ 时, S_i 在位置“0” 运放 A 性能理想。

- (1) 该放大电路的电压放大倍数 $A_v = \frac{V_o}{V_i}$ 与数字量 $Q_3Q_2Q_1Q_0$ 之间的关系表达式。
- (2) 求该放大电路的输入电阻 $R_i = \frac{V_i}{I_i}$ 与数字量 $Q_3Q_2Q_1Q_0$ 之间的关系表达式。

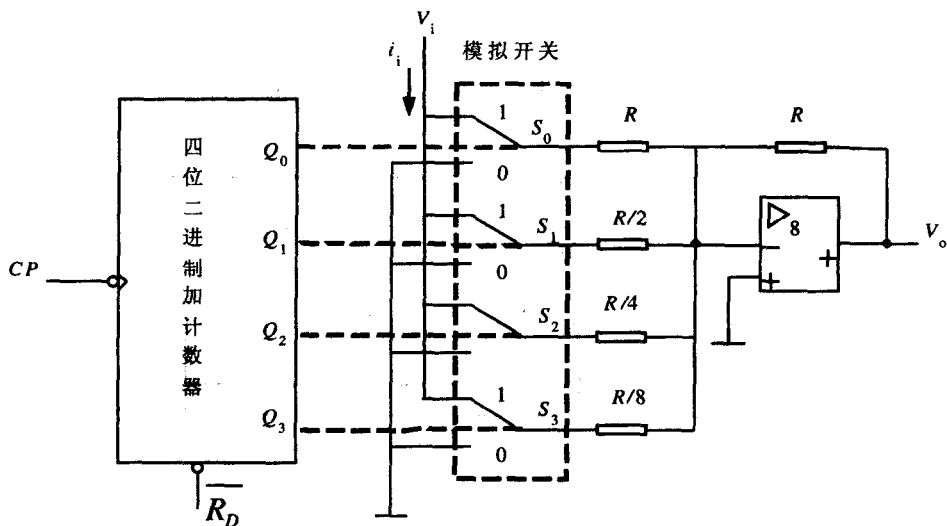


图 10.22

【解答】

(1) 求 A_v 。这是一个由数模转换电路构成的程控增益放大器。输出电压为

$$\begin{aligned} V_o &= -R \cdot i_i = -R \left(\frac{V_i}{R} Q_0 + \frac{V_i}{R/2} Q_1 + \frac{V_i}{R/4} Q_2 + \frac{V_i}{R/8} Q_3 \right) \\ &= -V_i (Q_0 + 2Q_1 + 4Q_2 + 8Q_3) \end{aligned}$$

所以:

$$A_v = \frac{V_o}{V_i} = -(2^3 Q_3 + 2^2 Q_2 + 2^1 Q_1 + 2^0 Q_0)$$

(2) 求 R_i 。因为





$$\begin{aligned}
 i_i &= \frac{V_i}{R} Q_0 + \frac{V_i}{R/2} Q_1 + \frac{V_i}{R/4} Q_2 + \frac{V_i}{R/8} Q_3 \\
 &= \frac{V_i}{R} (Q_0 + 2Q_1 + 4Q_2 + 8Q_3)
 \end{aligned}$$

所以
$$R_i = \frac{V_i}{i_i} = \frac{R}{Q_0 + 2Q_1 + 4Q_2 + 8Q_3}$$

【举一反三】

本题实际上是一个权电阻型 D/A 转换电路，其输出电压 $V_o = (V_{REF}/2^N) \times D_{(10)}$ 。其中， $D_{(10)}$ 是输入的 N 位二进制数的十进制数等效，此处即 $(Q_3 \times 2^3 + Q_2 \times 2^2 + Q_1 \times 2^1 + Q_0 \times 2^0)$ ； V_{REF} 是基准电压，此处即 V_i 。所以，据此可直接写出 $V_o = (V_i/2^4) \times (Q_3 \times 2^3 + Q_2 \times 2^2 + Q_1 \times 2^1 + Q_0 \times 2^0)$ 。

例 2 图 10.23 是计数式 A/D 转换器。其中 D/A 的最大输出电压位 5V，CS 位开始转换控制。令开始转换前 CS=0，计数器清 0。当 $V_i=1.2V$ 后，CS=1 开始转换。问：

- (1) 转换结束后，输出数字量 $Q_4Q_3Q_2Q_1Q_0$ 是多少？
- (2) 转换误差是多少？

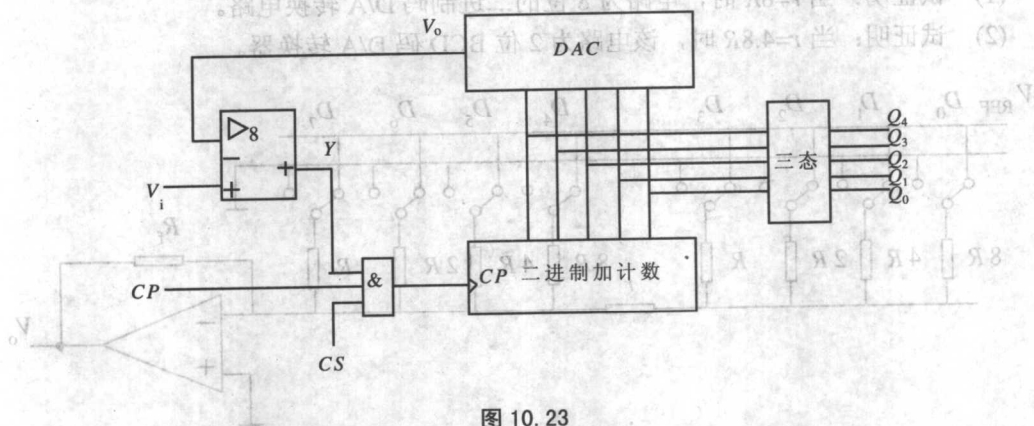


图 10.23

【解答】

- (1) 输出数字量 $Q_4Q_3Q_2Q_1Q_0$ 。

概念：DAC 的最大输出为 5V，对应于 5 位二进制加计数器的满量程数 $31_{(10)}$ ；当输入电压 $V_i=1.2V$ 时，设相应的输出位 $D_{(10)}$ ，则有 $\frac{5}{1.2} = \frac{31_{(10)}}{D_{(10)}}$ ，得

$$D_{(10)} = 7.44_{(10)}, \quad Q_4Q_3Q_2Q_1Q_0 = 00111$$

- (2) 实际转换输出电压为 $\frac{7}{31} = \frac{V_o}{5}$ ，得 $V_o=1.129V$ 。故绝对误差为 $1.2-1.19=0.071V$

(或 1.1LSB)。

10.4 重要习题精选精解

1. 已知 8 位 A/D 转换器的基准电压 $V_{REF}=5.12V$, 求当输入为 $V_i=3.8V$ 时的数字量输出。

【解答】

根据题意可知, A/D 转换器的基准电压 V_{REF} 就是输入信号的最大值。8 位 A/D 转换器的分辨率(以 Δ 表示)为

$$\Delta = \frac{V_{i \max}}{2^8} = \frac{V_{REF}}{256} = \frac{5.12}{256} = 0.02V$$

输入 $V_i=3.8V$ 时的数字量输出为

$$\frac{V_i}{\Delta} = \frac{3.8}{0.02} = (190)_{10} = (10111110)_2$$

2. 图 10.24 为一权电阻和梯形网络相结合的 D/A 转换电路。

(1) 试证明: 当 $r=8R$ 时, 电路为 8 位的二进制码 D/A 转换电路。

(2) 试证明: 当 $r=4.8R$ 时, 该电路为 2 位 BCD 码 D/A 转换器。

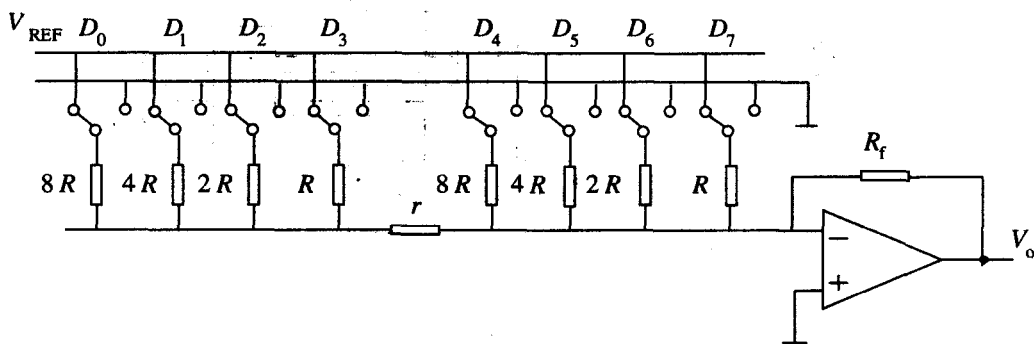


图 10.24

【解答】

(1) $r=8R$ 时:

右边的 4 个电阻构成权电阻 D/A 转换器, 在 $D_7 \sim D_4$ 对应的支路上形成权电流, 电流值分别为 $\frac{V_{REF}}{R}$ 、 $\frac{V_{REF}}{2R}$ 、 $\frac{V_{REF}}{4R}$ 和 $\frac{V_{REF}}{8R}$ 。



左边的4个电阻的工作情况分析如下:

考虑 $D_3 \sim D_0$ 中第 i 位为 1, 其余为零, 则计算电阻 r 左端点处用到如图 10.25 所示的电路模型。

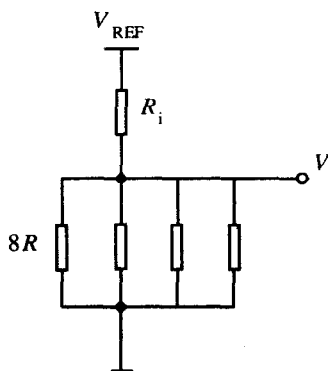


图 10.25

在计算时考虑用电导的分电压公式, 则在 r 左端点处的电压为

$$V = V_{\text{REF}} \frac{\frac{1}{R} 2^{i-3}}{\frac{1}{R} \left(\frac{1}{8} + 2^{-3} + 2^{-2} + 2^{-1} + 1 \right)} = 2^{i-4} V_{\text{REF}}$$

该位在 R_i 上形成的权电流为

$$I_i = \frac{V}{r} = \frac{2^{i-4} V_{\text{REF}}}{8R} = 2^{i-7} \frac{V_{\text{REF}}}{R}$$

$D_2 \sim D_0$ 位分别为 $\frac{V_{\text{REF}}}{16R}$ 、 $\frac{V_{\text{REF}}}{32R}$ 、 $\frac{V_{\text{REF}}}{64R}$ 和 $\frac{V_{\text{REF}}}{128R}$, 可以看出, 可以产生与权电阻电路相匹配的权电流值。

考虑 $D_3 \sim D_0$ 中有若干位为 1 时的情况:

根据叠加原理, 若干位接 V_{REF} 时在 R_i 上产生的电流可以等效为单个位接 V_{REF} , 其余位接地后产生的权电流的叠加, 而单个位接 V_{REF} 后产生的权电流正是上面所讨论过的。故在 $r=8R$ 时, 电路为 8 位二进制码 D/A 转换器。

(2) $r=4.8R$ 时:

从上面的证明可知, 左边和右边的网络分别都可产生 4 位二进制 D/A 转换器, 则只要输入不超过 9 就可产生正确的逻辑。因此, 只要证明低四位输入为 9 时产生的电流为高四位输入为 1 时产生电流的 $\frac{9}{10}$ 就可以了。

当低四位输入为 9 时在电阻 r 左端形成的电压为

$$V = V_{\text{REF}} \frac{\frac{1}{8}}{\frac{1}{4.8} + \frac{1}{8} + \frac{1}{4} + \frac{1}{2} + 1} + V_{\text{REF}} \frac{1}{\frac{1}{4.8} + \frac{1}{8} + \frac{1}{4} + \frac{1}{2} + 1}$$

在电阻 R_i 上形成的电流为



$$I = \frac{V}{4.8R} = \frac{9}{80} \frac{V_{REF}}{R}$$

此电流恰好为高四位为 1 时的 $\frac{9}{10}$, 得证。

3. 在图 10.26 所示并行比较型 A/D 转换器中, $V_{REF}=7V$, 试问电路的最小量化单位 Δ 等于多少? 当 $V_i=2.4V$ 时输出数字量 $D_2D_1D_0=?$ 此时的量化误差 ε 为多少?

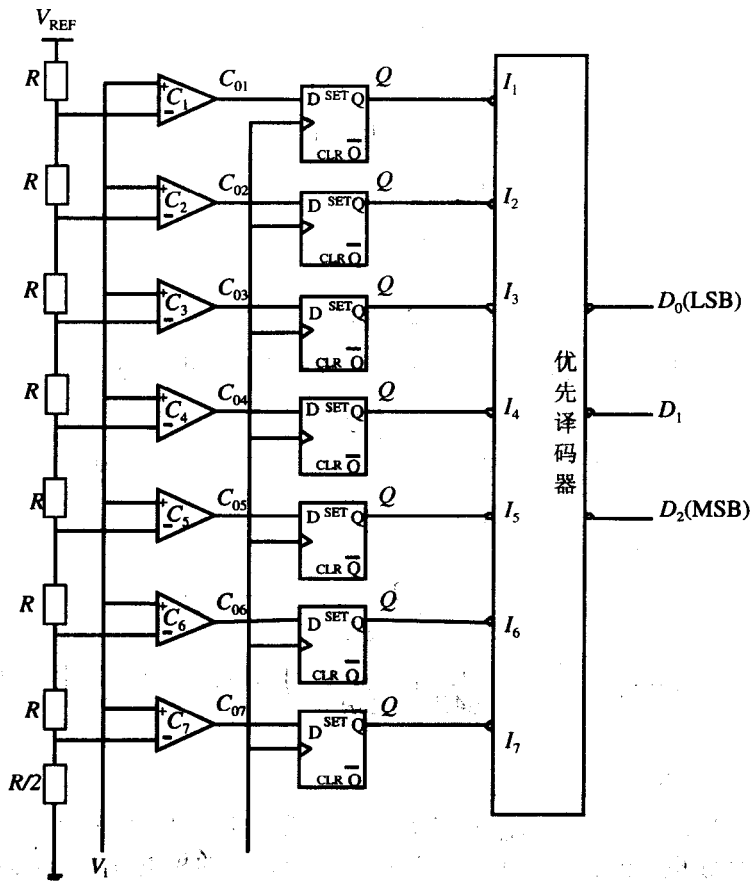


图 10.26

【解答】

(1) 最小量化单位等于相邻两组二进制代码对应输出量之差。故有

$$\Delta = \frac{2}{15} V_{REF} = \frac{14}{15} V$$

(2) 当输入位为 2.4V 时, 输出的结果为 011。

由于此转换方案用的是四舍五入的量化方法, 故有量化误差为

$$\varepsilon = \frac{1}{2} \Delta = \frac{7}{15} V$$

4. 一计数型 A/D 转换器如图 10.27 所示。试分析其工作原理。



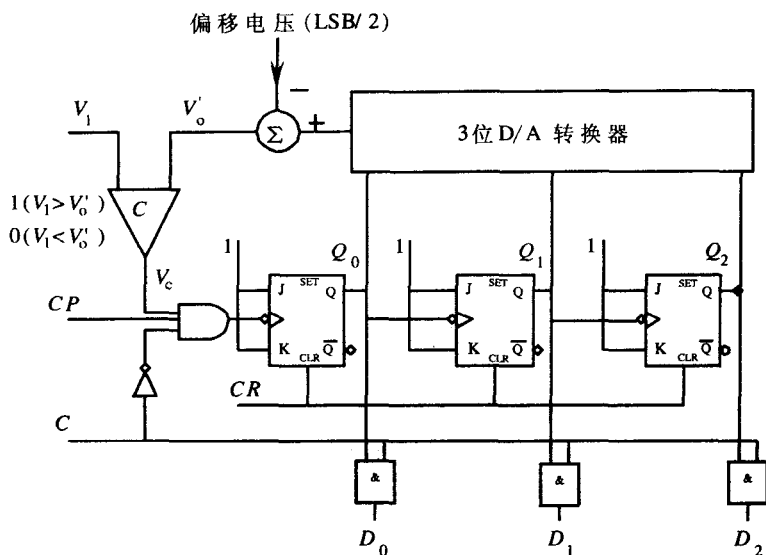


图 10.27

【解答】

此电路是逐次逼近型 A/D 转换器。其中 3 个触发器构成一个八进制计数器，由低到高的为 3 位 D/A 转换器产生数字比较信号，再通过 3 位 D/A 转换器产生模拟信号，通过比较器 C 与输入信号比较。比较出的结果用于控制八进制计数器，当得到数字值时计数器停止计数，等待输出。具体的时序分析如下：

在求值阶段控制信号 C 为 0，输出为 000。求值开始时清零信号 CR 为 1，使触发器清零。计数器将 000 输入 D/A 转换器，产生 0 值的模拟信号，并减去偏移电压后形成 V_0' ， V_0' 与输入信号 V_1 通过比较器比较后产生对计数器的控制信号。若 $V_1 > V_0'$ ，则产生 1，使与门打开，时钟信号得以输入，计数器继续计数。在第二个时钟信号产生后计数器加 1，输入 D/A 转换器，得到比较模拟信号，再与输入信号比较。不断比较后，若 $V_1 < V_0'$ ，则产生 0，使与门关闭，计数器停止计数，等待输出。在第 7 个时钟信号输入后，转换阶段结束，控制信号 C 为 1，一方面使输出与门打开，使转换后的值得以输出；另一方面使计数器停止计数，稳定输出。

偏移电压的作用是使舍零量化变为四舍五入，这样可以减小量化误差。

5. 某双积分 A/D 转换器中，计数器为十进制计数器，其最大计数容量为 $(3000)_{10}$ 。已知计数时钟频率 $f_{CP} = 30\text{kHz}$ ，积分器中 $R = 100\text{k}\Omega$ ， $C = 1\ \mu\text{F}$ ，输入电压 V_1 的变化范围为 0~5V。试求：

- (1) 第一次积分时间 T_1 。
- (2) 求积分器的最大输出电压 $|V_{o,\max}|$ 。
- (3) 当 $V_{\text{REF}} = 10\text{V}$ ，第二次积分计数器计数值 $\lambda = (1500)_{10}$ 时，输入电压的平均值 V_1 为多少？



**【解答】**

(1) 第一次积分时计数器达到满值

$$T = N \cdot t_{CP} = \frac{N}{f_{cp}} = \frac{3000}{30 \times 1000} = 0.1s$$

$$(2) |V_{o \max}| = \frac{V_{i \max} T}{RC} = \frac{5 \times 0.1}{100 \times 1000 \times 10^{-6}} = 5V$$

(3) 由公式 $\frac{\lambda}{N} = \frac{-V_i}{V_{REF}}$, 故有

$$V_i = -\frac{\lambda V_{REF}}{N} = -\frac{1500 \times 10}{3000} = -5V$$

6. 对于一个 8 位 D/A 转换器, 其分辨率的百分数为多少? 若最小输出电压增量为 0.02V, 请问当输入代码为 01001101 时, 输出电压 V_o 为多少伏? 若某一系统中要求 D/A 转换器的精度小于 0.25%, 请问能否用该 D/A 转换器?

【解答】

该问题涉及 D/A 转换器的分辨率、最小输出电压增量及转换精度 3 种参数。

分辨率是指对最小数字量的分辨能力。通常用输入数字量的位数来表示, 也用最小输出电压与最大输出电压之比的百分数表示。8 位 D/A 转换器的分辨率的百分数为

$$\frac{1}{2^8 - 1} \times 100\% = 0.3922\%$$

最小输出电压增量是指对应于最小数字量的输出模拟电压值, 即数字量每增加一个单位, 其输出模拟电压的增量。当 8 位 D/A 转换器最小输出电压增量为 0.02V, 输入代码 01001101 所对应的输出电压为

$$V_o = 0.02(2^6 + 2^3 + 2^2 + 2^0) = 1.54V$$

转换精度取决于转换误差, 通常用绝对精度衡量。绝对精度是指在输入端加对应满刻度数字量时, 输出的实际值与理想值之差。一般该值低于最低有效位输出模拟电压的一半 ($< \frac{1}{2} V_{LSB}$)。当要求 D/A 转换器的精度小于 0.25% 时, 只需其分辨率的百分数小于 0.5% 即可。所以, 该 D/A 转换器满足给定系统的精度要求。

10.5 两级训练题

10.5.1 达标训练题

1. 填空题

(1) A/D 转换的 4 个主要环节是_____、_____、_____和_____。

(2) 一个 A/D 转换器, 其量化阶梯为 S 。若采用四舍五入的量化方案, 则量化误差



为_____。

若采用只舍不入的方案，则量化误差为_____。

(3) 一个 8 位 D/A 转换器，其输入为 00010010 时输出为 0.9V，则在输入为 10001000 时输出为_____。

(4) 一个 8 位 D/A 转换器，其量化阶梯为 0.1V 电压，则最大能转换的电压输出为_____。

(5) 在 A/D 转换时，若量化的位数越高，则量化误差_____，分辨率_____。

2. 选择题

(1) 一个 8 位的 D/A 转换器，其分辨率为_____。

- A. 1/256 B. 1/255
C. 1/128 D. 1/127

(2) 一个 4 位十进制的 D/A 转换器，其分辨率为_____。

- A. 1/9999 B. 1/10000
C. 1/65535 D. 1/65536

(3) 一个 8 位的 A/D 转换器，其分辨率为_____。

- A. 1/256 B. 1/255
C. 1/128 D. 1/127

(4) 一个 4 位十进制的 A/D 转换器，其分辨率为_____。

- A. 1/9999 B. 1/10000
C. 1/65535 D. 1/65536

(5) 在下面列出的 A/D 转换器中，其转换速度最快的是_____。

- A. 跟踪比较型 B. 双积分型
C. 并行比较型 D. 逐次逼近型

3. 10 位倒 T 形电阻网络 D/A 转换器如图 10.28 所示，当 $R=R_f$ 时：

(1) 试求输出电压的取值范围。

(2) 若要求电路输入数字量为 200H 时输出电压 $V_o=5V$ ，试问 V_{REF} 应取何值？

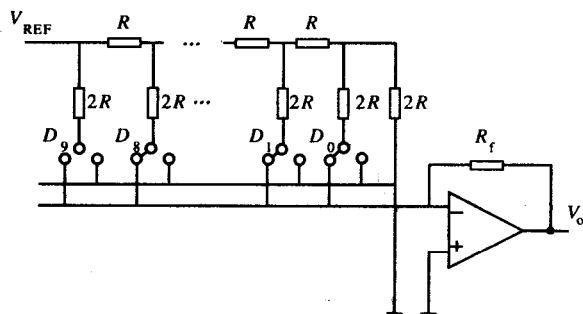


图 10.28

4. 在应用 A/D 转换过程中应注意哪些主要问题？如某人用满度值为 10V 的 8 位 A/D 转换器对输入信号幅值为 0.5V 的电压进行模拟转换，你认为这样使用正确吗？为什么？

10.5.2 考研挑战题

1. n 位双积分型 A/D 转换电路框图如图 10.29 所示。其输入电压为 V_i ，参考电压为 V_{REF} ，试由双积分型转换器的原理推导出电路的数字量输出值。

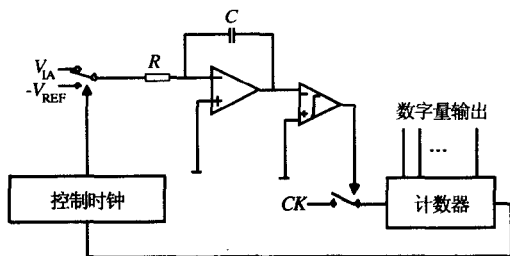


图 10.29

2. 4 位逐次逼近型 A/D 转换器的 V_i 和 V_o 的波形如图 10.30 所示，试求出转换后的数字量输出。

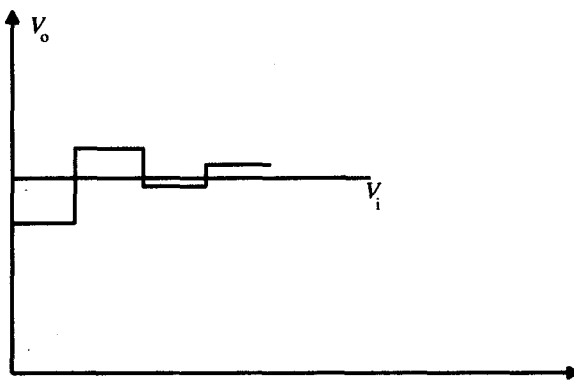


图 10.30

3. 极性 D/A 转换器电路图如图 10.31 所示，其中 $V_{REF} = -8V$ ， $R_f = R$ 。试写出转换后输出的模拟量 V_o 表达式。

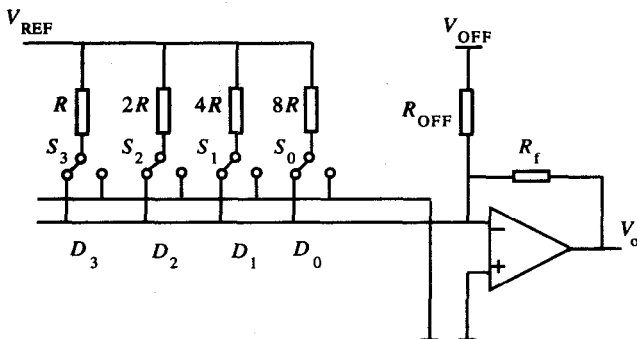


图 10.31



4. 根据双积分型 A/D 转换器的原理, 说明数字量输出与下列参数的关系:
- (1) 运放的零漂。
 - (2) 参考电压。
 - (3) 计数器位数 n 。
 - (4) 时钟频率。
 - (5) 积分器的积分常数。



附录 A 达标模拟题一及参考答案

附录 A.1 达标模拟试题

一、填空题(每小题 1 分, 共 20 分)

1. 在一个 6 位数值系统中, $(-10)_{10}$ 的原码是_____, 1's 补码是_____, 2's 补码是_____ ; $(10)_{10}$ 的原码是_____, 1's 补码是_____, 2's 补码是_____。

2. 设一举重比赛有 3 名裁判, 当运动员将杠铃举起后, 必须有两名或两名以上的裁判同意, 方可判定试举成功。假设用字母 A 、 B 和 C 分别代表 3 名裁判的意见, 同意为 1, 否定为 0, F 为裁判结果, 试举成功时 $F=1$, 否则 $F=0$ 。则 $F=$ _____。

3. 化简逻辑函数 $F = B(A + \bar{B} + \bar{C})C(\bar{A} + \bar{C})$ 为_____。

4. 写出 D 型触发器的特性方程_____ ; 写出 T 型触发器的特性方程_____。

5. n 级触发器有_____ 个状态。用触发器设计一个同步十七进制的计数器所需要的触发器数目是_____。

6. 模数转换的步骤顺序为_____, _____, _____ 和_____。如果 6 位的 DAC 的输出范围为 $0 \sim 10V$, 则当输入为 010100 时, 输出为_____ V。如果 10 位的 ADC 的输入范围为 $0 \sim 10.23V$, 则当输入电压为 2.54V 时, 输出的数字值为_____。

7. 在 TTL 三态门、OC 门、与非门和或非门电路中, 能实现“线与”逻辑功能的门是_____ , 能实现总线连接方式的门是_____。

二、选择题(每小题 2 分, 共 10 分)

1. 在下列逻辑部件中, 不属于组合逻辑部件的是_____。

- A. 译码器 B. 编码器 C. 全加器 D. 寄存器

2. 八路数据选择器, 其地址输入端(选择控制端)有_____ 个。

- A. 8 个 B. 2 个 C. 3 个 D. 4 个

3. GAL 是指_____。

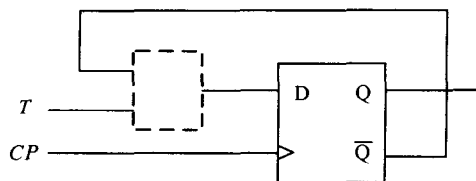
- A. 随机读写存储器 B. 可编程逻辑阵列
C. 通用阵列逻辑 D. 现场可编程门阵列

4. EPROM 的与阵列_____, 或阵列_____。

- A. 固定, 可编程 B. 可编程, 固定
C. 固定, 固定 D. 可编程, 可编程

5. 为将 D 触发器转换为 T 触发器, 图 A.1 所示电路的虚框内应是_____。

- A. 或非门 B. 与非门 C. 异或门 D. 同或门



附图 A.1

三、设计分析题(每小题 10 分, 共 70 分)

1. 数字系统与逻辑功能部件的本质区别是什么?
2. 分析如图 A.2 所示的电路, 写出 S 、 CI 的逻辑表达式, 列出真值表, 指出电路的逻辑功能。

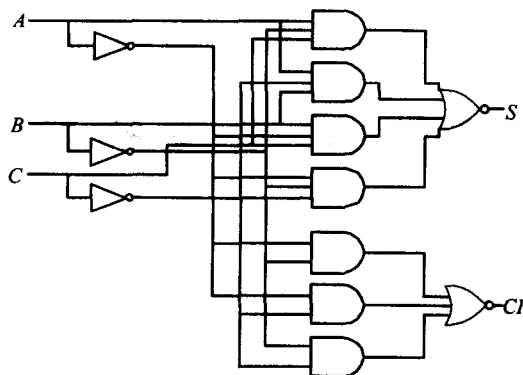


图 A.2

3. 试画出用 4 片 74138 构成 5 线-32 线译码器的连接图。
4. RS 主从式触发器如图 A.3 所示, 画出在图 A.4 所示的输入信号波形下输出端的信号波形(初态为 0)。

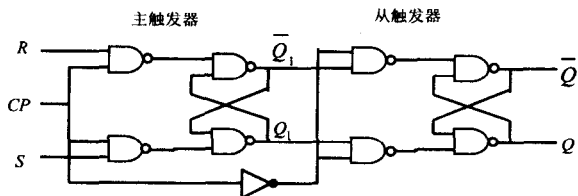


图 A.3

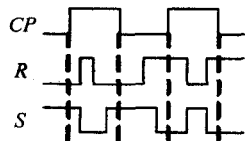
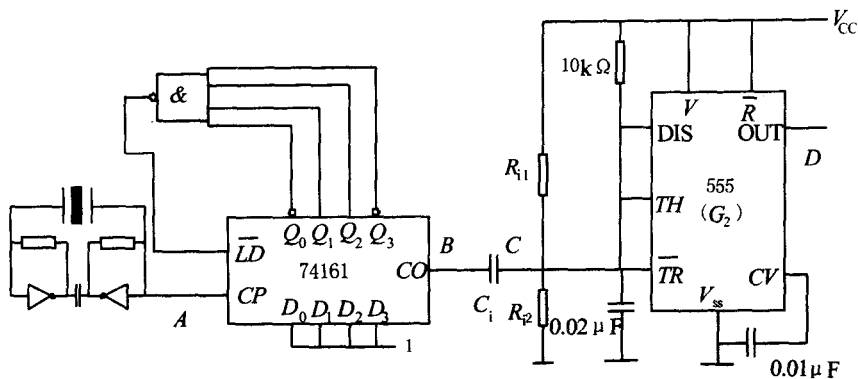


图 A.4

5. 试用两片 74194, 一个 D 触发器和最少的门电路构成一个 8 位二进制数的并-串转换电路。
6. 试用 ROM 电路构成一个全加器, 存储与或阵列由二极管组成。试画出阵列图。
7. 电路如附图 A.5 所示。晶振频率 $f=10\text{kHz}$, 问
 - (1) 说明各部分电路的功能。
 - (2) 计算 CO 输出端与输入时钟 CP 的分频比。
 - (3) 求电路的输出脉宽。
 - (4) 画出 A 、 B 、 C 和 D 各点的波形。



附图 A.5

附录 A.2 参 考 答 案

一、填空题

- 101010, 110101, 110110; 001010, 001010, 001010
- $F = AB + BC + AC$
- $F=0$
- $Q^{n+1} = D(\bar{Q}^n + Q^n)$, $Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$
- 2^n , 5
- 取样, 保持, 量化, 编码; 3.125V, 010000000
- OC 门, 三态门

二、选择题

- 1.D 2.C 3.C 4.A 5.D

三、设计分析简单题

1.

数字系统与逻辑功能部件的本质区别有两点:

(1) 有没有控制器是区别数字系统和逻辑功能部件的重要标志。凡有控制器的系统, 不论其规模大小, 一律看成一个数字系统。反之, 只能看成一个逻辑功能部件或子系统。

(2) 从设计方法看, 逻辑功能部件的设计是先按任务要求建立真值表或状态表, 给出逻辑功能描述, 最后完成电路设计。这种设计的过程称为自下而上的设计方法。

数字系统的设计方法先是自上而下的过程, 即系统被划分成若干个子系统; 然后是自下而上的过程, 即把子系统连成整体, 并进行整体功能验证和检查。如不满足要求, 则需要修正子系统的划分与设计, 直至满足要求为止。





2.

逻辑表达式为

$$S = A \oplus B \oplus C$$

$$CI = AB + AC + BC$$

如果变量 A 、 B 、 C 和函数 S 、 CI 均代表 1 位二进制数，可以看出该电路实现了 1 位全加器的功能。其中， A 为加数， B 为被加数， C 为低位向高位的进位。 S 为本位的和， CI 为本位向高位的进位。

3.

见图 A.6。

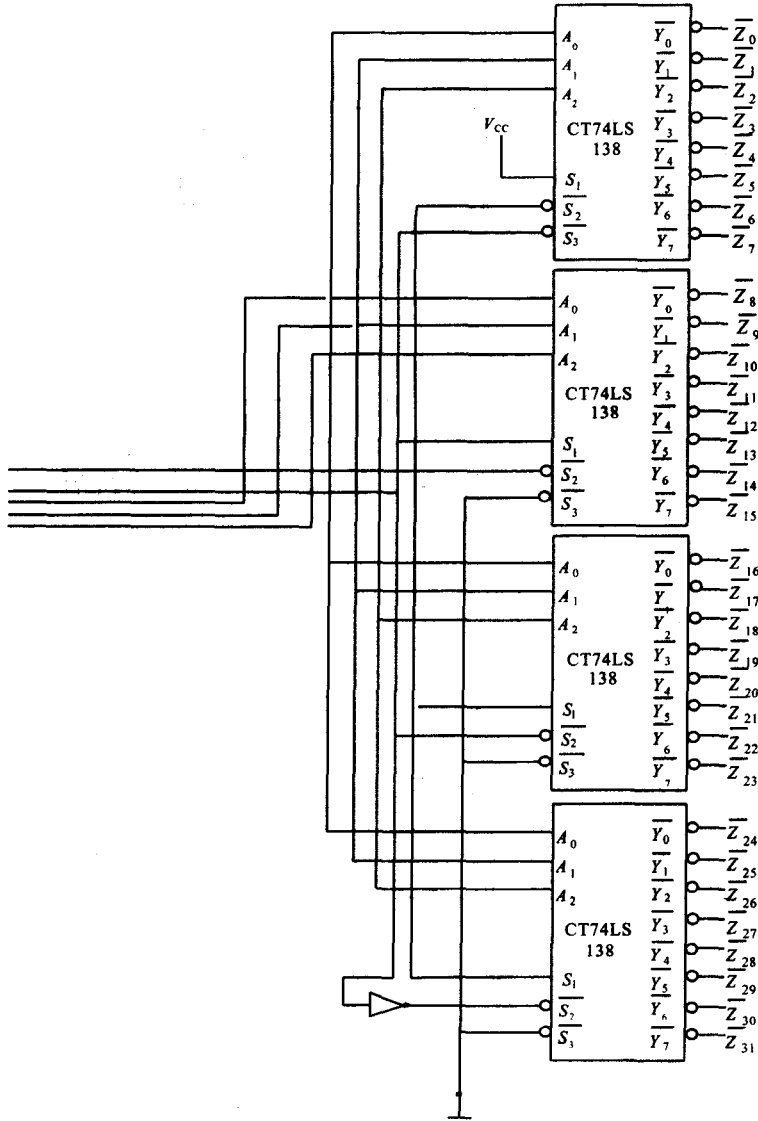


图 A.6





4.

此题的主从式触发器用两个 RS 触发器串联组成, 它们的门控制信号是一对相反的时钟, 因此它们交替处于透明状态。

当 $CP=1$ 时, 主触发器处于透明状态, 在此段时间内输入信号的所有变化都可能影响主触发器的状态, 使其发生翻转, 此时要对 $CP=1$ 期间输入状态的全过程进行分析才能正确判断 CP 下降沿到来时主触发器的状态, 这是电路的取样期。

当 $CP=0$ 时, 从触发器处于透明状态, 在此段时间内由于主触发器处于锁存状态, 因此 Q_1 不会发生变化, 所以从触发器的输出 Q 也不会再发生变化, 这是电路的传输期 $Q=Q_1$ 。

答案见图 A.7。

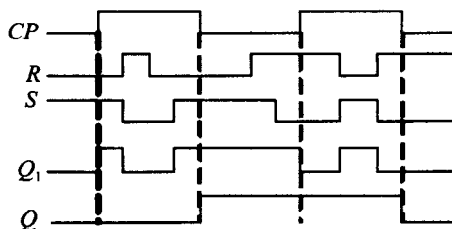


图 A.7

5.

74194 是一个 4 位双向移位寄存器, 可以将两个 74194 组合成一个 8 位移位寄存器, 将它的移位方向固定后, 输入的并行数据可以通过移位的方式转化为串行数据。

如图 A.8 所示, 其中 CP_1 的频率是 CP_2 的 8 倍, 并且 CP_2 的占空比为 1:7。这样在 CP_2 为 1 且 CP_1 的上升沿输入 8 位并行数据, 并在接下来的 8 个 CP_1 的周期里被依次送入 D 触发器输出。

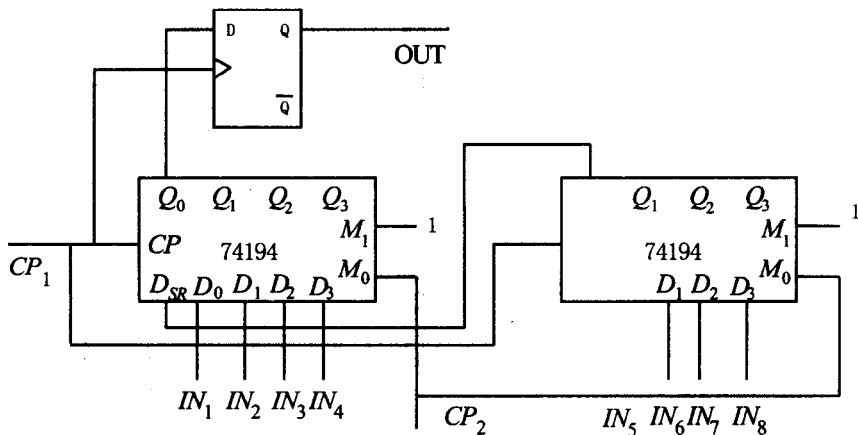


图 A.8

6.

应用 ROM 实现全加运算, 由前几题的分析, 我们可以看到首先应该确定输入输出及列出全加器的数据表, 如表 A.1 所示。据此画出 ROM 的阵列图, 如图 A.9 所示。





可以很清楚地看到“与阵列”的每一纵行是由上拉电阻与下拉并联二极管构成的与逻辑。而“或阵列”的每一横行是由上拉并联二极管与下拉电阻构成的或逻辑。由阵列图可得

$$S_i = \sum m(1,2,4,7)$$

$$C_i = \sum m(3,5,6,7)$$

这与所列真值表是吻合的。

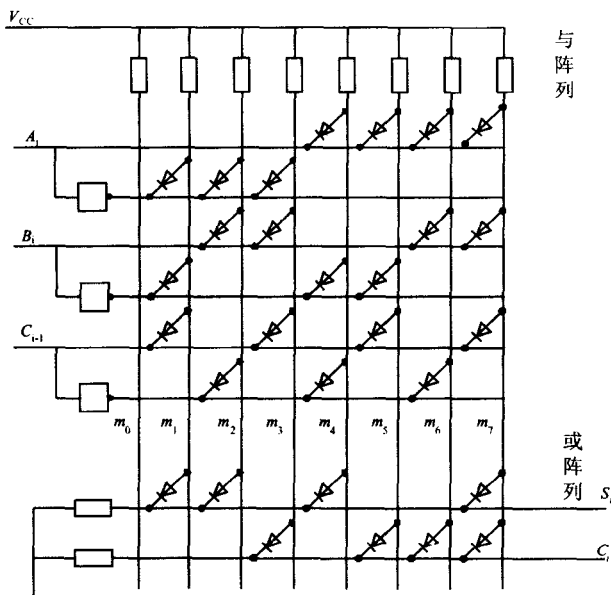


表 A.1 全加器的真值表

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

附图 A.9

7.

(1) 该电路由晶振、分频电路、微分电路和单稳态触发器组成。

晶振 f 稳定，仅由晶体谐振频率决定。产生脉冲给分频器提供 CP 信号。分频器降低 CP 。微分电路由 C_i, R_{i1}, R_{i2} 组成，它将脉冲波形变成对应于上跳沿和下跳沿的尖顶脉冲，以防止单稳态触发器输入信号的脉冲过宽而引起器件工作异常。最后由单稳态触发器产生一脉宽可调的脉冲波形。

(2) 列出 74161 的状态图如图 A.10 所示，由图可知 $M=8$ 。

$$f_A : f_B = 1 : 8$$

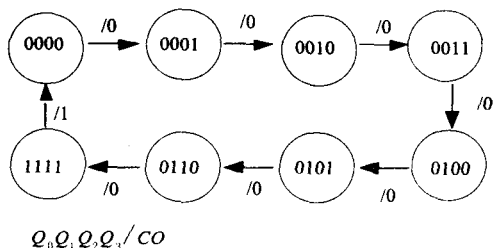


图 A.10

(3) 计算电路输出脉宽

$$T_w = 1.1RC = 1.1 \times 10 \times 10^3 \times 0.02 \times 10^{-6} = 0.22 \text{ ms}$$

(4) A 、 B 、 C 和 D 各点的波形如图 A.11。

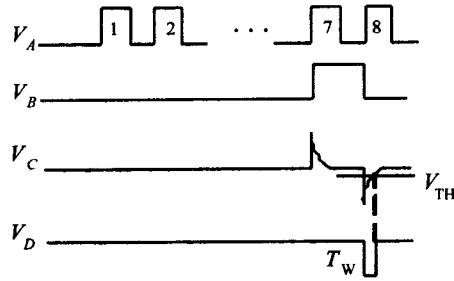


图 A.11

附录 B 达标模拟题二及参考答案

附录 B.1 达标模拟题二

一、填空题(每小题 2 分, 共 20 分)

1. $(1101011.011)_B = (\quad)_{10} = (\quad)_{16}$ 8421BCD。
2. 化简逻辑函数 $F = \overline{A}BC + \overline{A}B\overline{C} + AB + ABC$ 为_____。
3. 一个二进制编码器若需要对 12 个输入信号进行编码, 则要采用_____位二进制代码。
4. PLD(可编程逻辑器件)属于_____电路, 而逻辑门属于_____电路。
5. TTL 与非门的低电平的阈值电平为 0.7V, 高电平的阈值电平是 1.9V, 当输入低电平为 0.4V, 输入高电平为 3.2V 时, 其低电平噪声门限为_____。
6. 如果在双积分型 ADC 中出现零点漂移, 则转换的结果与真实的结果比较将_____。

二、选择题(每小题 2 分, 共 10 分)

1. n 个触发器构成的扭环计数器中, 无效状态有_____个
A. n B. $2n$ C. 2^{n-1} D. $2^n - 2n$
2. GAL 器件的与阵列____, 或阵列____。
A. 固定, 可编程 B. 可编程, 可编程
C. 固定, 固定 D. 可编程, 固定
3. 数字系统工作的特点是具有____。
A. 周期性 B. 一次性 C. 非周期性 D. 随机性
4. 组合逻辑是指____组合而成的电路。
A. 触发器 B. 门电路 C. 计数器 D. 寄存器
5. 固定 ASM 流程图是设计____的一种重要工具。
A. 运算器 B. 计数器
C. 控制器 D. 存储器

三、设计分析题(每小题 10 分, 共 70 分)

1. 分析如图 B.1 所示的电路, 图中 A 、 B 为输入变量, S_3 、 S_2 、 S_1 、 S_0 为控制变量。试列表写出该电路在 S_3 、 S_2 、 S_1 、 S_0 各种取值下的输出函数表达式, 并指出该电路的逻辑功能。

2. 用一片译码器和一片数据选择器构成一个 3 位比较器。

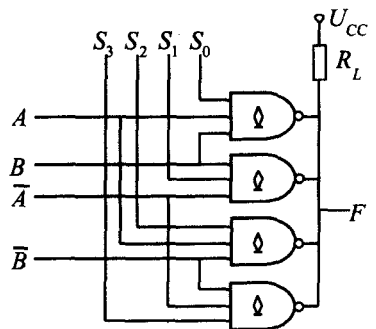


图 B.1



3. 画出主从式 JK 触发器和下降沿 JK 触发器, 在输入信号的作用下各自的输出端波形 (输入信号波形如图 B.2 所示, 触发器初态为 0)。

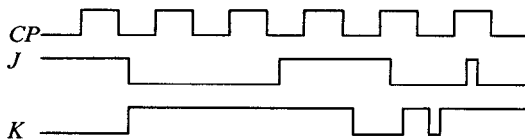


图 B.2

4. 试设计一个可控模计数器, 要求 $X=0$ 时, $M=5$, $X=1$ 时 $M=7$ 。

5. 定用 ROM 实现下列逻辑函数时所需的容量:

(1) 实现两个 3 位二进制数相乘的乘法器。

(2) 将 8 位二进制数转换成十进制数(用 BCD 码表示)的转换电路。

6. 电流型倒 T 型电阻网络 D/A 转换器如图 B.3 所示。已知参考电压 $V_{REF}=5V$, 电阻及 $R_f=1k\Omega$, 求最小可分辨电压 Δ 和满度输出电压 V_{om} , 当输入数码 $a_3a_2a_1a_0=1101$ 时, 输出电压 V_o 为多少?

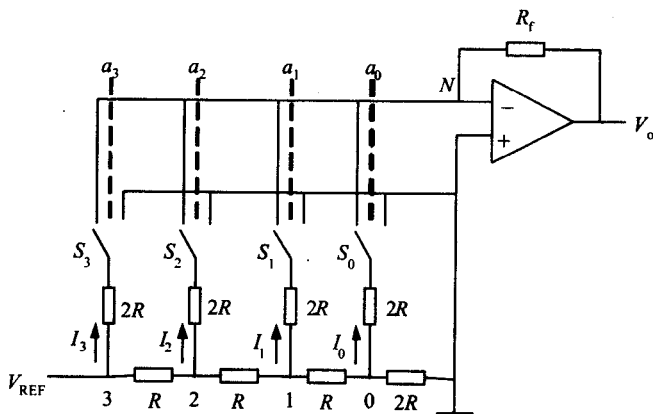


图 B.3

7. 图 B.4 所示电路为 CMOS 或非门构成的多谐振荡器, 图中 $R_s=10R$ 。

(1) 画出 a 、 b 和 c 各点的波形;

(2) 计算电路的振荡周期;

(3) 当阈值电压 V_{TH} 由 $V_{DD}/2$ 改变至 $2V_{DD}/3$ 时, 电路的振荡频率如何变化? 与图示电路相比, 说明 R_s 的作用。

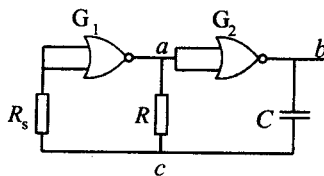


图 B.4



附录 B.2 参 考 答 案

一、填空题

1. (107.375)D , (000100000111.001101110101)BCD
2. $F = AC + B$
3. 4
4. 半用户定制, 非用户定制
5. 0.3V
6. 不变

二、选择题

1. D
2. D
3. A
4. B
5. C

三、设计分析题

1.

【解答】

$$F = \overline{S_0}AB + S_1\overline{A}B + S_2\overline{A}\overline{B} + S_3\overline{A}\overline{B}$$

通常 n 个输入变量有 2^n 个最小项, 可以构成 2^{2^n} 种不同的输出。本题中输入变量 A 、 B 在控制输入 S_3 、 S_2 、 S_1 、 S_0 的作用下能产生 16 种输出函数, 因此, 该电路为多功能函数发生电路。

2.

【解答】 见图 B.5。

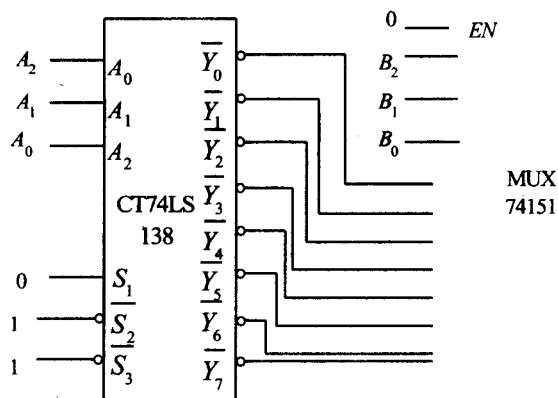


图 B.5

3.

【解答】

此题关键在于比较主从式 JK 触发器和下降沿 JK 触发器, 它们都是在下降沿时将信号输出, 但它们输出的信号有所不同: 下降沿 JK 触发器是在下降沿时将输入信号经过某种



逻辑求值后输出；主从式 JK 触发器是在下降沿时将主触发器中锁存的信号经过从触发器输出，尽管在 $CP=1$ 的全部时间内主触发器都能接收到输入信号，但由于从触发器的输出端有一组信号反馈至主触发器的输入端，因此当输出端 $Q^n=0$ 时只能接收置 1 的输入信号，输出端 $Q^n=1$ 时只能接收置 0 的输入信号。答案见图 B.6。

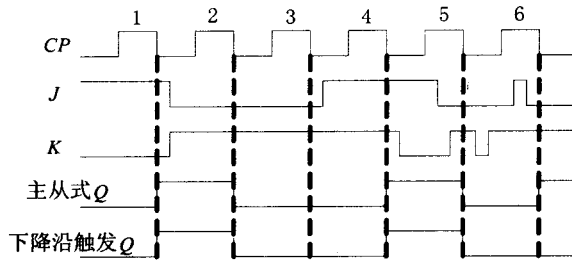


图 B.6

在第 6 时钟周期，由于 $CP=1$ 时输入信号 J 发生了多次变化。此时主触发器只能接收置 1 的信号，因此 $Q^{n+1}=1(Q^n=0)$ 。

4.

不妨先设计一个模 5 和一个模 7 的计数器，看看它们有什么区别。

图 B.7 是一模 5 计数器，图 B.8 是一模 7 计数器，可见它们结构相似，仅在置位数据上有一位的差别。因此可以考虑通过控制这位信号来控制计数器的模。答案见图 B.9。

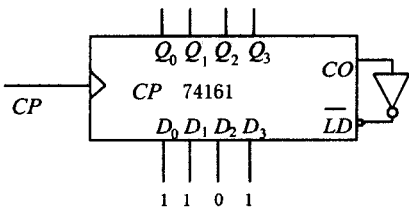


图 B.7

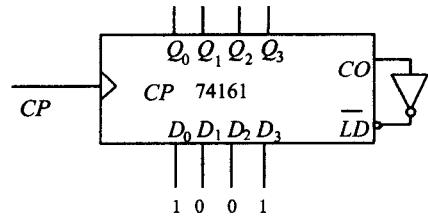


图 B.8

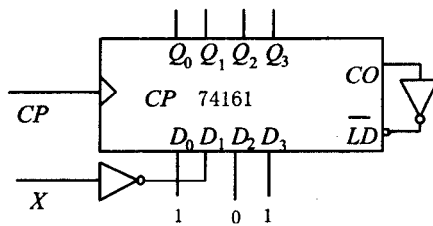


图 B.9

5.

(1) 两个 3 位二进制数相乘，共有 6 位输入，即需要 6 根地址线；而两个 3 位二进制相乘的最大值是 49，即 $111 \times 111 = 110001$ ，共需要 6 位输出，所以 ROM 的容量应为 $2^6 \times 6$ 位。

(2) 8 位二进制数转换成十进制数的最大值为 255，用 BCD 码表示为 1001010101，





即输入 8 位, 输出 10 位, 所以 ROM 的容量应为 $2^8 \times 10$ 位。

6.

首先求最小可分辨电压 Δ : 最小可分辨电压 Δ 是 $a_3a_2a_1a_0=0001$ 时所对应的输出电压 V_o , 因此这时只有开关 S_0 接上基准电压源 V_{REF} , 其他开关都接地, 支路电流 I_o 流到 N 点, 最小可分辨电压 Δ 为 $-I_oR_f$ 。为了求出 I , 首先须求总电流 I 的大小。设倒 T 型电阻网络的等效电阻为 R , 根据从每个节点(不包括该节点本身)向右看去, 等效电阻为 $2R$, 最后得知该电阻网络的等效电阻为 $R'=R$, 因此总电流 I 为

$$I = V_{REF} / R = 5/1 = 5\text{mA}$$

$$I_o = I/16 = 5/16 = 0.3125\text{mA}$$

$$\Delta = -I_oR_f = -0.3125 \times 1 = -0.3125\text{V}$$

满度输出电压为:

$$V_{om} = -\Delta \cdot (2^n - 1) = -\Delta \cdot (2^4 - 1) = -15\Delta = -15 \times 0.3125 = -4.6875\text{V}$$

当输入数码 $a_3a_2a_1a_0=1101$ 时, 输出电压 V_o 为

$$(1101)_2 = 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^0 = (13)_{10}$$

$$V_o = -13\Delta = -13 \times 0.3125 = -4.0625\text{V}$$

7.

图 B.4 为改进后的 RC 振荡器, 电阻 R_s 的加入, 使得电容 C 的一端(c 点)电位变化时, 其过充由无 R_s 时的 V_{DD} (或 V_{SS}) 上升为 $V_{TH}+V_{DD}$ (或下降至 $V_{TH}-V_{DD}$), 这样, 电容 C 两端电压的峰-峰值由原来的 $V_{DD}-V_{SS}$ 上升至 $(V_{TH}+V_{DD})-(V_{TH}-V_{DD})$, 从而大大减小了由于电源电压(即转折电压)的变化所导致的振荡周期的变化。一般 $R_s \gg R$ 。

a 、 b 和 c 各点波形如图 B.10 所示。

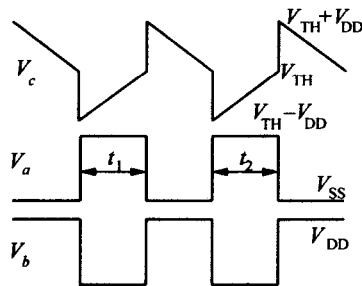


图 B.10

振荡周期 T 的计算:

由于 $R_s \gg R$, 因此忽略 G_1 输入二极管导通时经 R_s 支路对电容的充放电的影响, 由此可以计算出

$$t_1 = RC \ln \frac{V_{DD} + V_{TH}}{V_{TH}}$$

$$t_2 = RC \ln \frac{2V_{DD} + V_{TH}}{V_{DD} - V_{TH}}$$



$$T = t_1 + t_2 = RC \ln \frac{(V_{DD} + V_{TH})(2V_{DD} - V_{TH})}{V_{TH}(V_{DD} - V_{TH})}$$

若 $V_{TH} = \frac{V_{DD}}{2}$, 则

$$T = RC \ln 9 \approx 2.2RC$$

若 $V_{TH} = \frac{2}{3}V_{DD}$, 则

$$T = RC \ln 10 \approx 2.3RC$$

当 V_{TH} 由 $V_{DD}/2$ 改变至 $2V_{DD}/3$ 后, 频率减小。

附录 C 考研模拟题一及参考答案

附录 C.1 考研模拟题

一 填空题

- $(27.85)_{10} = (\quad)_2 = (\quad)_8 = (\quad)_{16}$ 。
- $[X]_{\text{反}} = 0.1111, X = (\quad)$
- 在逻辑门电路中, 当与门的输入端没有接信号时, 其输入端为逻辑_____电平。
- 将十进制数的 10 个数字编成二进制代码的过程叫_____。
- 由图 C.1(a)、(b)和(c)的卡诺图写出各自所对于函数的最简或与表达式
a _____; b _____; c _____; d _____。

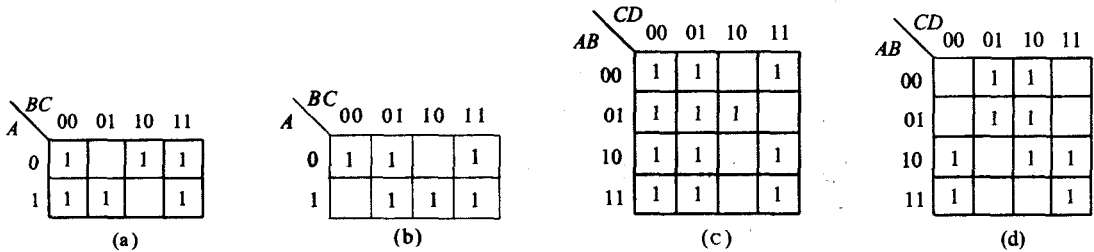


图 C.1

- 简单 PLD(可编程逻辑器件)的基本结构由_____、_____和输入输出缓冲器组成。
- TTL OC 门由于输出管集电极开路, 当其输出端并接时实现_____的功能。
- 若 RS 触发器是由两个或非门组成的, 则其 R 和 S 输入端的约束条件是_____;
若 RS 触发器是由两个与非门组成的, 则其 R 和 S 输入端的约束条件是_____。
- 化简逻辑式 $F(A,B,C,D) = BCD + AB + ABCD + BC = \underline{\hspace{2cm}}$ 。
- 化简逻辑式 $F(A,B,C,D) = \prod M(0,1,2,3,4,6,12) = \underline{\hspace{2cm}}$ 。

二 设计分析题

- 列出图 C.2 所示的线路的输出函数表达式, 判断该表达式能否化简。若能, 则将其化为最简, 并用最简线路实现。



2. 举重比赛有 3 个裁判, 一个是主裁判 A, 两个是副裁判 B 和 C。杠铃完全举上的裁决由每个裁判按一下自己面前的按钮来决定。只有两个以上裁判(其中必须有主裁判)判明成功时, 表示成功的灯才亮。试用与非门实现。

3. 如图 C.3 所示 4 位数值比较器芯片 T4085 实现两个 7 位二进制数的比较。

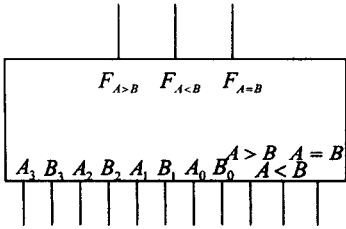


图 C.2

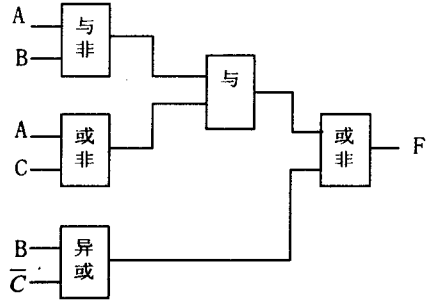
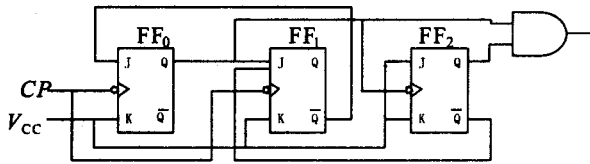


图 C.3

4. 试用 74138 和 74151 配合门电路实现全加器。

5. 试分析图 C.4 所示电路的功能。各触发器初态为 0。



附图 C.4

6. 图 C.5 所示电路为 74290 构成的计数器, 试分析确定其模数。

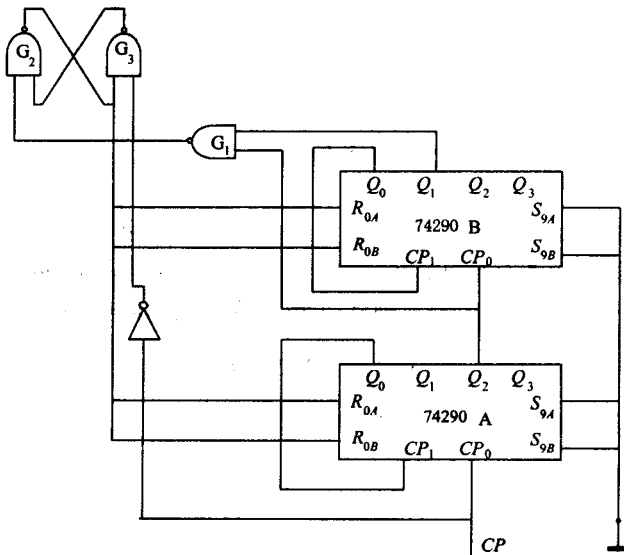


图 C.5



7. 试用ROM产生一组逻辑函数和阵列图。

$$F_0 = \overline{ABCD}$$

$$F_1 = ABCD$$

$$F_2 = \overline{ABC} + \overline{BCD} + \overline{ABD} + \overline{ACD}$$

$$F_3 = ABC + BCD + ABD + ACD$$

8. 分析图 C.6 所示电路, 简述电路组成及工作原理。若要求扬声器在开关 S 按下以后, 以 1.2kHz 的频率持续响 10s , 试确定图中 R_1 、 R_2 的阻值。

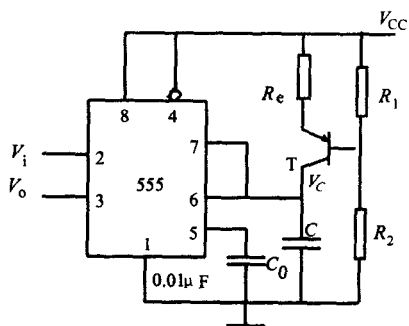


图 C.6

9. 8 位权电阻 D/A 转换器电路图如图 C.7 所示, 求:

- (1) 试求出输出模拟量 V_o 的表达式;
- (2) 试求出输出模拟量的范围。

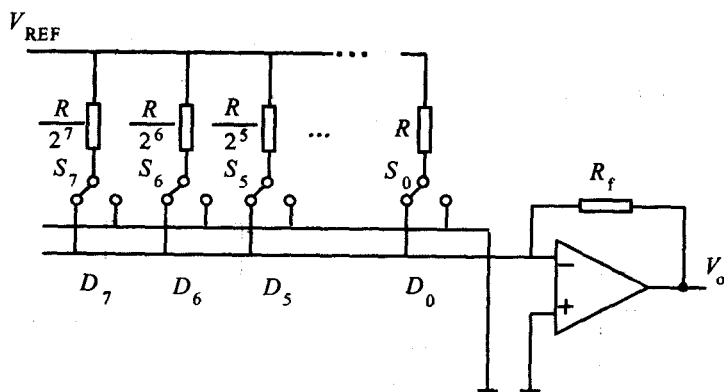


图 C.7

附录 C.2 参 考 答 案

一、填空题

1. 11011.1101, 33.64, 1B.D
2. +0.1111
3. 1
4. BCD 编码(或二-十进制编码)
5. $F = \overline{AB} + \overline{AB} + \overline{C}$, $F = \overline{AB} + \overline{BC} + AC$, $F = \overline{ABD} + \overline{BD} + \overline{C} + \overline{AD}$, $F = \overline{AD} + \overline{AD} + BCL$
6. 或阵列, 与阵列
7. 线与
8. $RS=0, R+S=1$
9. B
10. $D+AB+AC$

二、分析题

1. 将各级逻辑门的函数表达式写出, 最后组合成 F 的函数表达式。按照逻辑代数化简的规则, F 可化简为 $(A+C)(B \odot C)$ 或其他的等价形式。最后, 用逻辑门符号画出逻辑电路图(略)。

2. 根据题意写出逻辑表达式 $F=AC+AB$, 使用摩尔定理将逻辑表达式变换成用与非门实现的逻辑函数最后, 用逻辑门电路实现该表达式。

3. 用两片 4 位数值比较器实现 7 位二进制数的比较。设参与比较的数为 $a_7a_6a_5a_4a_3a_2a_1$ 和 $b_7b_6b_5b_4b_3b_2b_1$, 高 4 位用一片数值比较器, 低 3 位用一片数值比较器。最低位补零(或者最高位补零), 各级联输入设为 001。(图略)

4. 见图 C.8

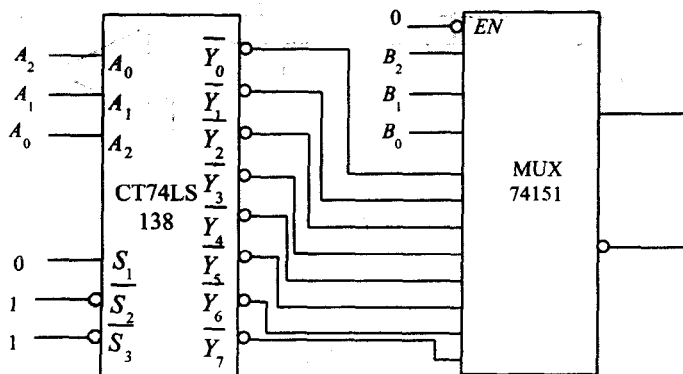


图 C.8

5. 使用状态转换真值表或状态图进行分析。本题电路由 3 个主从式 JK 触发器级联而



成，分析时先找出每种初态对应的次态，再整理找出其逻辑功能。

由表 C.1 和图 C.9 可以看出本题电路是一个模 5 计数器，并有自启动功能。

表 C.1 状态转换真值表

	Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
循环状态	0	0	0	0	0	1
	0	0	1	1	1	0
	1	1	0	1	0	0
	1	0	0	1	0	1
	1	0	1	0	0	0
无效状态	0	1	0	0	0	0
	0	1	1	1	0	0
	1	1	1	0	0	0

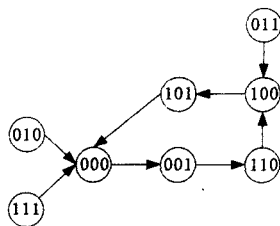


图 C.9

6. 图示电路是两个 74290 级联而成的计数器，它们的 Q_0 端与 CP_1 端相连，构成了一个模 10 的计数器。其中 74290A 的 Q_2 端与 74290B 的 CP_0 端相连，即 74290A 的 Q_2 端下降沿(即由 7 变 8 时)74290B 被触发，加一计数。而两个触发器的清 0 信号都是由 RS 触发器提供，即 G_1 输出为 1， CP 为 0 时(计数器为 24 时)，被清 0。所以剩余状态为(十六进制)：00, 01, 02, 03, 04, 05, 06, 07, 18, 19, 10, 11, 12, 13, 14, 15, 16, 17, 28, 29, 20, 21, 22, 23。所以最后答案为模 24。

7. 本题是用 ROM 实现逻辑函数的问题。一般的步骤为：

- (1) 确定逻辑函数的输入，输出变量数(即 ROM 的输入端和输出端数)。
- (2) 将函数化为最小项之和 $\sum m_i$ 的形式作出数据表或直接根据函数式代入输入变量的所有取值组合，得出真值表。
- (3) 根据真值表，画出相应的电路。

此题可以看到有 A、B、C 和 D 4 个输入变量， F_0 、 F_1 、 F_2 和 F_3 4 个输出，然后我们作出真值表(表 C.2)和阵列图(图 C.10)。

表 C.2 真值表

地址				数据			
A	B	C	D	F_3	F_2	F_1	F_0
0	0	0	0	0	1	0	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	1	0	0
0	1	0	1	0	0	0	0
0	1	1	0	0	0	0	0
0	1	1	1	1	0	0	0
1	0	0	0	0	1	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0
1	0	1	1	1	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	1	0	1	0

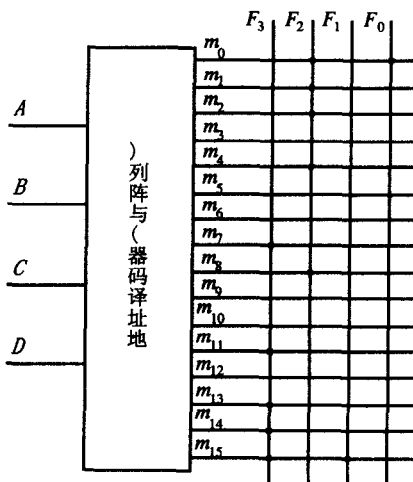


图 C.10



最后, 还可以验证 $F_3 = \sum m(7,11,13,14,15)$, 恰为 $F_3 = ABC + BCD + ABD + ACD$ 。同理可以验证 F_2, F_1, F_0 的正确性。

8. 当 S 开关按下后, 555(1)单稳脉宽为 t_w 时间内, 由 555(2)组成的多谐振荡器工作, 其振荡频率为 1.2kHz。当单稳返回稳态后, 多谐振荡器停振。依题意, 单稳脉宽为

$$t_w = 1.1R_1C_1$$

已知 $C_1 = 0.01\mu\text{F}$, 代入上式得 $R_1 = 910\text{M}\Omega$ 。多谐振荡器振荡频率为

$$f = \frac{1}{0.7(R_2 + 2R_3)C_2}$$

已知 $R_3 = 2.4\text{k}\Omega$, $C_2 = 0.22\mu\text{F}$, 代入上式得 $R_2 = 0.61\text{k}\Omega$ 。

$$9. (1) V_o = -\frac{R_f}{R} V_{\text{REF}} \sum_{i=0}^7 D_i 2^i \quad (2) 0 \sim -255 \frac{R_f}{R} V_{\text{REF}}$$

附录 D 考研模拟题二及参考答案

附录 D.1 考研模拟题

一、填空题

- $(28.43)_D = (\quad\quad\quad)$ 余 BCD 码。
- $(137.9)_{10} = (\quad\quad\quad)_{8421BCD}$
- $[X]_{补} = 1.1011$, $X = (\quad\quad\quad)$
- 同或门在两输入信号都为逻辑 0 电平时, 其输出为逻辑 $\quad\quad$ 电平。
- 化简逻辑函数 $F = \overline{AB}CD + \overline{A}BCD + A\overline{C}D + \overline{B}CD$ 为 $\quad\quad\quad$ 。
- 组合逻辑电路中的竞争-险象是由 $\quad\quad\quad$ 引起的。可分为 $\quad\quad\quad$ 和 $\quad\quad\quad$ 。
- 环形计数器的计数长度为 $\quad\quad\quad$; N 级环扭形计数器的计数长度为 $\quad\quad\quad$; N 级最大长度移存型计数器的计数长度为 $\quad\quad\quad$ 。
- 单稳态触发器的反馈网络若为高通型网络(即微分电路)则主网络应为 $\quad\quad$ 相放大器; 若为低通型网络(即积分电路)则主网络应为 $\quad\quad$ 相放大器。
- 转换中分辨率与位数的关系为 $\quad\quad\quad$ 。
- 化简逻辑式 $F_1(A,B,C,D) = \sum m(2,3,5,6,7,11,14) + \sum d(9,10,13,15) = \quad\quad\quad$ 。
- 化简逻辑式 $F_2(A,B,C,D) = \sum m(0,1,3,4,5,7,11,14) + \sum d(8,10,12,13) = \quad\quad\quad$ 。

二、设计分析题

- 已知图 D.1 是一个受 M_1M_2 控制的原码、反码和 0, 1 转换器, 试分析该转换器各自在 M_1M_2 的什么状态下实现上述 4 种转换。

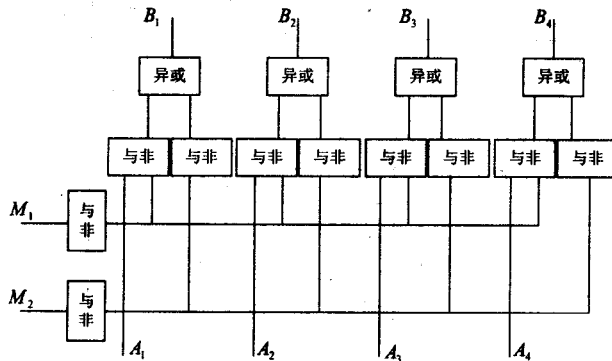


图 D.1



2. 试用双四选一数据选择器 CT4253 实现全减器。

3. 作 1010 序列检测器的原始状态图, 已知检测器的输入输出序列如下:

输入: 001010010101010110

输出: 00000100001010000

4. 若选用 JK 触发器, 试求出表 D.1 所示的激励函数和输出函数表达式。

5. 图 D.2 为 74290 构成的计数形分频器, 试确定其分频系数。

表 D.1 真值表

$Y_2 Y_1$	$X=0$	$X=1$
$Y_2^{n+1} Y_1^{n+1} / Z$		
00	11/0	01/0
01	00/0	00/1
11	00/1	10/1
10	01/0	11/0

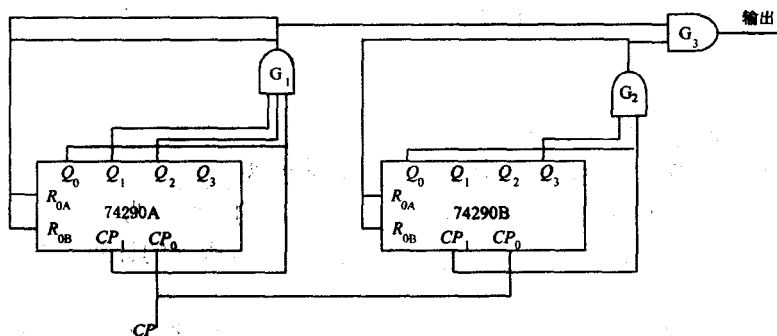


图 D.2

6. PLA 和 DFF 组成的同步时序电路如附图 D.3 所示, 问:

- (1) 写出电路的驱动方程和输出方程。
- (2) 分析电路的功能, 画出电路的状态转换图。

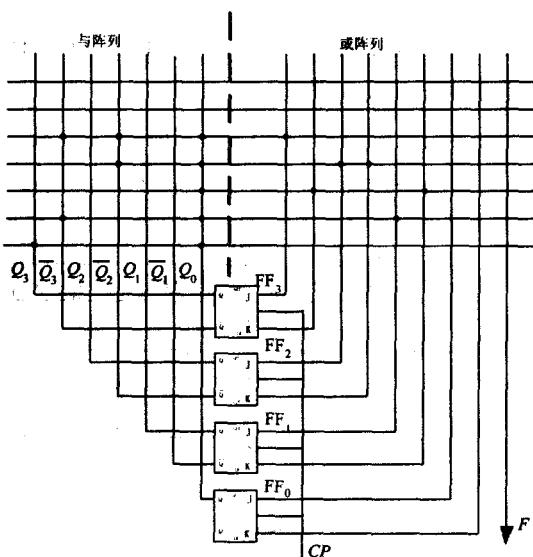


图 D.3



7. (1) 8 位倒 T 型网络 D/A 转换器电路图如图 D.4 所示, 试求出输出模拟量 V_o 的表达式。

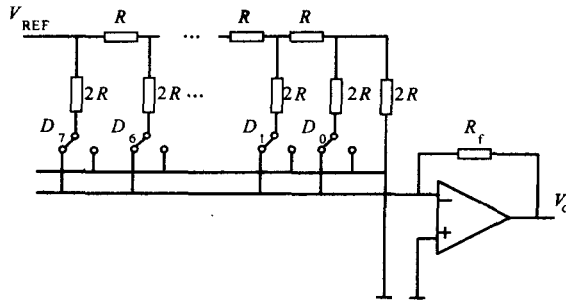


图 D.4

(2) 试画出图 D.5 所示逻辑电路的输出($Q_A - Q_D$)的波形图, 并分析该电路的逻辑功能。

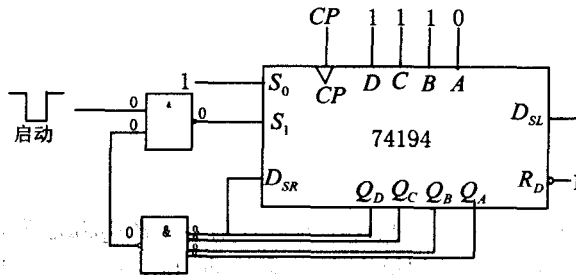


图 D.5

8. 集成施密特电路和集成单稳态触发器 74121 构成的电路如图 D.6 所示。已知集成施密特电路的 $V_{DD}=10V$, $R=100k\Omega$, $C=0.01\mu F$, $V_{T+}=6.3V$, $V_{T-}=2.7V$; $C_{ext}=0.01\mu F$, $R_{ext}=30k\Omega$ 。

- (1) 分别计算 V_{o1} 的周期及 V_{CE} 的脉宽。
- (2) 根据计算结果, 画出 V_C 、 V_{o1} 、 V_{o2} 的波形。

9. 如图 D.7 所示试用一个 4 位二进制加法器 T693 实现余 3 码转换为 8421BCD 码的转换。

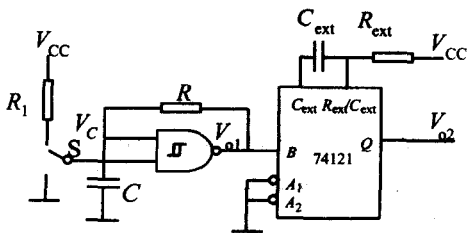


图 D.6

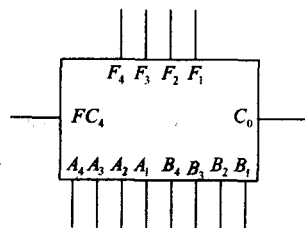


图 D.7

附录 D.2 参 考 答 案

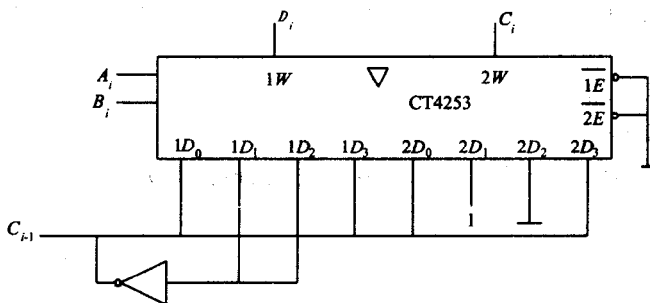
一、填空题

1. (01011011.01110110)
2. 1 0011 0111.1001
3. -0.0101
4. 1
5. $F = CD$
6. 电路中存在延迟, 逻辑险象, 功能险象
7. $N, 2N, 2^{N-1}$
8. 同, 反
9. $Res = \frac{1}{2^n - 1}$
10. $F_1 = AB + C$
11. $F_2 = AC + AD + AD + ABC$

二、设计分析题

1. 首先, 分析逻辑电路图。 $A_1A_2A_3A_4$ 为输入信号, $B_1B_2B_3B_4$ 为输出信号。写出它们之间的逻辑表达式。 M_1M_2 的二进制组合为 4 种, 即 00, 01, 10, 11, 分别代入表达式中, 当 M_1M_2 为 00 时, $A_1A_2A_3A_4$ 和 $B_1B_2B_3B_4$ 之间进行反码转换; 当 M_1M_2 为 01 时, 进行原码转换; 当 M_1M_2 为 10 时, 进行 1 转换; 当 M_1M_2 为 11 时, 进行 0 转换。

2. 见图 D.8



附图 D.8

3. 设 S_0 表示该检测器的初始状态, S_1 表示收到一个 1, S_2 表示收到 10, S_3 表示收到 101, S_4 表示收到 1010。建立状态图, 完成各状态之间的转换关系。

4. 根据 JK 触发器的功能表, 推出 JK 触发器的激励表。从原状态表的内容可推出触发器的输出函数和激励函数。利用卡诺图化简, 得到 $J_2 = XY$, $K_2 = X$; $J_1 = 1$, $K_1 = 1$;
 $Z = Y_2Y_1 + XY_1$ 。



5. 先将此题分解为两个计数器 74290A 和 74290B, 易求出这两个计数器的模值, 分别为 7 和 9。由于 G_1 的输出是由 $Q_0 Q_1 Q_2$ 相与得到的, 因此在 74290A 一个循环的计数周期(7 个时钟周期)内, G_1 只有 1 个时钟周期的 1 电平。同样 74290B 每 9 个时钟周期, G_2 有 1 个时钟周期的 1 电平。输出信号 G_3 是由 $G_1 G_2$ 相与得到的, 即 $G_1 G_2$ 同时为 1 时, G_3 才输出 1。根据概率可知 $(1/7) \times (1/9) = 1/63$ 。即输出信号中每 63 个时钟周期有 1 个时钟(CP)周期的 1 电平。最后得结果为 63 分频。

6.

(1) 电路的驱动方程和输出方程如下:

$$D_0 = \overline{Q_0} + \overline{Q_1} Q_0$$

$$D_1 = \overline{Q_1} Q_0 + Q_1 Q_0$$

$$D_2 = \overline{Q_2} Q_0 + Q_2 Q_0$$

$$F = Q_2 Q_1 \overline{Q_0}$$

(2) 先设定电路的状态, 求出该状态的次态, 再将次状态设为电路的原态, 求出一个次态。得电路状态转换如附图 D.9 如下所示。电路为能自启动的同步六进制计数器。

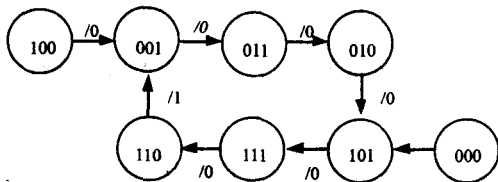


图 D.9

7.

$$(1) V_o = -\frac{V_{REF}}{2^8} \cdot \frac{R_f}{R} \sum_{i=0}^7 D_i \cdot 2^i$$

(2) 当加启动脉冲时, S_1 为 1, $S_1 S_0 = 11$, 同时清零端 $R_D = 1$, 由 74194 的功能表, 当时钟上升沿时, 输出为并行输入预置数 1110, 经与非门输出 1, 再与启动脉冲相与非(此时启动脉冲已过), $S_1 = 0$, 同时清零端为 1, $D_{SR} = Q_D = 1$, 当时钟上升沿时, 实现右移一位, 最低位置 1, 输出 1101, 再有时钟上升沿时依次经过 1011, 0111, 此时再有时钟上升沿时, 由于 $D_{SR} = Q_D = 0$, 再右移时最低位将置 0, 输出 1110, 回到启动状态往复循环。

因此状态如附图 D.10 所示。

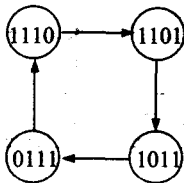


图 D.10

由状态图可画出输出波形图如图 D.11 所示。



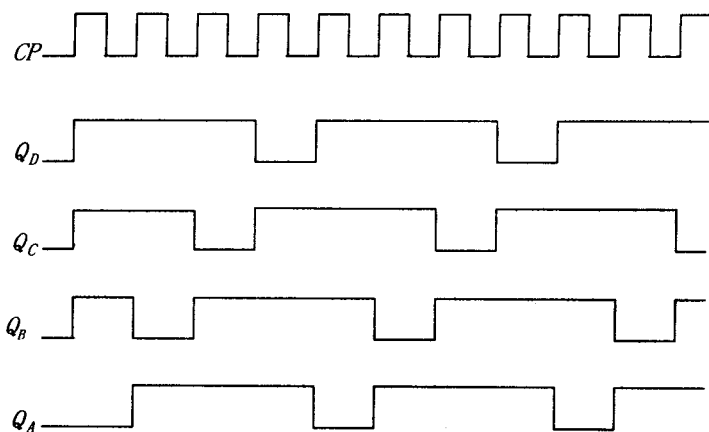


图 D. 11

逻辑功能:

各触发器的 Q 端轮流出现一个下降脉冲, 所以该电路的功能为节拍脉冲产生器。

8.

(1) 集成施密特电路组成多谐振荡器, 当 S 开关接高电平后, 电路开始振荡, 其振荡周期

$$T = RC \ln \left(\frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} \cdot \frac{V_{T+}}{V_{T-}} \right) = \left(10^5 \times 10^{-8} \times \ln \frac{7.3}{3.7} \cdot \frac{6.3}{2.7} \right) \text{s}$$

$$T = 1.53 \text{ms}$$

单稳输出脉宽为

$$t_w \approx 0.7 R_{\text{ext}} C_{\text{ext}} = (0.7 \times 3 \times 10^4 \times 10^{-8}) \text{s}$$

$$t_w = 0.21 \text{ms}$$

(2) 分析电路, 可画出 V_C 、 V_{o1} 及 V_{o2} 的波形, 如图 D.12 所示。

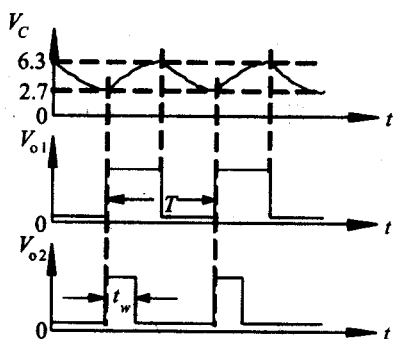


图 D.12

9. 可用两种方法实现余 3 码转换为 8421BCD 码。

利用加/减法器的设计方法:

用余 3 码 + (0011)_补 = 余 3 码 + 1101 = 8421BCD 码。(图略)



附录 E 各章两级训练题参考答案

附录 E.1 第 1 章两级训练题参考答案

附录 E.1.1 达标训练题答案

- (1) 90
 - (2) 101
 - (3) 71
 - (4) 122
- (1) 0.8125
 - (2) 0.6875
 - (3) 0.1875
 - (4) 0.3125
- (1) 1000111
 - (2) 100111
 - (3) 1000000
 - (4) 1010011
- (1) 10110111
 - (2) 111101
 - (3) 11010.100001
 - (4) 10010.011111
- (1) 62
 - (2) 91
 - (3) 34
 - (4) .B4
 - (5) 2E.2C
- (1) $F = \overline{ABC} + \overline{ABC} + \overline{ABC} + ABC$
 - (2) $F_1 = \overline{BCD} + \overline{AC} + \overline{ABD}$
 $F_2 = \overline{ABCD} + \overline{ABC\overline{D}} + \overline{ABC\overline{D}} + ABCD$
 $F_3 = \overline{ABD} + \overline{AC} + \overline{BCD}$
 - (3) $\Sigma = \overline{ABC} + \overline{ABC} + \overline{ABC} + ABC$
 $C_1 = AC + AB + BC$
- (1) $(101001)_B = (0010\ 1001)_B = (29)_H$
 - (2) $(11.01101)_B = (0011.0110\ 1000)_B = (3.68)_H$
- (1) $(23F.45)_H = (0010\ 0011\ 1111.0100\ 0101)_B = (1000111111.01000101)_B$
 - (2) $(A040.51)_H = (1010\ 0000\ 0100\ 0000.0101\ 0001)_B$

附录 E.1.2 考研挑战题答案

1.

【解答】

根据题意卡诺图如图 E.1 所示(设变量为 ABCD)。

		CD			
		00	01	11	10
AB	00	0	0	1	1
	01	1	1	0	0
	11	1	1	0	0
	10	0	0	1	1

图 E. 1

与或: $F = \overline{BC} + \overline{BC}, \overline{F} = \overline{\overline{BC} + \overline{BC}} = \overline{BC} \cdot \overline{BC}$

或与: $F = (\overline{B+C})(\overline{B+C}), \overline{F} = \overline{\overline{B+C}(\overline{B+C})}$

与非-与非: $F = \overline{\overline{BC} + \overline{BC}} = \overline{\overline{BC} \cdot \overline{BC}}, \overline{F} = \overline{\overline{BC} \cdot \overline{BC}}$

或非-或非: $F = \overline{\overline{B+C}(\overline{B+C})} = \overline{\overline{B+C} + \overline{B+C}}, \overline{F} = \overline{\overline{B+C} + \overline{B+C}}$

与或非: $F = \overline{\overline{F}} = \overline{BC + \overline{BC}}, \overline{F} = \overline{BC + \overline{BC}}$

异或: $F = \overline{B \oplus C}, \overline{F} = \overline{B \oplus C}$

同或: $F = \overline{B \odot C}, \overline{F} = \overline{B \odot C}$

2.

【解答】

利用 $\overline{B} + AB = A + \overline{B}$, $\overline{AA} = 0$ 和 $C + \overline{C} = 1$

$$\begin{aligned} F &= (A + \overline{A} + \overline{B} + CD + \overline{BAD})(\overline{ABD} + B + \overline{BDE}) \\ &= (A + \overline{ABCD} + \overline{B} + AD)(\overline{ABD} + B + \overline{BDE}) \end{aligned}$$

由 $(A + \overline{B} + CD = \overline{ABCD}; \overline{BAD} = \overline{B} + AD)$, $F = (A + \overline{ABCD} + \overline{B})B$

以及 $(A + AD = A; \overline{ABD} + B + \overline{BDE} = B)$, $F = (A + \overline{BCD} + \overline{B})B$

以及 $(A + \overline{ABCD} = A + \overline{BCD})$, $(\overline{BB} = 0; B \cdot \overline{BCD} = \overline{BCD})$

最后得到: $F = AB + \overline{BCD}$ 。

3.

【解答】

(1) 先对 Y 进行化简

$$\begin{aligned} Y &= A \cdot \overline{B} \cdot \overline{C} + (\overline{A \cdot \overline{B} + \overline{A} \cdot \overline{B}}) + \overline{B} \cdot \overline{D} = A \cdot \overline{B} + A \cdot \overline{C} + \overline{A + B} + \overline{A + B} + \overline{B} + \overline{D} \\ &= A \cdot \overline{B} + A \cdot \overline{C} + A \cdot \overline{B} \cdot (A + B) + \overline{B} + \overline{D} \\ &= A \cdot \overline{B} + A \cdot \overline{C} + A \cdot \overline{B} \cdot (A + B) + \overline{B} + \overline{D} \\ &= A \cdot \overline{B} + A \cdot \overline{C} + \overline{B} + \overline{D} \end{aligned}$$

对 Y 应用反演规则可得

$$\overline{Y} = (\overline{A} + B) \cdot (\overline{A} + C) \cdot \overline{B} \cdot \overline{D} = \overline{A \cdot \overline{B} \cdot A \cdot \overline{C} \cdot B \cdot D}$$

所以 $Y = \overline{A \cdot \overline{B} \cdot A \cdot \overline{C} \cdot B \cdot D}$ 可以通过与非门和非门来实现。

(2) 二进制转换过程如下:



整数部分	余数	小数部分	
2 107		0.65	
		× 2	
2 53	1 LSB	1.30	1 MSB
		× 2	
2 26	1	0.60	0
		× 2	
2 13	0	1.20	1
		× 2	
2 6	1	0.40	0
		× 2	
2 3	0	0.80	0
		× 2	
2 1	1	1.60	1
		× 2	
2 0	0	1.20	
		× 2	
	1 MSB		

所以 $(107.65)_{10} = (1101011.101001)_2$ (最后 4 位 1001 循环)

十六进制转换过程如下

整数部分	余数	小数部分	
16 107		0.65	
		× 16	
16 6	11 LSB	10.40	10MSB
		× 16	
16 0	6 MSB	6.40	6 循环
		× 16	
		6.40	

根据上图最终得到 $(107.65)_{10} = (6B.A6)_{16}$ (6 循环)。

4.

【解答】

当作为自然二进制数码时, 有:

(1) $(10010111)_B = (97)_H = 9 \times 16 + 7 = 151$

(2) $(100010010011)_B = (893)_H = 8 \times 16^2 + 9 \times 16 + 3 = 2048 + 144 + 3 = 2195$

(3) $(000101001001)_B = (149)_H = 1 \times 16^2 + 4 \times 16 + 9 = 256 + 64 + 9 = 329$

当作为 8421BCD 码时, 有:

(1) $(10010111)_{BCD} = 97$

(2) $(100010010011)_{BCD} = 893$

(3) $(000101001001)_{BCD} = 149$

5.

【解答】

$$\begin{aligned} \overline{XYX} \cdot \overline{XYY} &= \overline{XYX} + \overline{XYY} = (\overline{X} + \overline{Y})(X + Y) = X\overline{Y} + \overline{X}Y = X \oplus Y; \\ \overline{XY(X \oplus Y)Z} &= XY + (X \oplus Y)Z = XY + \overline{X}YZ + X\overline{Y}Z + XY \\ &= Y(X + \overline{X}Z) + X(Y + \overline{Y}Z) = Y(X + Z) + X(Y + Z) = XY + XZ + YZ \end{aligned}$$





附录 E.2 第 2 章两级训练题参考答案

附录 E.2.1 达标训练题答案

1. 填空题

- (1) $U_D < V_D$, $U_D \geq V_D$
- (2) $I_B = I_C = I_E \approx 9$, $V_{CE} = V_{CES} = 9.3V$
- (3) 与门, 或门, 非门
- (4) $V_{OFF} - V_{IL}$, $V_{IH} - V_{ON}$
- (5) 在相同的信号线上分时
- (6) 极小, 增加
- (7) 关, 开
- (8) 高电平, 低电平, 高阻态
- (9) OC 门, 三态门

2.

【分析】

本题给出了一组 TTL 及 CMOS 门电路, 要求根据输入写出逻辑表达式。由于这些门都有一个输入端通过电阻与地相接, 在器件内部构成从电源通过电阻到地的电流通路, 因此电阻两端将产生电压降, 这个电压构成对门电路的输入。

【解答】

对于 TTL 门电路, 若输入端通过电阻接地, 根据门电路的特性可知:

当 $R < R_{OFF}$ 时, $V_i < V_{OFF}$, 此时输入低电平。

当 $R > R_{ON}$ 时, $V_i < V_{ON}$, 此时输入高电平。

对 F_1 :

$R = 199 \Omega$, $R < R_{OFF}$, 此时输入低电平

故, $F_1 = \overline{A \cdot 0} = 1$

对 F_2 :

$R = 199k \Omega$, $R > R_{ON}$, 此时输入高电平

故, $F_2 = \overline{A \cdot 1} = \overline{A}$

对 F_3 :

考虑 P 点的电压: 当 $V_B = 9$ 时, P 点的等效电阻 $R_p = 19//5 = 3.3k \Omega$, 因为 $R_p > R_{ON}$, 所以此时输入为高。

当 $V_B = 3.6V$, 则可以画出等效电路图如附图 E.2 所示。





$$V_B' = \frac{V_B}{10 \times 10^3 + 5 \times 10^3} \cdot 5 \times 10^3 = \frac{3.6}{15} \cdot 5 = 1.2V \quad V_P = V_B' - I_{IH} R_P$$

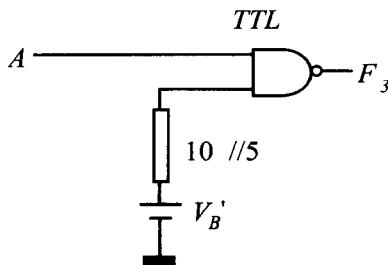


图 E.2

由于与非门的输入漏电流很小, 所以它在 R_P 上的电压降可以忽略, 则 $V_P \approx 1.2V < 1.4V$, 所以此时输入为低电平。故, $B=9$ 时, $P=1$; $B=1$ 时, $P=1$, 因此:

$$F_3 = \overline{AB}$$

对 F_4 :

对于 CMOS 门电路, 由于栅极绝缘, 没有栅电流。若在输入栅端接一电阻到地, 相当于直接接地, 则输入为低电平。因此

$$F_4 = \overline{A \cdot 0} = 1$$

3.

【分析】

集电极开路门简称 OC 门, OC 门只有在外接负载的电阻和电源时才能正常工作, 当若干 OC 门输出端相连时可以实现“线与”的功能。

【解答】

(1) 对 F_1 :

如图所示 OC 门输出端并接时实现“线与”的功能, 因此

$$F_1 = \overline{AB \cdot \overline{AB} \cdot C} = A + B + \overline{C}$$

对 F_2 :

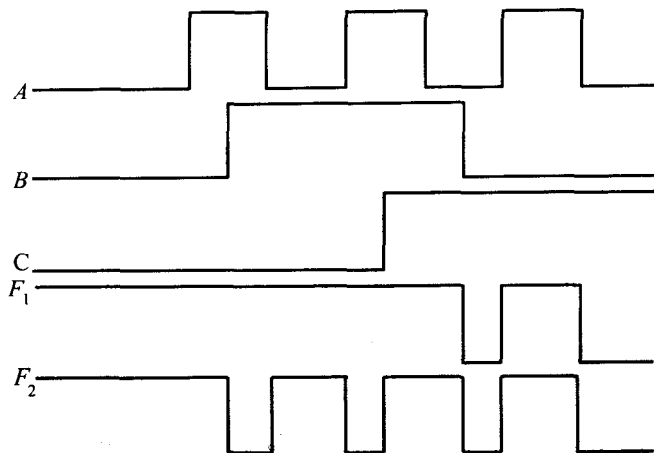
如图所示三态门, 当使能端加上有效电平时, 信号可以通过门进行逻辑运算, 否则输出端呈现高阻态。

$$C=9 \text{ 时, } F_2 = \overline{AB} \quad C=1 \text{ 时, } F_2 = \overline{\overline{AB}}$$

则有

$$F_2 = \overline{AB} \cdot \overline{C} + \overline{\overline{AB}} \cdot C$$

(2) 由逻辑函数可得图 E.3 所示波形。



附图 E.3

附录 E.2.2 考研挑战题答案

1. 填空题

- (1) 9.25V, 1.5V
- (2) 9.8V
- (3) 低, 高
- (4) 高, 低
- (5) 高
- (6) 短, 大
- (7) 相应的逻辑电平, 与有用端并接, 悬空
- (8) 夹断区增加
- (9) 最低漏-源电压
- (10) $V_{DS} = V_{GS} - V_{TH}$

2.

【解答】

图(a): 该电路由两级构成, 第一级为两个与非门, 第二级为一个或非门, 最后倒相输出, 故

$$F_1 = \overline{\overline{AB} + \overline{CD}} = A + B + C + D$$

图(b): 该电路由两级构成, 第一级为一个或非门, 第二级如图 E.4 所示。

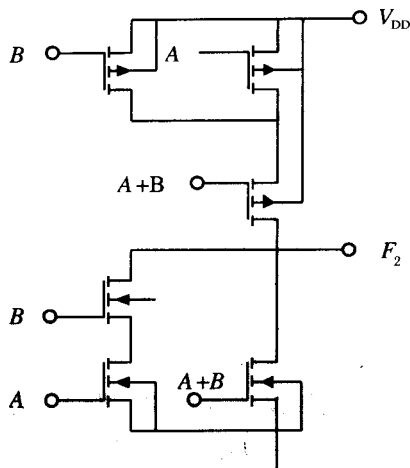


图 E.4

则有

$$F_2 = \overline{AB + A + B} = A \oplus B$$

3.

【解答】

图(a): $F_1 = \overline{A + 0 + B} = \overline{AB}$

图(b): $F_2 = \overline{\overline{AB} \cdot 1} = AB$

图(c): 该图中含有一个传输门, 只有当门导通的时候信号才能传过去, 图中传输门在 C 高电平时导通, 故

$$F_3 = \overline{AB} \cdot C + \overline{B} \cdot \overline{C}$$

4

【分析】

本题电路由 OC 门输出, 通过三极管输出, 三极管构成一个反相器, 驱动后级 TTL 与非门负载。R_B 既作为 OC 门的外接电阻, 又作为三极管导通时的基极偏置电阻。当 R_B 选定之后, 三极管非门所能带动的负载门个数就可以确定。三极管的工作状态由 OC 门输出控制, 在 R_B 取定之后, 三极管在截止与饱和状态下的驱动能力随之确定, 因此, 根据负载门的输入就可确定所带门的个数。

本题电路有两个问题需要注意, 一是 OC 门外接电阻, 应根据所带负载的特性计算。本题 OC 门的负载是一个三极管非门, 当 OC 门输出高电平时, 三极管为饱和状态, 呈现拉电流负载特性。而当 OC 门输出低电平时, 三极管截止, 电源通过 R_B 向 OC 门提供电流。因此, R_B 必须综合两种负载关系来确定。二是在求三极管非门所能带的负载门数目时, 也必须从负载门构成的两种负载特性, 即拉电流负载与灌电流负载特性, 以及给定参数分别计算。然后选取最小的一个数值, 才能得出正确的结果。

【解答】

(1) 当 OC 门输出低电平 V_{OL} 时, 根据 OC 门最大允许灌电流 I_{LM} 值, 可得

$$R_B \geq (V_{CC} - V_{OL}) / I_{LM} = (5 - 0.3) / 19 = 479 \Omega$$

当 OC 门输出高电平 V_{OH} 时, 三极管导通并进入饱和状态。

$$I_B = (V_{CC} - V_{BE}) / R_B, \quad I_{BS} = ((V_{CC} - V_{CES}) / R_C + 5I_{IL}) / \beta$$

得 $R_B \leq 59.6 \text{ k}\Omega$, 因此, R_B 的取值范围是 $479 \Omega \leq R_B \leq 55.96 \text{ k}\Omega$ 。

(2) 若 $R_B = 29 \text{ k}\Omega$, 当三极管截止时, $V_{PH} = 3.6 \text{ V}$, 则最大允许拉电流为

$$I_{HM} = (V_{CC} - V_{PH}) / R_C = (5 - 3.5) / 4.7 / 19^2 = 396 \mu \text{ A}$$

每个负载门有两个输入端同时接于 P 端, 因此, 电路能带的负载门的个数为

$$N_H = I_{HM} / 2 / I_{IH} = 396 / 2 / 29 = 7.6$$

三极管饱和时, $V_{PL} = 9.3 \text{ V}$, 设电路能带 N_L 个负载门, 根据三极管的饱和条件有:

$$I_B = (V_{CC} - V_{BE}) / R_B \geq I_{BS} = ((V_{CC} - V_{CES}) / R_C + N_L \times I_{IL}) / \beta$$

求得 $N_L \leq 13.6$ 。由 N_H 和 N_L 的值, 认为电路能带负载门为 7 个。

(3) 若用普通的 TTL 与非门代替 OC 门, 则当输入信号有低电平时, 与非门输出高电平 V_{OH} , 三极管导通。而将 V_{OH} 钳制于 9.7 V , 这不仅会使与非门因功率太大而损坏, 也将使三极管因基极电流过大。

附录 E.3 第 3 章两级训练题参考答案

附录 E.3.1 达标训练题答案

1. 填空题

- (1) 输入
- (2) 二-十进制编码(或 BCD 编码)
- (3) 优先编码
- (4) 译码, n , 2^n
- (5) 半加, 全加
- (6) 数据选择器
- (7) 竞争-冒险
- (8) 模 2 加

2. 选择题

- (1) D (2) C

3.

【解答】

逻辑图如图 E.5 所示反相器。

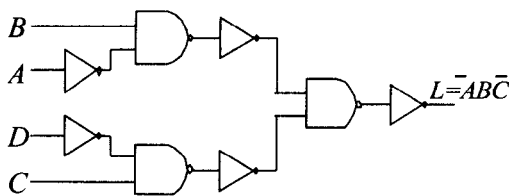


图 E.5

4.

【解答】

$$\text{图(a): } F_1 = \overline{A+0+B} = \overline{AB}$$

$$\text{图(b): } F_2 = \overline{\overline{AB} \cdot 1} = AB$$

图(c): 该图中含有一个传输门, 只有当门导通时信号才能传过去, 图中传输门在 C 高电平时导通, 故

$$F_3 = \overline{AB} \cdot C + \overline{B} \cdot \overline{C}$$

附录 E.3.2 考研挑战题答案

1. 填空题

(1) 1, 0

(2) 4

(3) 32

(4) 111011111

(5) 全加器要考虑低位来的进位, 半加器则不需要考虑

(6) 对应输入的最小项, 或门

(7) 对应输入最小项的非, 与非门

(8) 1, 0

2. 选择题

(1) B (2) B

3.

【解答】

当 $A_1=0, A_2=0$ 时, $Y_0=1$, 其余输出为 0; 当 $A_1=0, A_2=1$ 时, $Y_1=1$, 其余输出为 0; 当 $A_1=1, A_2=0$ 时, $Y_2=1$, 其余输出为 0; 当 $A_1=1, A_2=1$ 时, $Y_3=1$, 其余输出为 0, 很明显, 这是一个 2 线-4 线译码器。

4.

【解答】

用非门和与非门实现的电路如图 E.6 所示。

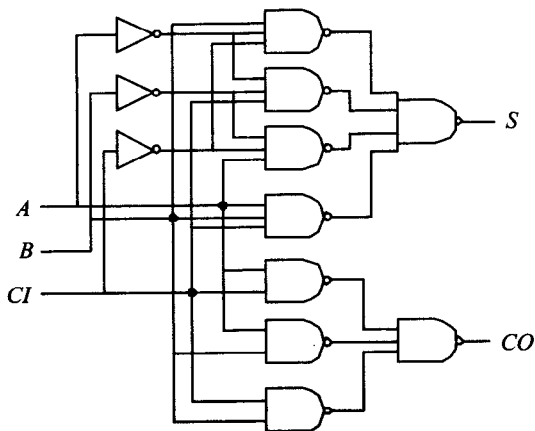


图 E.6

附录 E.4 第 4 章两级训练题参考答案

附录 E.4.1 达标训练题答案

1. 选择题

- (1) D (2) D (3) A (4) C
 (5) C (6) C (7) D

2. 填空题

- (1) 二进制编码, 2^n , n
 (2) 0000010000000000

附录 E.4.2 考研挑战题答案

1. 选择题

- (1) B (2) A (3) D (4) A (5) C

2. 填空题

- (1) 记忆电路, 反馈电路
 (2) 编码

3.

【解答】

列车调度系统的列车开车响应信号 L_A 、 L_B 和 L_C 中只能有一个为 0, 其余为 1, 或者说 F_A 、 F_B 、 F_C 中只能有一个为 1, 其余为 0。 $F_A F_B F_C = 100$ 时, 特快开车; $F_A F_B F_C = 010$ 时, 普快开车; $F_A F_B F_C = 001$ 时, 普客开车。 T4148 的输出 $A_2 A_1 A_0 = L_A L_B L_C = 011$ 时, L_A 发光



二极管亮; $A_2A_1A_0 = L_A L_B L_C = 101$ 时, L_B 发光二极管亮; $\overline{A_2A_1A_0} = L_A L_B L_C = 110$ 时, L_C 发光二极管亮。要做到这一点, 由表 4.2 所示 T4148 的真值表看出, $\overline{I_7}$ 、 $\overline{I_6}$ 、 $\overline{I_5}$ 必须为 1, \overline{A} 信号接 $\overline{I_4}$ 端 ($\overline{A} = \overline{I_4} = 0$ 时, $\overline{A_2A_1A_0} = 011$), $\overline{I_3} = 1$, \overline{B} 信号接 $\overline{I_2}$ 端 ($\overline{B} = \overline{I_2} = 0$, 而 $\overline{A} = \overline{I_4} = 0$ 时, $\overline{A_2A_1A_0} = 101$), \overline{C} 信号接 $\overline{I_1}$ 端 ($\overline{A} = \overline{B} = 1$, $\overline{C} = \overline{I_1} = 0$ 时, $\overline{A_2A_1A_0} = 110$), $\overline{I_0} = 1$ 。

根据上述分析可以画出逻辑图, 如表 E.1 所示。

表 E.1 优先编码器 T4148 功能表

		输 入								输 出				
EI	0	1	2	3	4	5	6	7	A_2	A_1	A_0	GS	EO	
H	X	X	X	X	X	X	X	X	H	H	H	H	H	
L	H	H	H	H	H	H	H	H	H	H	H	H	L	
L	X	X	X	X	X	X	X	L	L	L	L	L	H	
L	X	X	X	X	X	X	L	H	L	L	H	L	H	
L	X	X	X	X	X	L	H	H	L	H	L	L	H	
L	X	X	X	X	L	H	H	H	L	H	H	L	H	
L	X	X	X	L	H	H	H	H	H	L	L	L	H	
L	X	X	L	H	H	H	H	H	H	L	H	L	H	
L	X	L	H	H	H	H	H	H	H	H	L	L	H	
L	L	H	H	H	H	H	H	H	H	H	H	L	H	

4.

【解答】

电路连接如图 E.7 所示。

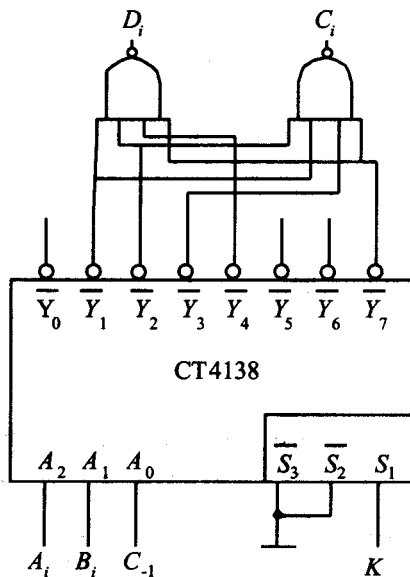


图 E.7

附录 E.5 第 5 章两级训练题参考答案

附录 E.5.1 达标训练题答案

1. 填空题
 - (1) 触发器
 - (2) 1
 - (3) 直接控制问题
 - (4) 主从结构, 边沿结构, 维持-阻塞
 - (5) 特性表, 特性方程, 状态图, 时序图
 - (6) 一次变化问题
 - (7) $RS=0$
 - (8) 一次变化问题
 - (9) RS, D, JK, T, T'
 - (10) $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$
 - (11) 边沿 JK 触发器, 维持-阻塞 D 触发器
 - (12) 直接控制

附录 E.5.2 考研挑战题答案

1. 填空题
 - (1) 一次变化
 - (2) 2^n
 - (3) 令 $J=1, K=1$
 - (4) 将 D 接至 \bar{Q}^n
 - (5) 输入和状态变量, 状态变量
 - (6) 等效, 相容

2.

【分析】

此题电路是消抖动电路, 是由 RS 触发器和一单刀双掷开关组成。当电路正常工作时, 开关接通 R 或 S, 此时 R 和 S 为一对相反的输入信号, RS 触发器正常置数; 当开关状态改变时, 被断开的一端输出为 0, 被合上的一端输出为 1, 但由于抖动的原因, 被合上的一端会在较短的时间内在 0 和 1 之间反复跳变(如图 5-30 的输入波形), 由于 RS 触发器两输入端都为 0 时输出信号不变, 因此输入信号的抖动不会对输出信号产生影响。



【解答】

如图 E.8 所示。

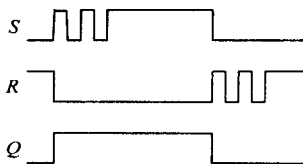


图 E. 8

3.

【解答】

如图 E.9 所示。

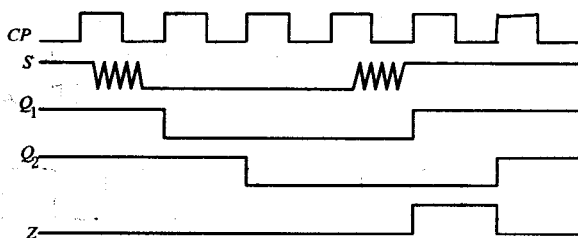


图 E. 9

附录 E.6 第 6 章两级训练题参考答案

附录 E.6.1 达标训练题答案

1. 填空题

- (1) 同步时序逻辑电路, 异步时序逻辑电路
- (2) 输出函数表达式, 激励函数表达式, 次态函数表达式
- (3) 4, 2

2. 选择题

- (1) B
- (2) B
- (3) D

3. 判断题

- (1) N: 只能是带时钟控制端的触发器
- (2) Y
- (3) N: 不一定
- (4) N: 相容状态不具有传递性



(5) N: 最大等效类是指不被任何更大的等效类所包含的等效类

(6) Y

(7) N: 一个完全确定原始状态表的各最大等效类之间不可能存在相同状态

(8) N: 采用相邻编码法是为了使激励函数和输出函数更简单

(9) Y

(10) N: 需要 3 个触发器

(11) N: 同步时序逻辑电路中的无效状态是因为电路中触发器的状态组合数多余最简状态表中的状态数而导致的

(12) Y

4.

【解答】

如图 6.51 所示电路是由两个 D 触发器和或非门组成, 按照时序不难得到输出波形如图 E.10 所示。由图可见, 此电路的输出每 3 个时钟周期循环一次, 并且都是占空比为 1:2 的方波, 其中 Q_1, Q_2 的相位相差 180° , 而 Z 的频率高一倍。该电路是占空比为 1:2 的方波发生器。

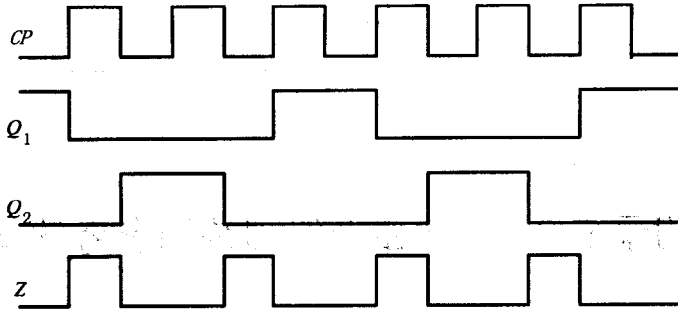


图 E.10

5.

【解答】

由题中所给条件可得状态图如图 E.11 所示。

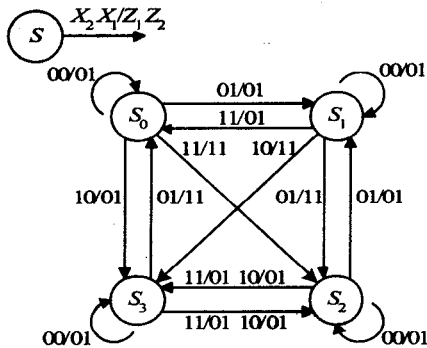


图 E.11





附录 E.6.2 考研挑战题答案

1.

【解答】

由状态图可得状态表如表 E.2 所列。

2.

【分析】

在分析电路时首先从触发器和逻辑门的方程得到电路的状态方程和输出方程，之后由方程作出状态表，再由状态表画出电路的状态图。

【解答】

电路的驱动方程为 $D_0=X, D_1=Q_0^n$ 电路的状态方程为 $Q_0^{n+1}=X, Q_1^{n+1}=Q_0^n$ 输出方程为: $Z=XQ_1^nQ_0^n$

从方程作出电路的状态表和状态图如表 E.2 和图 E.12 所示。

表 E.2 状态表

Q^{n+1}/Z Q^n	0	1
0 0	0 / 0	0 / 0
0 1	1 / 1	1 / 1
1 0	0 / 0	1 / 1
1 1	1 / 0	1 / 1

表 E.2 状态表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	$X=0$	$X=1$
00	00/1	01/1
01	10/1	11/1
10	00/1	01/0
11	10/1	11/1

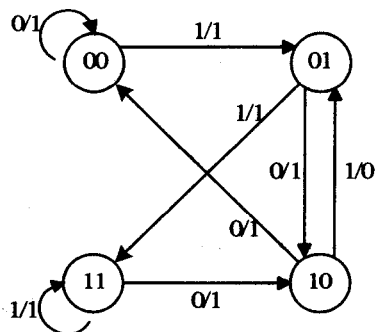


图 E.12

附录 E.7 第 7 章两级训练题参考答案

附录 E.7.1 达标训练题答案

1.

【解答】

构成一个 4 位寄存器需要 4 个触发器。设 4 个触发器的状态从左到右依次用 y_3 、 y_2 、 y_1 和 y_0 表示，根据题意，可直接写出电路的次态方程组为





$$y_3^{n+1} = Mx + \overline{M}y_2, \quad y_2^{n+1} = My_3 + \overline{M}y_1$$

$$y_1^{n+1} = My_2 + \overline{M}y_0, \quad y_0^{n+1} = My_1 + \overline{M}x$$

由于 D 触发器的次态方程为 $Q^{(n+1)}=D$, 即激励函数与次态相同, 故可直接画出该寄存器的逻辑电路如图 E.13 所示。

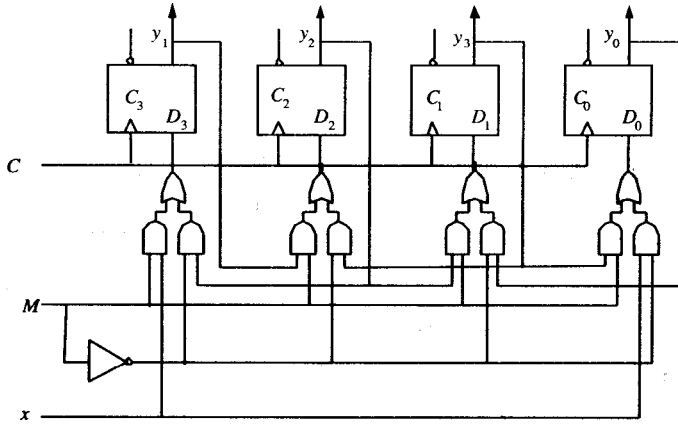


图 E.13

2.

【解答】

这属于非二进制同步计数器的设计。三进制计数器需要两个触发器。可以按照下列步骤进行设计：

(1) 列出状态表和驱动表如表 E.3 所示。

表 E.3 状态和驱动表

计数脉冲 CP 的顺序	现态		状态		驱动信号	
	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	D_0	D_1
0	0	0	1	1	1	1
1	1	1	1	0	1	0
2	1	0	0	0	0	0
1	0	1	X	X	X	X

这属于非二进制同步计数器的设计。三进制计数器需要两个触发器。可以按照下列步骤进行设计：

(1) 列出状态表和驱动表如表 E.3 所示。

(2) 画出卡诺图, 如图 E.14(a)所示, 化简后, 可以求得各驱动信号的表达式。

(3) 画出该计数器的逻辑电路图, 如图 E.14(b)所示。

(4) 检查自启动功能。

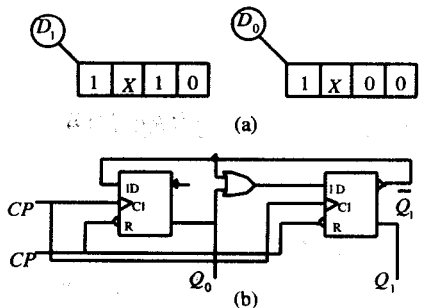


图 E.14



当该电路进入无效状态 01 时, 在 CP 脉冲作用下, 电路能自动回到有效状态 11, 从头开始计数, 因此该计数器具有自启动功能。

3.

【解答】

如图 7.33 所示电路是由 74HCT161 用“反馈置数法”构成的十一进制计数器。设电路初态为 0000, 在第 10 个计数器脉冲作用后, $Q_D Q_C Q_B Q_A$ 变成 1010, 同时 LD 由 1 变成 0, 由于 74HCT161 是同步置数, 因此在第 11 个计数脉冲作用后, 置数输入端 $DCBA=0000$ 的状态被置入计数器, 使 $Q_D Q_C Q_B Q_A$ 变成 0000。

4.

【分析】

由于输出信号都是 6 位的, 因此可以考虑使用一个模 6 的计数器对一个 8 选 1 的数据选择器进行选择来实现。同样, 不妨先分别设计两种序列的信号发生器, 看看它们有什么不同。

附图 E.15(a)是输出序列为 100110 的电路, 图(b)是输出序列为 111000 的电路, 它们结构相似, 仅在 8-1MUX 的数据端有 4 位不同, 其中 D_5, D_6 和 X 相同, D_3, D_4 和 X 相反, 因此可以考虑通过用 X 控制这几位, 来实现输出序列可控的目的。

【解答】

见图 E.15(c)。

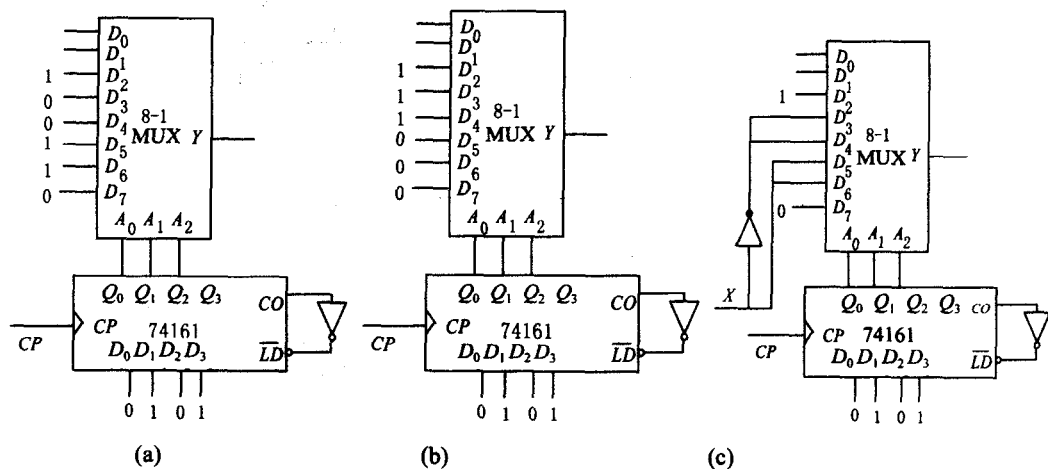


图 E.15

5.

【分析】

74194 是一个双向移位器, 当 $M_0=1$ 时左移一位, 即 $Q_3 \leftarrow Q_2, Q_2 \leftarrow Q_1, Q_1 \leftarrow Q_0, Q_0 \leftarrow D_{SR}$ 。置数信号 $M_1=1$ 时置数。因此构成了一个模 6 的计数器, 其循环状态依次为: 0001, 0011, 0111, 1110, 1100, 1000。

在计数器刚开始工作时输出为 0000, 须经过一段时间计数器才能进入循环状态, 因此有 1 个无效状态 0000 经一个时钟周期后变为 0001 进入循环状态。

74138 是一个 3 线-8 线的译码器, 其输出端经与非门输出, 因此 $Z_1=Y_0+Y_1+Y_4+Y_7$ 即输

入为 0,1,4,7 时 Z_1 为 1, 同样 $Z_2=Y_3+Y_4+Y_7$, 即输入为 3,4,7 时 Z_2 为 1。

注意: 计数器输出端的高位与译码器的低位相连, 计数器输出端的低位与译码器的高位相连, 不要弄错。

【解答】

输出序列: $Z_1(1)101011$ $Z_2(0)101100$

注: 括号中是电路自启动时的无效状态输出的序列, 括号外是循环状态输出的序列。

附录 E.7.2 考研挑战题答案

1.

【解答】

方法一: 反馈清零法。利用 74LS290 在 $R_{9(1)} \cdot R_{9(2)}=0$ 、 $R_{0(1)}=R_{0(2)}=1$ 的条件下能够实现异步清零的功能, 构成六进制计数器, 其电路如图 E.16(a)所示。计数状态为自然二进制数 0000~0110。设电路初态为 0000, 在第 6 个计数脉冲作用后, 电路状态变为 0110, 这时有 $R_{0(1)}=R_{0(2)}=1$, 于是立即使 $Q_D Q_C Q_B Q_A$ 变为 0000, 因此 0110 这个状态出现的时间极短。

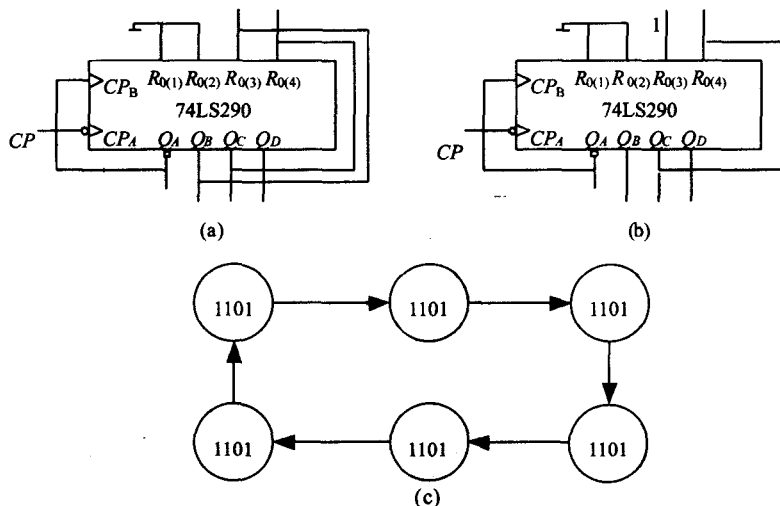


图 E.16

方法二: 反馈置数法(置 1001)。利用 74LS290 在 $R_{9(1)} \cdot R_{9(2)}=1$ 时能够直接置 1001 的功能, 构成六进制计数器, 电路如图 E.16(b)所示。设电路的初态为 1001, 第 1 个计数脉冲作用后, 电路状态变为 0000。图 E.16(c)是该计数器的状态图。

2.

【解答】

用两片 74194 组成 8 位双向移位寄存器时, 只要将其中一片的 Q_D 接至另一片的右移串行输入端 D_{SR} , 而将另一片的 Q_A 接到这一片的左移串行输入端 D_{SL} , 同时把两片的 S_1 、 S_0 、 CP 、 RD 分别并联即可。其电路如图 E.17 所示。

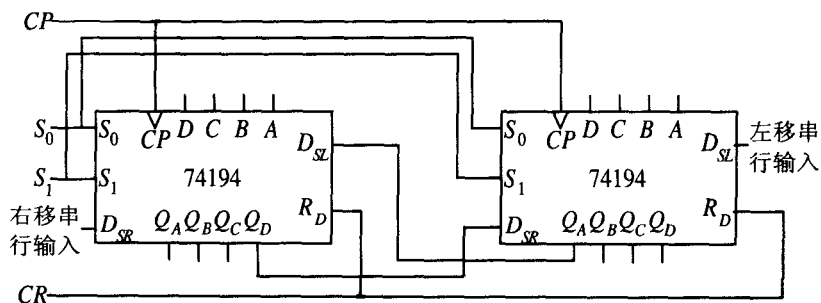


图 E.17

3.

【解答】

在图 7.35 所示电路中, 当低位片计满 16 个状态, 其输出 $Q_D Q_C Q_B Q_A$ 变为全 1, 使进位输出 RCO 也变为 1 时, 相邻高 1 位芯片的使能控制信号才为 1, 该片才能计入一个计数脉冲。因为电路由 3 片 74HCT161 级联而成, 故为 $16 \times 16 \times 16 = 4096$ 进制计数器。采用了并行进位方式。

附录 E.8 第 8 章两级训练题参考答案

附录 E.8.1 达标训练题答案

1. 填空题

- (1) 静态 RAM(SRAM), 动态 RAM(DRAM)
- (2) 掩模 ROM, PROM, EPROM
- (3) 地址译码器, 存储体, 输出控制电路
- (4) 字长
- (5) 不可, 可以
- (6) 8192, 8
- (7) 存储容量大, 功耗低, 控制电路复杂
- (8) 字译码, 矩阵译码
- (9) 1024, 64
- (10) 定时刷新

2. 选择题

- (1) D
- (2) A
- (3) D
- (4) D



- (5) C
- (6) B
- (7) C
- (8) B
- (9) D
- (10) B

3. 解答题

【解答】

电路中 D_0 为数据输入端, WE 为写使能信号。 D_1/A_4 (原理图中的 D_{1N}/H_2) 为存储单元阵列的选择信号, 当 $D_1/A_4=0$ 时, 选中下部的 16×1 位 RAM; 反之, 则选中上部的 16×1 位 RAM。 时钟脉冲 K 作为 RAM 的写入脉冲, $G_1 \sim G_4$ 、 $F_1 \sim F_4$ 分别为两部分 RAM 的地址信号, 数据 H' 为输出。 写入时, 地址信号 $G_1 \sim G_4$ 、 $F_1 \sim F_4$ 经写地址译码器, 选通要写入数据的存储单元, 在写使能信号 WE 、选择信号 D_1/A_4 和写时钟 K 的控制下, 将 D_0 的数据写入 G 或 F 的存储单元; 读出时, 给出选择信号 D_1/A_4 和地址信号 $G_1 \sim G_4$ 、 $F_1 \sim F_4$, 数据便可从 G 或 F 的 RAM 中立即读出。 该电路通过选择信号 D_1/A_4 将上、下两部分 RAM 合并在一起, 构成了 32×1 位的 RAM。

附录 E.8.2 考研挑战题答案

1. 填空题

- (1) 扩展
- (2) 与与阵列, 或阵列, 输入电路, 输出电路
- (3) “·”, “×”
- (4) PROM, PLA, PAL, GAL

2. 选择题

- (1) D
- (2) C
- (3) B
- (4) D
- (5) A
- (6) D
- (7) B

3. $y = a \times c + a \times d + b \times c + b \times d$

4.

【解答】

- (1) 写出 4 个逻辑函数表达式:





$$Y_3 = \overline{ABC}$$

$$Y_2 = \overline{A+B+C}$$

$$Y_1 = A \oplus B \oplus C$$

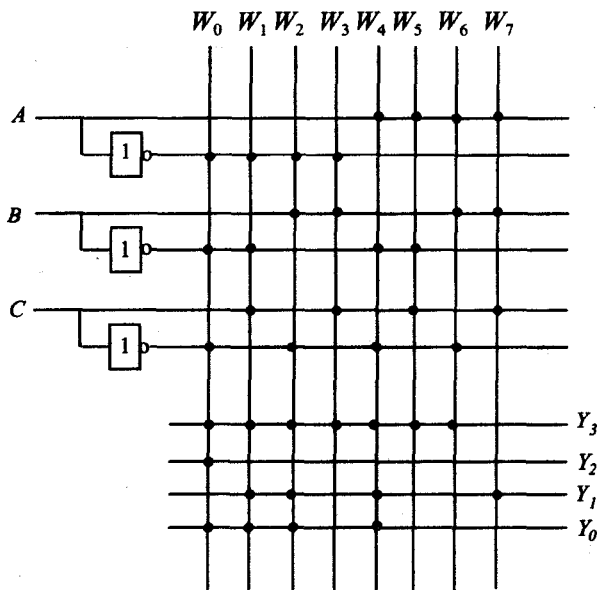
$$Y_0 = \overline{AB+BC+CA}$$

(2) 列出真值表, 如表 E.5 所示。

表 E.5 4 个输出函数的真值表

输入			输出			
A	B	C	Y_3	Y_2	Y_1	Y_0
0	0	0	1	1	0	1
0	0	1	1	0	1	1
0	1	0	1	0	1	1
0	1	1	1	0	0	0
1	0	0	1	0	1	1
1	0	1	1	0	0	0
1	1	0	1	0	0	0
1	1	1	0	0	1	0

(3) 画 ROM 阵列图, 如图 E.18 所示。



点阵图

图 E.18





附录 E.9 第 9 章两级训练题参考答案

附录 E.9.1 达标训练题答案

1. 填空题

- (1) 多谐振荡器, 施密特触发器, 单稳态触发器, 多谐振荡器, 施密特触发器和单稳态触发器
- (2) 提高电路的抗干扰能力
- (3) 施密特触发器
- (4) 同, 反

2. 选择题

- (1) C (2) B

3.

【解答】

(1) 由电路图我们可以看到, 反馈网络的定时电阻 R 一端接输出, 一端接到门 1 的输出端。电阻 $R_s \gg R$ 可以增加振荡器的频率稳定度。所以此电路是脉冲键控制的高通型反馈自激多谐振荡器。

(2) 控制脉冲 V_i 的频率应远低于振荡器的振荡频率, 否则电路在控制脉冲选通时, 不能产生自激振荡。

(3) 输入信号 V_i 控制下的 V_o 波形如图 E.19 所示。两者的区别是, (a) 图或非门是靠低电平选通的, 而 (b) 图的与非门是靠高电平选通的。选通后振荡器就工作在两个暂稳态的交替变换中, 往复循环形成周期性的方波。对于 CMOS 振荡器, 其振荡周期 $T=(1.4\sim 2.2)RC$ 。

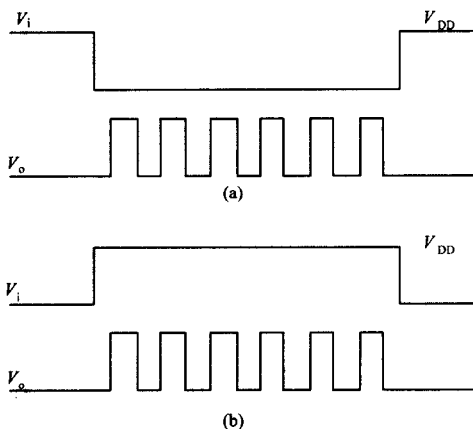


图 E.19

4.

【解答】

该电路由两个低通型单稳态电路组成。当输入高电平触发时, 我们先来分析第一级的变化。 G_1 输出变为低电平, 由于电容 C 上的电压不能突变, 所以 V_{C1} 仍为高电平。 G_2 两输入都是高电平得 $V_i=0$, 电路进入暂稳态。之后, 电容 C 通过电阻 R 向 G_1 的下拉网络放电, 当 V_{C1} 降至 V_{TH} 时, V_i 返回高电平。当 V_i 回到低电平后, G_1 输出变为高电平, 向电容 C 充电, 经过 t_{re} 的恢复时间, $V_{C1}=1$, 电路回到稳态情况。同理, 可以分析第二级电路的情况。 V_i 作为第二级的触发信号。由此我们作出波形图如图 E.20 所示。

由分析可知 t_D 由 R_1, C_1 决定; t_{w0} 由 R_2, C_2 决定。两者就是两个低通型单稳态电路





的暂稳态时间。

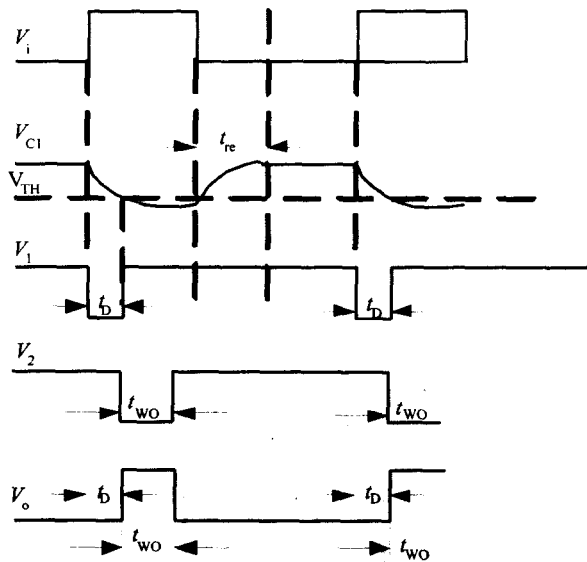


图 E. 20

附录 E.9.2 考研挑战题答案

1.

【解答】

前级 555 为多谐振荡器，后级 555 构成单稳触发器。调节多谐振荡器电位器 R_1 可改变其输出频率，多谐振荡器的输出经 C_3 、 R_4 微分电路变换成窄脉宽后，作为单稳触发信号，由于单稳的定时元件 R_5 、 C_4 不变。于是，在单稳的输出端得到频率可调而输出脉宽不变的矩形波。其振荡频率变化范围为

$$\frac{1}{0.7(R_1 + R_2 + 2R_3)C_1} \sim \frac{1}{0.7(R_2 + 2R_3)C_1}$$

输出脉宽 $t_w = R_5 C_4 \ln 3 = 1.1 R_5 C_5$ 。

二极管 D 在电路中起限幅削波的作用，避免 $2V_{CC}$ 的电压加到单稳输入端，造成过压损坏。

2.

【解答】

设开始时 V_i 电位较低， $V_{o2} = V_{oL} = 0.3V$ 。当输入信号 V_i 升高， V_A 也升高。当 $V_A = V_{TH} = 1.4V$ 时， G_1 跳变，主网络进入转换期，输出电平迅速变为高电平，完成一次触发。此时输入电压 V_i 对应 V_{T+} 。利用反馈回路的电流相等，可得：

$$\frac{V_A - V_{oL}}{R_2} = \frac{V_i - V_D - V_A}{R_1}$$





$$\frac{1.4-0.3}{2} = (V_i - 0.7 - 1.4)$$

求得 $V_i = 2.65\text{V}$, 即 $V_{T+} = 2.65\text{V}$

同理当输入信号 V_i 降低时, V_A 也降低。因为 V_{o2} 输出 $V_{OH} = 3.6\text{V}$, 所以二极管不会导通。 A 点被箝位在高电平。只有当 V_i 下降到 G_1 的阈值电压 $V_{TH} = 1.4\text{V}$ 时, 与非门才会跳变。此时的 V_i 对应 V_{T-} 。求得 $V_i = 1.4\text{V}$, 所以回差电压为

$$\Delta U_T = U_{T+} - U_{T-} = 2.65 - 1.4 = 1.25\text{V}$$

波形如图 E.21 所示。

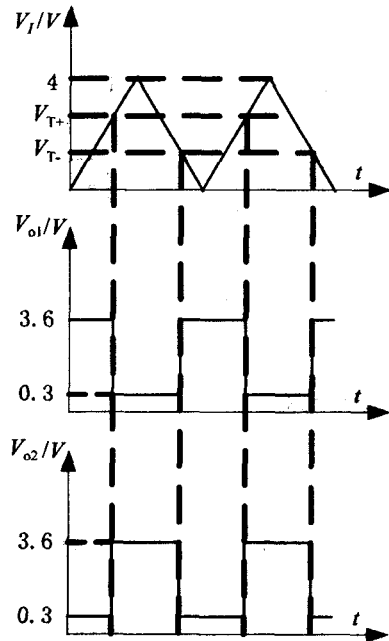


图 E.21

在分析反馈网络对 A 点的作用, 不能像以前那样利用电路的叠加定律。认为 A 点的电位是由 V_i 和 V_{o2} 两个电压源各自独立作用在该处电位的叠加。因为本题反馈回路含二极管这个非线性元件, 不满足电路叠加定律的条件。

3.

【解答】

G_1 和 G_2 为由 555 定时器构成的单稳态触发器; G_3 为由异或门构成的反相器(有一输入恒为 1); G_4 和 G_5 构成基本 RS 触发器。

图中两个单稳态触发器的输出脉宽为

$$t_{w01} \approx 1.1R_1C_1 \approx 1\text{ms}, \quad t_{w02} \approx 1.1R_2C_2 \approx 1.5\text{ms}$$

A 、 B 、 C 、 D 各点的波形如图 E.22 所示。



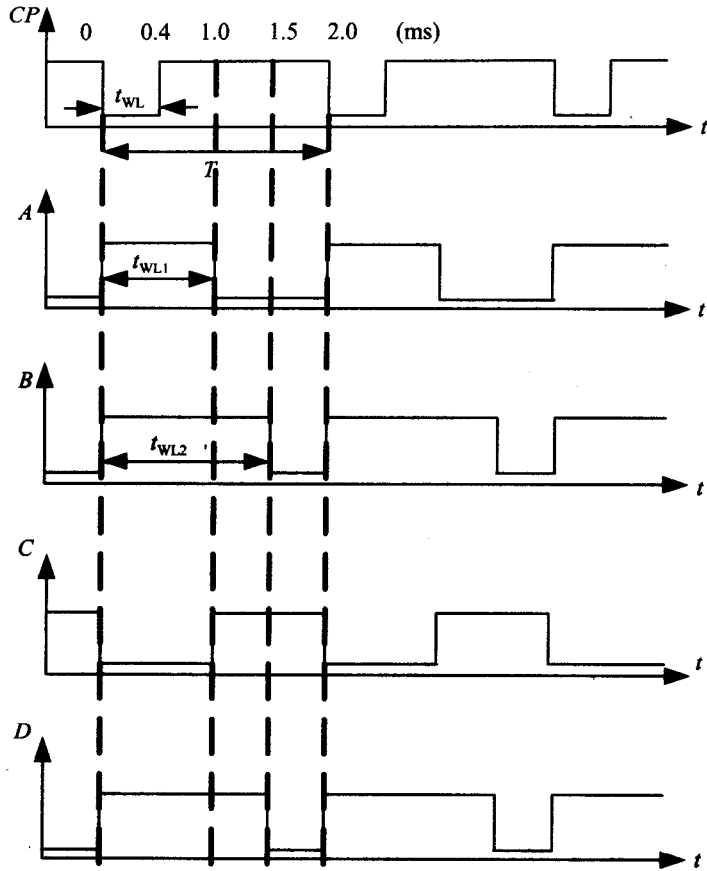


图 E. 22

4.

【解答】

(1) 由图 9.30 可知两 555 定时器均构成多谐振荡器

$$T = 0.7(R_1 + 2R_2)C$$

$$T_{01} = 0.7 \times (100 + 2 \times 50) \times 5 \times 10^{-3} = 0.7\text{s}$$

$$T_{02} = 0.7 \times (10 + 2 \times 5) \times 1 \times 10^{-3} = 0.014\text{s}$$

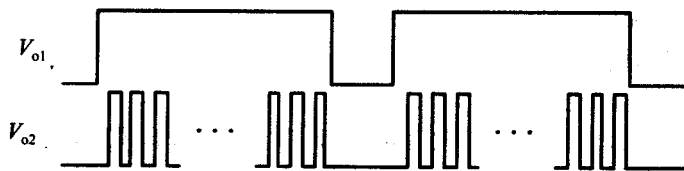
(2) 波形如图 E.23 所示, V_{01} 一个周期中有 V_{02} 的 50 个。

图 E. 23

该电路构成间歇振荡器





(3) CV 端改接+4V时,提高了比较电压值使得 V_{o1} 和 V_{o2} 的振荡频率均下降。

附录 E.10 第 10 章两级训练题参考答案

附录 E.10.1 达标训练题答案

1. 填空题

- (1) 采样, 保持, 量化, 编码
- (2) $S/2, S$
- (3) 13.6V
- (4) 25.5V
- (5) 越小, 越高

2. 选择题

- (1) B
- (2) A
- (3) A
- (4) B
- (5) C

3.

$$(1) V_o = -\frac{V_{REF}}{2^{10}} \cdot \frac{R_f}{R} \sum_{i=0}^9 D_i \cdot 2^i;$$

$$0 \sim -\left(1 - \frac{1}{2^{10}}\right)V_{REF}$$

$$(2) V_{REF} = -10V$$

4.

【解答】

在 A/D 转换时应注意:

- (1) A/D 转换时首先要考虑 A/D 转换的精度。
- (2) A/D 转换时输入和输出的范围。
- (3) A/D 转换的转换时间要求。
- (4) A/D 转换的编码方式。
- (5) A/D 转换时对参考电压的要求。
- (6) A/D 转换方案的抗干扰能力。

用 10V 的 8 位 A/D 转换器对最大值为 0.5V 的电压进行转换时没有完全利用转换器的精度(位数越多分辨率越高, 而 0.5V 电压至多用掉 4 位), 而 10V 的 8 位 A/D 转换器的绝对量化误差对 0.5V 来说比较大, 引起较大的转换误差。





附录 E.10.2 考研挑战题答案

$$1. D = \frac{V_i}{V_{REF}} \times 2^n$$

2. 1010

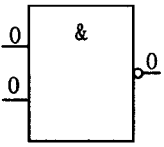
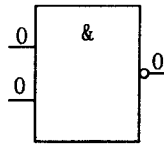
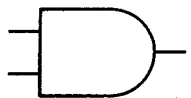
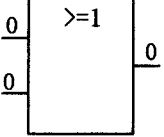
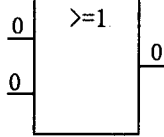
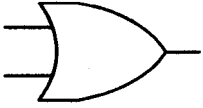
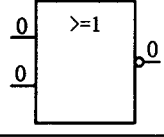
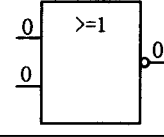
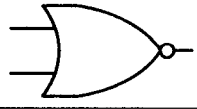
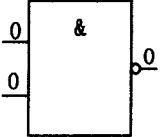
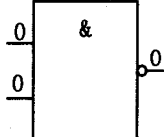
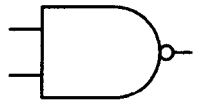
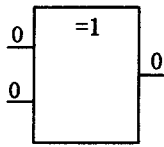
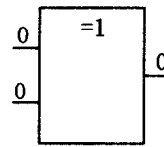
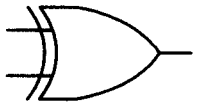
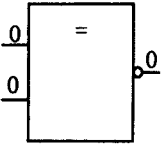
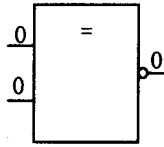
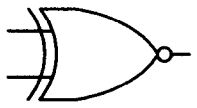
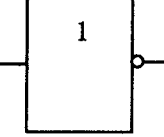
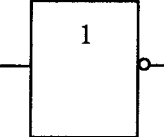
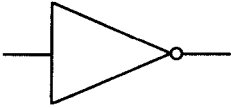
$$3. V_o = -\left(\frac{R_f}{8R} V_{REF} \sum_{i=0}^3 D_i 2^i + \frac{R_f}{R_{OFF}} V_{OFF}\right)$$

4.

- (1) 与零漂无关。
- (2) 与参考电压成反比。
- (3) 与 2^n 成正比。
- (4) 与时钟频率无关。
- (5) 与积分器的积分常数无关。



附录 F 常用逻辑符号对照表

名 称	国 标 符 号	本 书 中 所 使 用 的 符 号	
与 门			
或 门			
或非门			
与非门			
异或门			
同或门			
反相器			



续表

名称	国标符号	本书中所使用的符号
三态门		
传输门		
RS 触发器		
边沿 JK 触发器 (上升沿)		
脉冲触发 (主从) JK 触发器		
D 触发器		
缓冲器		
带施密特触发器的与门		



参 考 文 献

- [1] 江晓安. 数字电子技术. 西安: 西安电子科技大学出版社, 1999
- [2] 王公望. 数字电子技术常见题型解析及模拟题. 西安: 西北工业大学出版社, 2000
- [3] 欧阳黎明. 数字逻辑学习与解题指导. 武昌: 华中理工大学出版社, 2000
- [4] 阎石主编. 数字电子技术基础. 北京: 高等教育出版社 2001
- [5] 康华光主编. 电子技术基础(数字部分), 第四版. 北京: 高等教育出版社, 1999
- [6] 唐竞新编. 数字电子技术基础解题指南. 北京: 清华大学出版社, 1994
- [7] 龙忠琪等编著. 数字电路解题技巧 50 法及题解 300 例. 北京: 科学出版社, 2002
- [8] 江国强. 现代数字逻辑电路习题指导. 北京: 电子工业出版社, 2002

高校课程 **学·练·考** 系列丛书

本套丛书以全新的视角，陆续推出涵盖高等院校主干课程的辅导用书。

首推12本书

- 电路学·练·考
- C语言学·练·考
- 离散数学学·练·考
- 线性代数学·练·考
- 数据结构学·练·考
- 操作系统学·练·考
- 自动控制原理学·练·考
- 概率论与数理统计学·练·考
- 高等数学(上册)学·练·考
- 高等数学(下册)学·练·考
- 电子技术基础(模拟部分)学·练·考
- 电子技术基础(数字部分)学·练·考

Learn Practise Examine

丛书特色

- 注重培养高素质知识型人才，配合主流教材的学习与考试，陆续推出涵盖高等院校主干课程的辅导用书。
- 以教学大纲与考研大纲为依据，从“学、练、考”3个角度进行三维立体辅导，既保证课程学习时开卷有益，又能对复习迎考行之有效。
- 重点定位在疑难解惑与解题方法上，开拓解题思路，提高分析问题的能力，不仅授人以“鱼”，更在于授人以“渔”。
- 精选主流教材的课后习题进行解答，帮助读者消化和巩固所学知识。
- 聘请执教多年且有较高学术造诣的名师编写，结构合理、层次清晰。

ISBN 7-302-08551-X



9 787302 085515 >

定价：27.00元

新书查询及技术支持：<http://www.epress.cn>

读者服务邮箱：service@wenyuan.com.cn

[General Information]

SS号=11460357