



Xilinx FPGA 开发平台 用户手册 ACVU13 核心板

编制/日期:

审核/日期 :

批准/日期:

文档修改履历

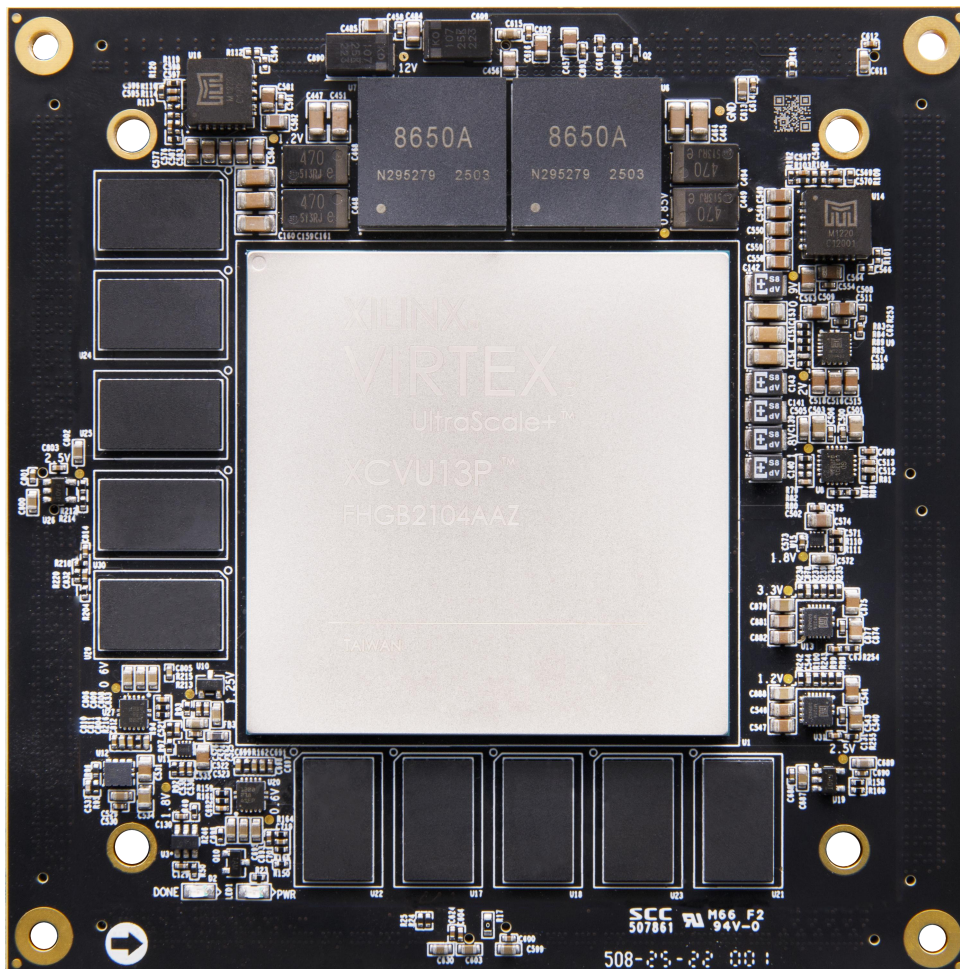
文档版本	修改章节	修改描述	修改人	修改日期
REV1.0		创建文档		

目 录

文档修改履历	2
一、 开发平台简介	错误! 未定义书签。
二、 ACVU13 核心板	5
(一) FPGA 芯片	5
(二) DDR4 DRAM	6
(三) QSPI Flash	7
(四) 时钟配置	8
(五) LED 灯	9
(六) 电源	10
(七) 连接器管脚定义	12
(八) 结构图	12
三、 扩展板	错误! 未定义书签。
(一) 简介	错误! 未定义书签。
(二) QSFP-DD 接口	错误! 未定义书签。
(三) QSFP28 接口	错误! 未定义书签。
(四) FMC+ 接口	错误! 未定义书签。
(五) FMC 接口	错误! 未定义书签。
(六) USB 转接口	错误! 未定义书签。
(七) SMA 接口	错误! 未定义书签。
(八) 千兆网接口	错误! 未定义书签。
(九) SD 卡槽	错误! 未定义书签。
(九) 按键和 LED 灯	错误! 未定义书签。
(十) 拨码开关	错误! 未定义书签。
(十一) 风扇接口	错误! 未定义书签。
(十二) JTAG 调试口	错误! 未定义书签。
(十三) 电源	错误! 未定义书签。
(十四) 结构尺寸图	错误! 未定义书签。

芯驿电子科技（上海）有限公司 基于 Xilinx FPGA Virtex Ultrascale+ 的 ACVU13 开发平台发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Virtex Ultrascale+ FPGA 开发平台核心板（ACVU13）芯片使用 Xilinx 的 Virtex Ultrascale+ 芯片 XCVU13PFHGB2104 的解决方案，挂载了 2 组 DDR4，每组位宽高达 80 bits；配备 2Gb 的 QSPI FLASH，同时通过高速连接器引出 GTY 收发器和可用 IO 接口，可满足用户各种高速数据交换，数据加速、工业控制、多种复杂算法模型验证等要求，是一款“专业级”的 FPGA 开发验证平台。

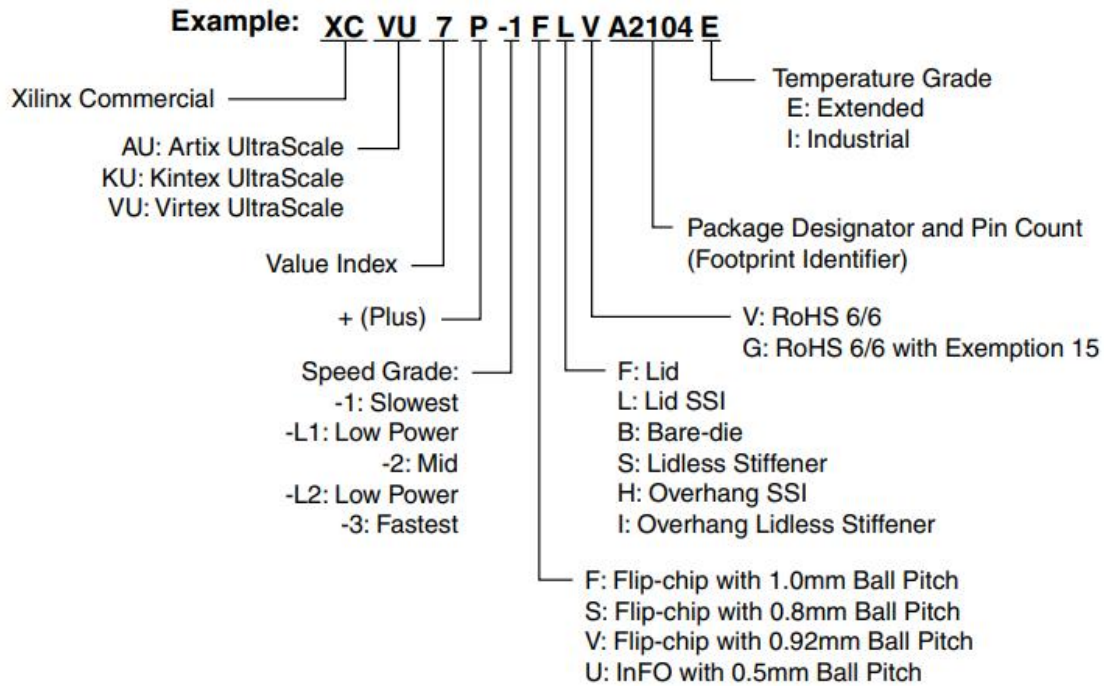


ACVU13 核心板

一、 ACVU13 核心板

(一) FPGA 芯片

前面已经介绍过了，我们所使用的 FPGA 型号为 XCVU13P-2FHGB2104I，属于 Xilinx 公司 Virtex UltraScale+ 系列的产品，速度等级为 2，温度等级为工业级。此型号为 FHGB2104 封装，2104 个引脚。Xilinx Virtex UltraScale+ FPGA 的芯片命名规则如下：



其中 FPGA 芯片的主要参数如下所示：

名称	具体参数
Logic Cells	3780K
触发器(FF)	3456K
LUTs	1728K
Total Block RAM	94.5Mb
UltraRAM	360Mb
DSP Slices	12,288
CMTs	16
GTY/Gb/s	76/28.21Gb
PCIe Gen3 x16	4
速度等级	-2
温度等级	工业级

(二) DDR4 DRAM

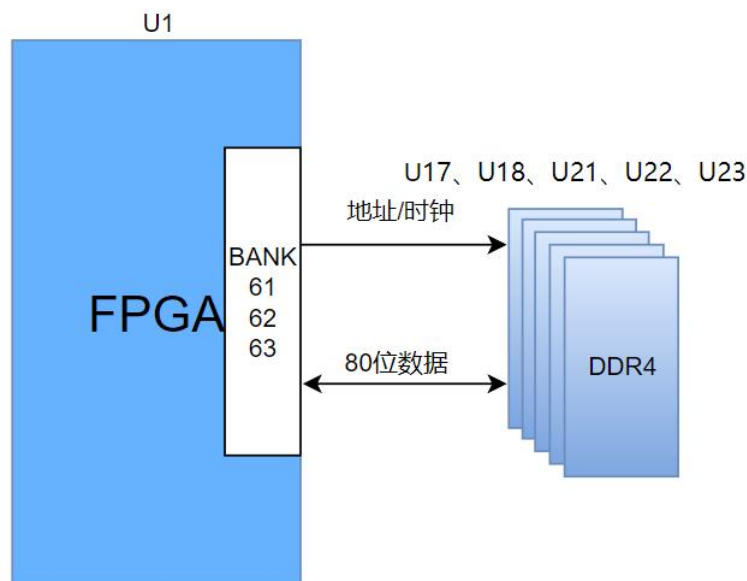
ACVU13开发板上配有2组DDR4内存，每组5片Micron(美光) 的2GB的DDR4芯片，型号为MT40A1G16KD-062E，连接在FPGA的HP端，组成80位数据总线和10GB的容量。DDR4 SDRAM的在FPGA端的最高运行数据速率2666Mbps，其中一组DDR4内存连接到FPGA的BANK 61、62、63；另一组则连接到BANK 72、73、74。DDR4 SDRAM的具体配置如下表2-3-1所示。

表 2-3-1 DDR4 SDRAM 配置

存储器	位号	芯片型号	容量	厂家
第一组	U17、U18、U21、U22、U23	MT40A1G16KD-062E	1024Mx 16bit	Micron
第二组	U24、U25、U28、U29、U30			

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

FPGA 端的 2 组 80 位 DDR4 的硬件连接方式如图 2-3-1 所示:



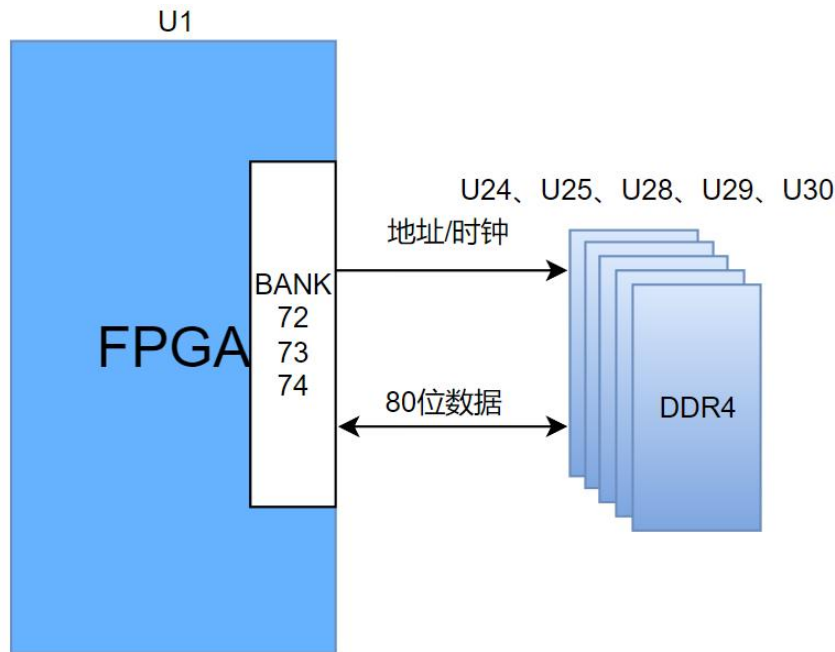


图2-3-1 DDR4 DRAM原理图部分

图 2-3-2 为 DDR4 DRAM 实物图

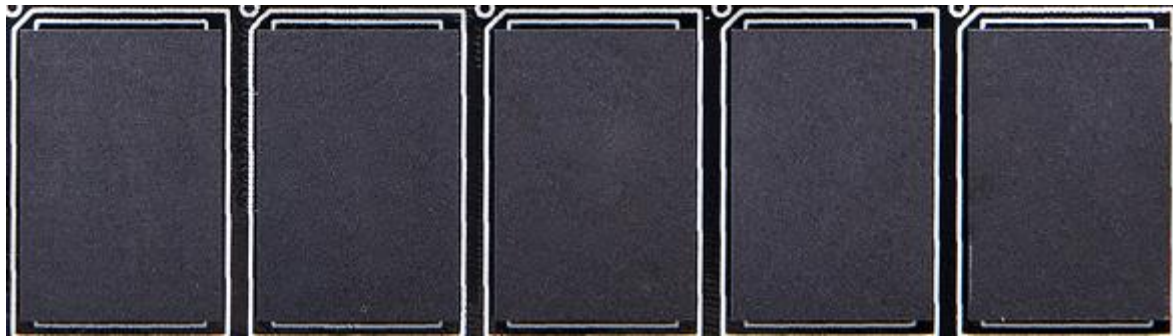


图 2-3-2 5 片 DDR4 DRAM 实物图

两组 DDR4 SDRAM 的 FPGA 引脚分配

见文件 ACVU13 Pin Assignment.xls 中的 C0_DDR4 与 C1_DDR4。

(三) QSPI Flash

核心板配有 2 片 1Gbit 大小的 Quad-SPI FLASH 芯片, 型号为 MT25QU01G BBB1EW9, 它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 1-3-1。

表2-4-1 QSPI Flash的型号和参数

位号	芯片类型	容量	厂家
U10、U11	MT25QU01G BBB1EW9	1Gbit	Micron

QSPI FLASH 连接到 FPGA 芯片的的专用管脚上，其中时钟管脚连接到专用 BANK0 的 CCLK0 上，数据管脚分别连接到 BANK0 和 BANK65 上。图 2-3-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。

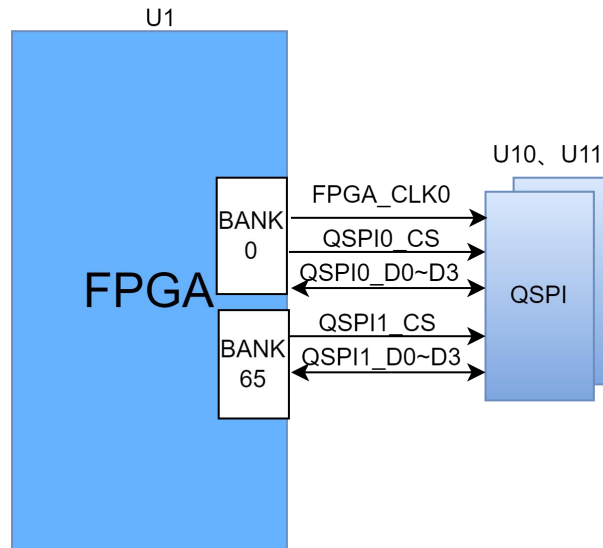


图 2-3-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	FPGA 管脚名	FPGA 管脚号
QSPI_CLK	CCLK_0	AG13
QSPI0_CS	RDWR_FCS_B_0	AG12
QSPI0_DQ0	D00_MOSI_0	AK12
QSPI0_DQ1	D01_DIN_0	AJ12
QSPI0_DQ2	D02_0	AL12
QSPI0_DQ3	D03_0	AH12
QSPI1_CS	IO_L2N_T0L_N3_FWE_FCS2_B_65	BF27
QSPI1_DQ0	IO_L22P_T3U_N6_DBC_AD0P_D04_65	AM26
QSPI1_DQ1	IO_L22N_T3U_N7_DBC_AD0N_D05_65	AN26
QSPI1_DQ2	IO_L21P_T3L_N4_AD8P_D06_65	AL25
QSPI1_DQ3	IO_L21N_T3L_N5_AD8N_D07_65	AM25

(四) 时钟配置

FPGA 系统时钟源

板上提供了 2 个 200MHz 差分晶振，可为 DDR 控制器及 FPGA 逻辑提供参考时钟。晶

振输出连接到 FPGA BANK63 和 BANK73 的全局时钟上，可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-4-1 所示

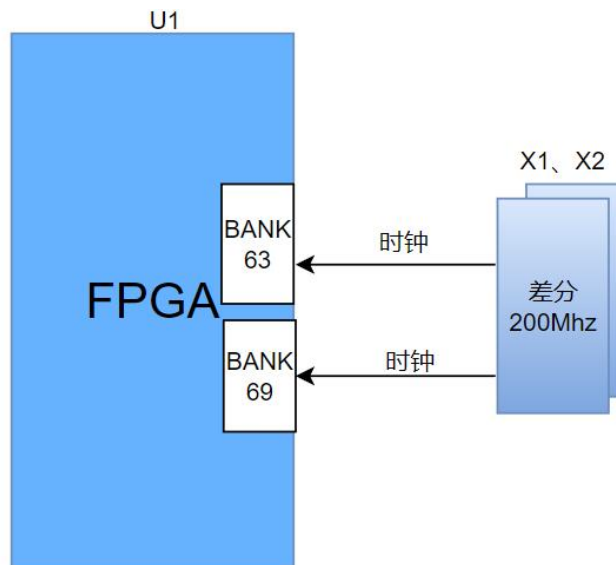


图 2-4-1 系统时钟源

时钟引脚分配:

信号名称	FPGA 管脚名	FPGA 管脚号
C0_DDR4_CLKREF_N	IO_L14N_T2L_N3_GC_63	AE33
C0_DDR4_CLKREF_P	IO_L14P_T2L_N2_GC_63	AD33
C1_DDR4_CLKREF_N	IO_L14N_T2L_N3_GC_73	G19
C1_DDR4_CLKREF_P	IO_L14P_T2L_N2_GC_73	G20

(五) LED 灯

核心板上有2个红色LED灯，其中1个是配置LED灯(DONE)，还有一个用户指示灯。当FPGA 配置程序后，配置LED灯会亮起。用户指示灯可用于自定义功能指示。LED灯硬件连接的示意图如图2-5-1所示。

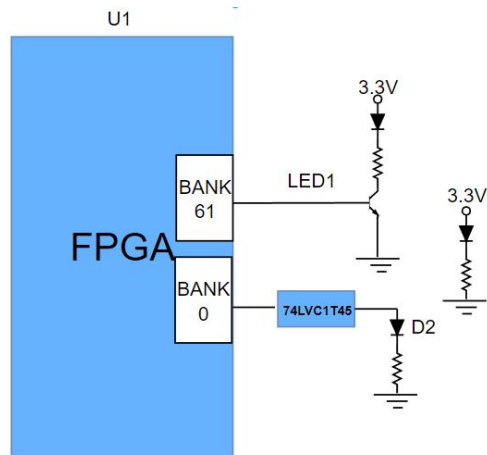


图2-5-1 LED灯连接

(六) 电源

ACVU13 核心板供电电压为+12V，通过连接底板供电。板上的电源设计示意图如下图 2-6-1 所示：

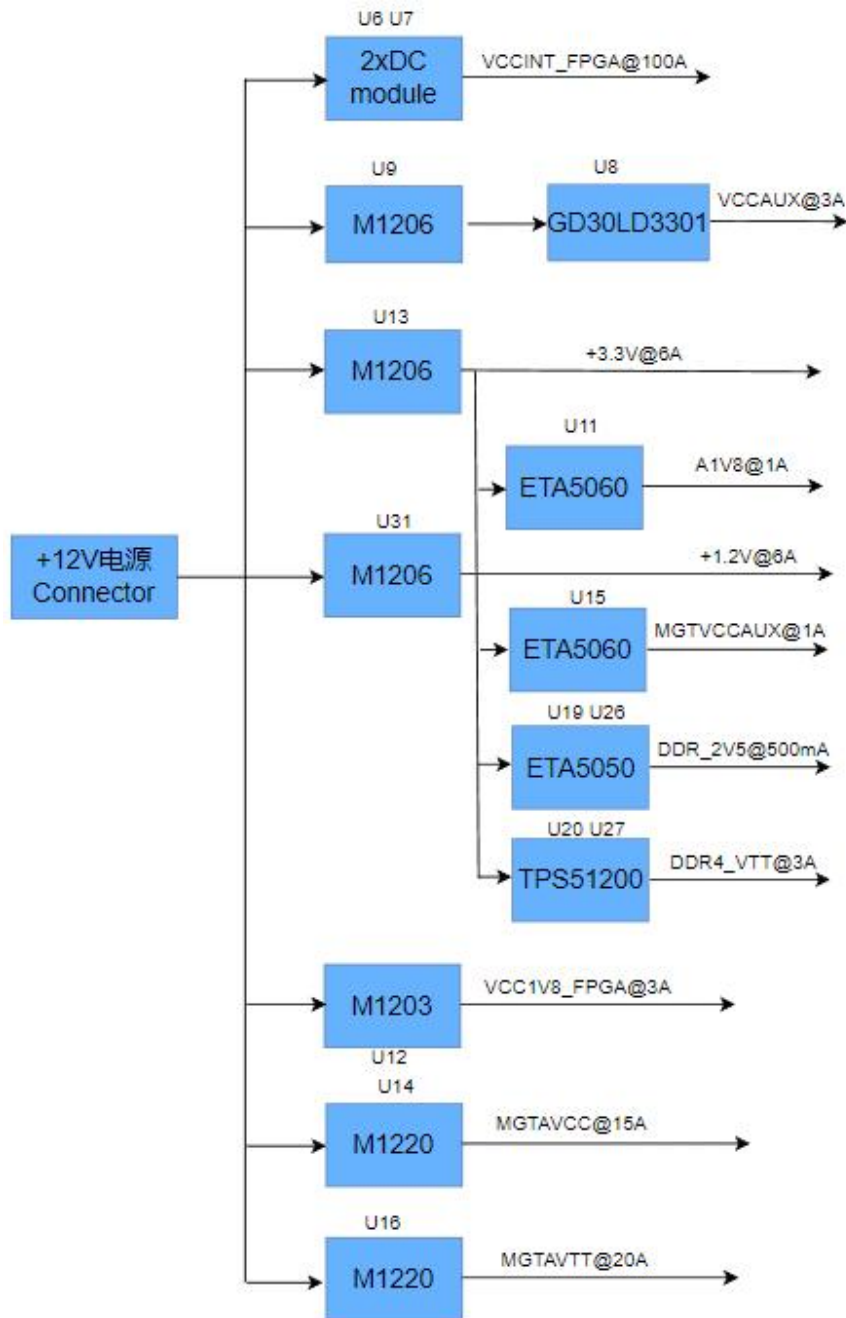


图 2-6-1 LED灯连接示意图

+12V 电源通过板间连接器（J2）输入，然后由 DCDC 电源模块产生 FPGA 内核电源，输出电流高达 100A，可满足核心电压的电流需求。+12V 电源再通过其它电源芯片和模块输出核心板所需的各路电源：GD30LD3301 产生 VCCAUX，M1206 产生 +3.3V 和 +1.2V；M1220 产生 MGTAVCC，MGTAVTT 电源，给 FPGA 高速收发器供电。另外 +3.3V 通过 2 个 LDO 芯片 ETA5060 产生高速收发器的辅助电源和 FPGA 的 ADC 供电电源 +1.8V；2 组 DDR4 的 VTT 和 DDR2V5 电源电压由 TPS51200 和 ETA5050 产生。

因为 FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照芯片的电源要求设计，保证芯片的正常工作。

