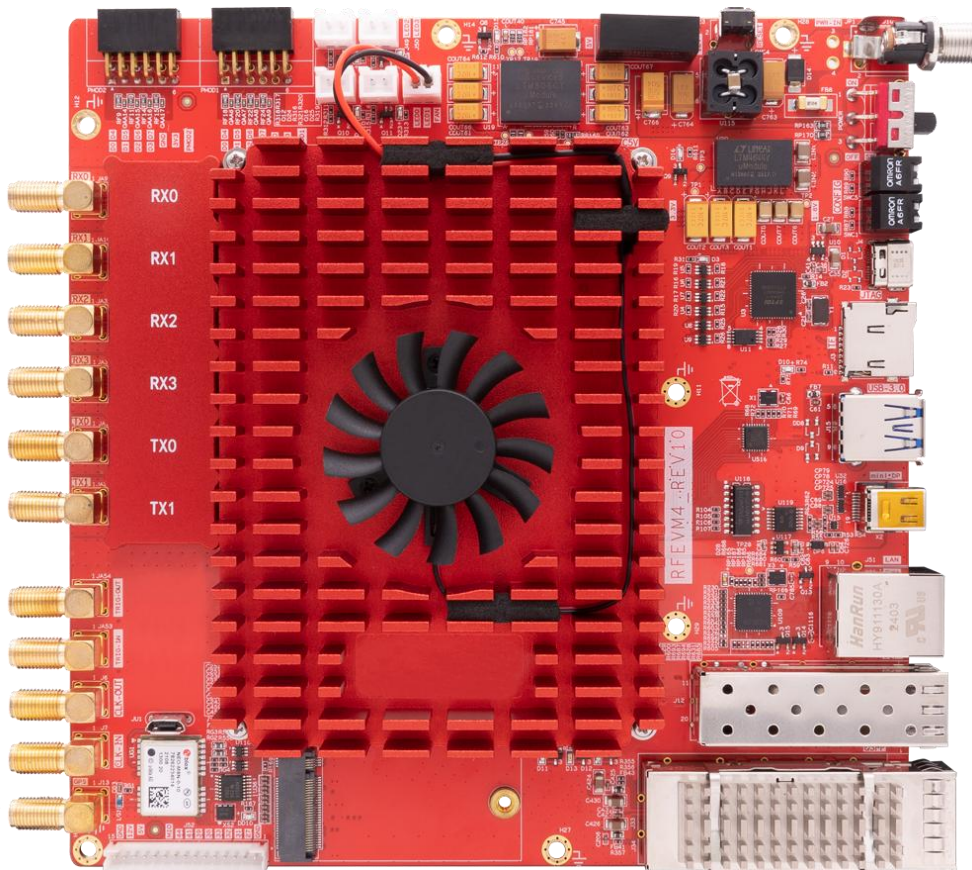


AXRF67 开发平台

用户手册

Rev. 1.0



修订记录

版本	修订日期	修订内容
1.0	2025 年 10 月 23 日	V1.0 初始版本

目 录

1 开发板简介.....	5
2 ACRF67 核心板.....	7
2.1 简介.....	7
2.2 ZYNQ 芯片.....	8
2.3 DDR4 SDRAM.....	9
2.4 QSPI FLASH.....	11
2.5 EEPROM.....	13
2.6 时钟配置.....	13
2.7 PS-GTR 接口.....	14
2.8 RF-ADC 接口.....	15
2.9 RF-DAC 接口.....	15
2.10 电源.....	16
2.11 结构图.....	17
2.12 连接器管脚定义.....	18
3 载板.....	24
3.1 简介.....	24
3.2 PS MIO 外设映射.....	26
3.3 M.2 接口.....	27
3.4 USB3.0 接口.....	28
3.5 千兆以太网接口.....	30
3.6 Micro SD 卡座.....	31
3.7 DP 显示接口.....	32
3.8 光纤接口.....	33
3.9 JTAG&UART 接口.....	36
3.10 GPS 模块.....	37

3.11 扩展 IO 和 LED 灯.....	37
3.12 拨码开关配置.....	40
3.13 电源.....	42
3.14 结构尺寸图.....	42

1 开发板简介

AXRF67 开发板由 ACRF67 核心板和载板构成，核心板和载板之间使用高速板间连接器连接。

ACRF67 核心板采用 Xilinx 公司的 Zynq™ UltraScale+™ RFSoc DFE 系列 ZU67DR FPGA 主芯片，它支持 8 路 14 位 RF-ADC，最大采样率可达 2.95GSPS，8 路 14 位 RF-DAC，最高采样率可达 10GSPS。该系列平台集成了更多硬化 IP 而非逻辑，符合 5G NR 要求，功耗性能相比上一代提升了一倍，硬化的 DPD IP 基于 AMD 经过生产验证的软核，增强了性能。Zynq UltraScale+ 器件中结合 ARM Cortex-A53 处理子系统、FPGA 可编程逻辑和完整的模拟/数字可编程性，能够使用单个设备支持多模式、多频段无线电，适应不断演进的 5G 标准。

该板卡可对需要多频段（Sub-7 GHz、毫米波）、多标准（5G、LTE 等）和多模式无线电的应用进行评估。

载板为核心板扩展了丰富的外围接口，其中包含 1 路 M.2 SSD 接口、一路 USB3.0 接口、1 路 DP 显示接口、1 路千兆以太网接口、一路 JTAG/UART 接口、一路 TF 卡接口、一路 sfp 接口和一路 qsfm 接口、4 路 RF-ADC 和 2 路 RF-DAC 接口。

下图为整个开发系统的结构示意图：

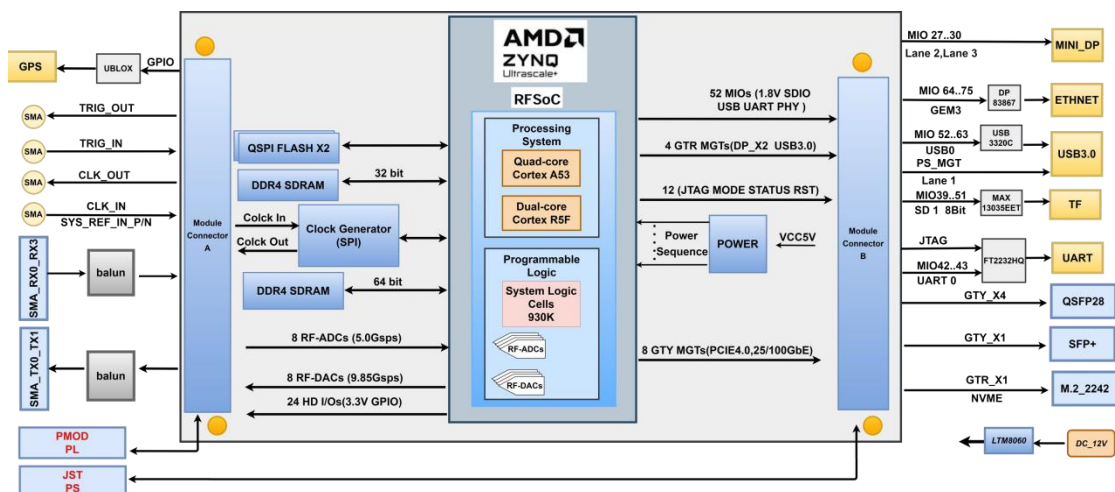


图 1 AXRF67 开发板

通过这个示意图，我们可以看到 AXRF67 开发平台所能包含的接口和功能。

- ACRF67 核心板

由 ZU67DR+4GB DDR4 (PS) +2GB DDR4 (PL) +1Gb QSPI Flash 组成，另外核心模块提供双晶振时钟源，一个单端 33.3333MHz 有源晶振提供给 PS 系统，一个晶体 32.76MHz 驱动 RFSOC 内部 RTC 电路。

- M.2 接口

一路 PCIe x2 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘。

- USB3.0 接口

一路 USB3.0 接口，支持 HOST、SLAVE 三种模式。

- DP 显示接口

一路 DP 显示接口。

- 千兆以太网接口

一路 10M/100M/1000M 以太网 RJ45 接口，用于和电脑或者其它网络设备行以太网数据交换。

- JTAG&UART 接口

JTAG&UART 调试接口类型为 Type-C 接口，JTAG 和 UART 共用此接口，用于 FPGA 程序的下载和调试。

- Micro SD 卡座

一路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- QSFP28 光纤接口

一路 QSFP28 光纤接口，支持 40G/100G 的通信速率。

- SFP 光纤接口

一路 SFP 接口，支持 10G 的通信速率。

- 扩展 IO

三组扩展 IO，两组 PL 端扩展 IO，一组 PS 端扩展 IO，可供用户自定义使用。

- LED 灯

4 个可扩展的 LED 直插针座，供用户自定义使用。

- 按键

一个复位按键。

2 ACRF67 核心板

2.1 简介

ACRF67 核心板的 ZYNQ 芯片是基于 XILINX 公司的 Zynq™ UltraScale+™ RFSoc DFE 系列 ZU67DR-2FFVE1156I。

这款核心板使用了 6 片 Micron 公司的 DDR4 芯片 MT40A512M16，其中 PS 端挂载 4 片 DDR4，组成 64 位数据总线宽度。PL 端挂载 2 片 DDR4，组成 32 位数据总线宽度。每片 DDR4 容量为 1GB。DDR4 SDRAM 的最高运行速度可达 1200MHz（数据速率 2400Mbps）。另外核心板上也集成了 1Gbit 大小的 QSPI FLASH 用于启动存储配置和系统文件。

为了和底板连接，这款核心板的 2 个 400Pin 的板对板连接器扩展出了 PS 端的 USB3.0 接口、DP 显示接口、千兆以太网接口、SD 卡接口、M.2 接口以及剩余的 MIO 接口；也扩展出了 4 对 PS MGT 高速收发器接口；以及 PL 端的 1 路 QSFP28 接口、1 路 SFP 接口和其余 IO。

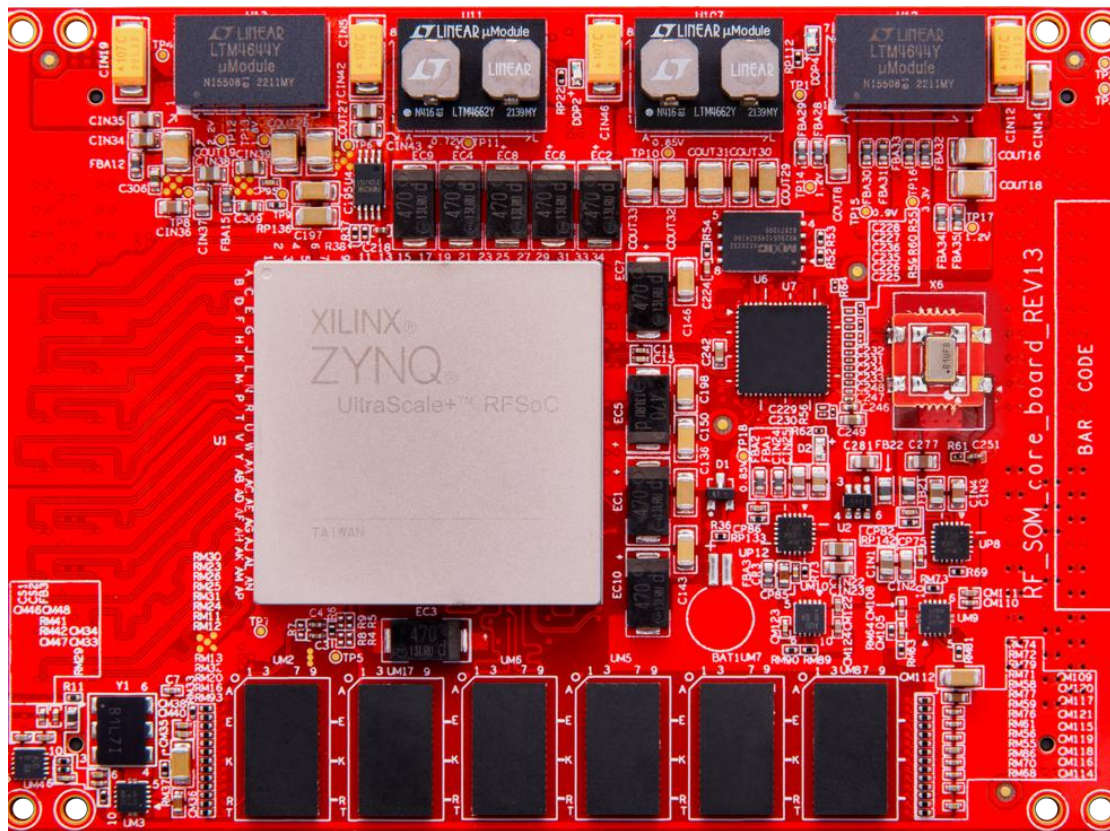


图 2 ACRF67 核心板正面

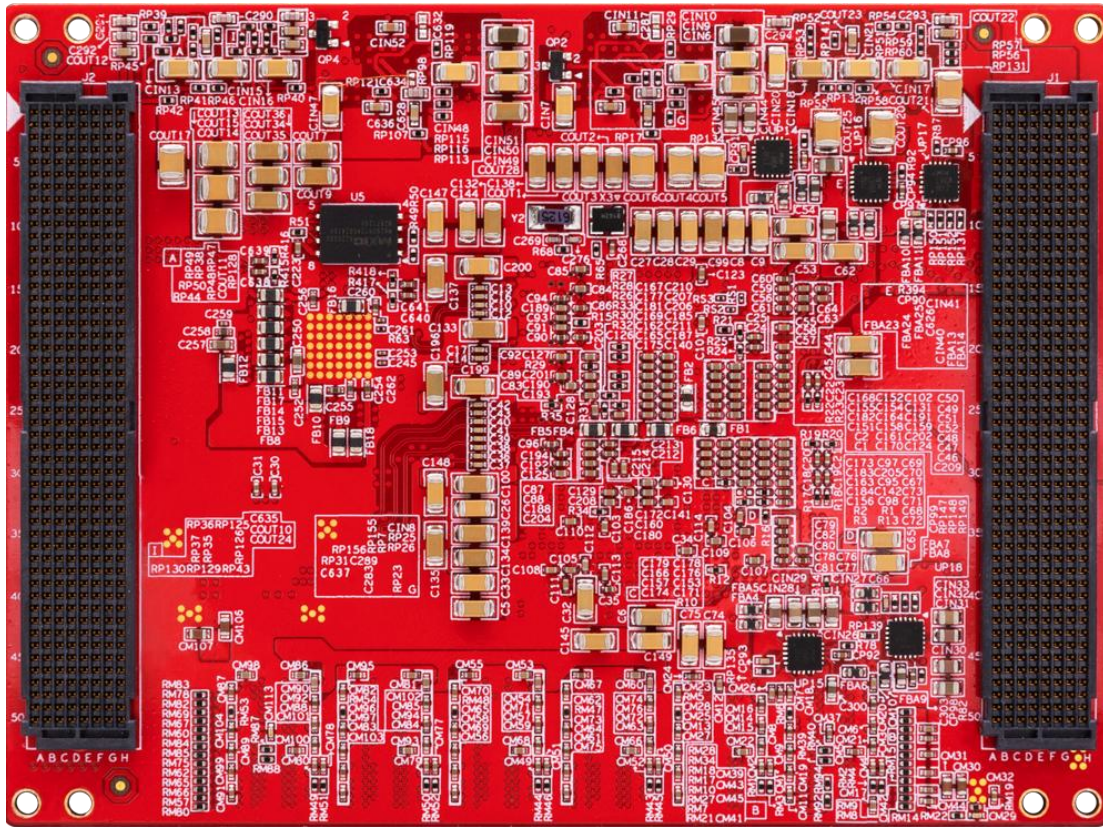


图 3 ACRF67 核心板背面

2.2 ZYNQ 芯片

ACRF67 核心板使用的是 Xilinx 公司的 Zynq™ UltraScale+™ RFSoc DFE 系列的芯片，型号为 ZU67DR-2FFVE1156I。它作为 DFE 系列的高端型号，核心优势是通过硬化 DFE IP 核简化开发流程并优化能效，同时集成高性能模数/数模转换、多核处理与可编程逻辑，适配 5G 基站、雷达等对射频处理要求严苛的场景。

硬化 DFE IP 核它将数字下变频（DDC）、数字上变频（DUC）、数字预失真（DPD）、峰均比抑制（CFR）等计算密集型的射频前端处理任务，交由硬化 DFE IP 核完成，而非依赖 FPGA 软逻辑。这种设计不仅大幅降低了功耗和面积占用，还减少了开发者在基础架构开发上的工作量，同时 DPD 硬核能有效补偿功率放大器的非线性失真，提升输出信号的线性度与效率。

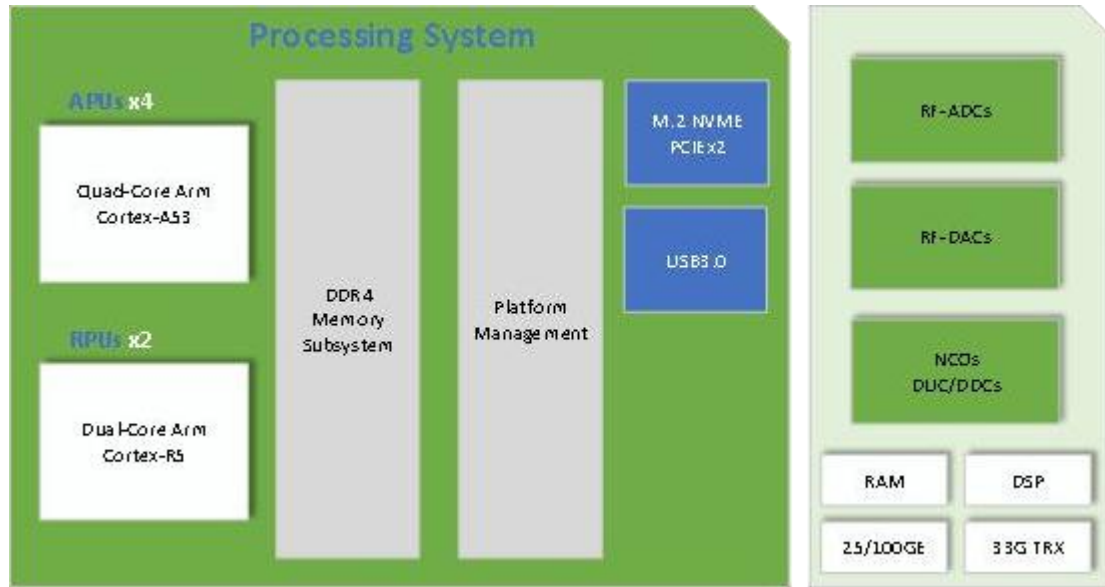


图 4 ACRF67 硬件系统框图

ACRF67 可以支持 AD/DA 通道全差分引出，用户可根据需要定义射频调理电路，支持直流、交流耦合，支持 PALNA 放大器调理电路。也可以支持选配射频前端，支持 LO 变频器、双工器、PA、LNA 等。

2.3 DDR4 SDRAM

ACRF67 核心板上配有 6 片 Micron（镁光）的 1GB 的 DDR4 芯片，型号为 MT40A512M16GE-083E，其中 PS 端挂载了 4 片 DDR4，组成 64 为数据总线带宽。PL 端挂载 2 片 DDR4，组成 32 为数据总线带宽。PS 端的 DDR4 SDRAM 的最高运行速度可达 1200MHz（数据速率 2400Mbps），4 片 DDR4 存储系统直接连接到了 PS 的 BANK504 的存储器接口上。PL 端的 DDR SDRAM 的最高运行速度可达 1200MHz（数据速率 2400Mbps），2 片 DDR4 连接到了 FPGA 的 BANK65、66 的接口上。PS 端和 PL 端 DDR4 SDRAM 的具体配置如下表所示。

表 1 DDR4 SDRAM 配置

位置	位号	芯片型号	容量	厂家
PS	UM5,UM6,UM7,UM8	MT40A512M16GE-083E	512x16bit	Micron
PL	UM1,UM2	MT40A512M16GE-083E	512x16bit	Micron

PS 端的 DDR4 的硬件连接方式如下图所示：

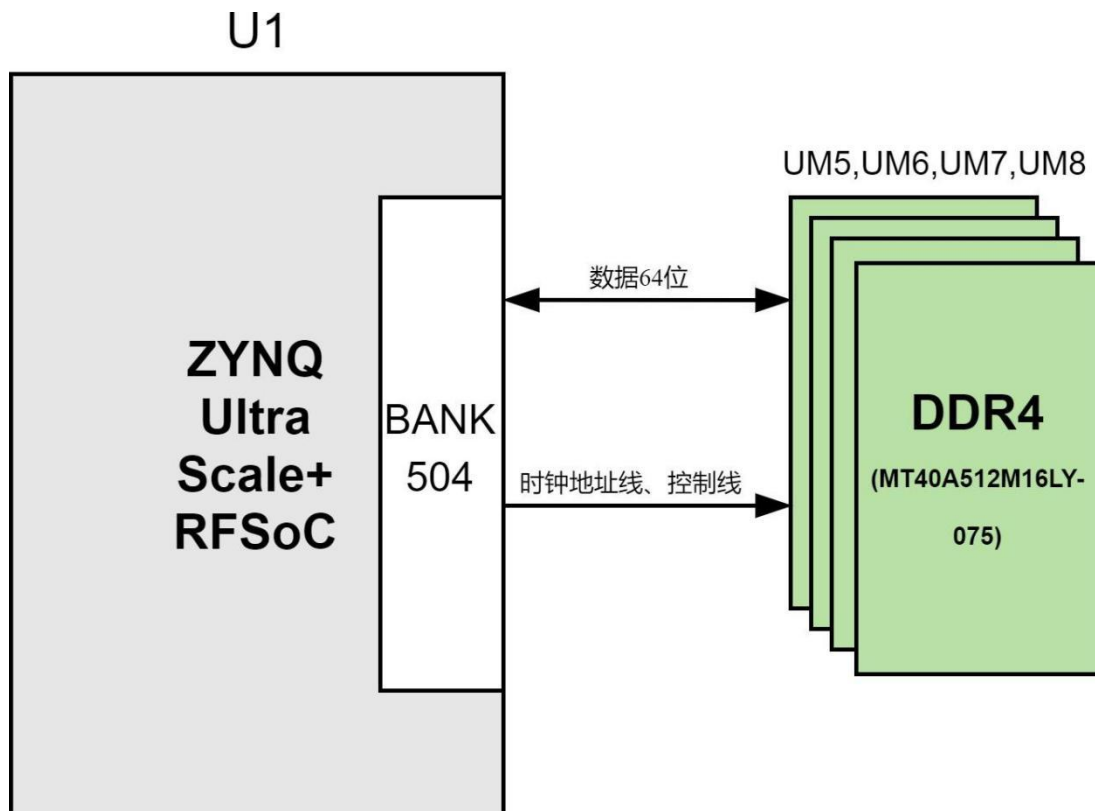


图 5 PS 端 DDR4 SDRAM 连接示意图

PL 端的 DDR4 SDRAM 的硬件连接方式如下图所示：

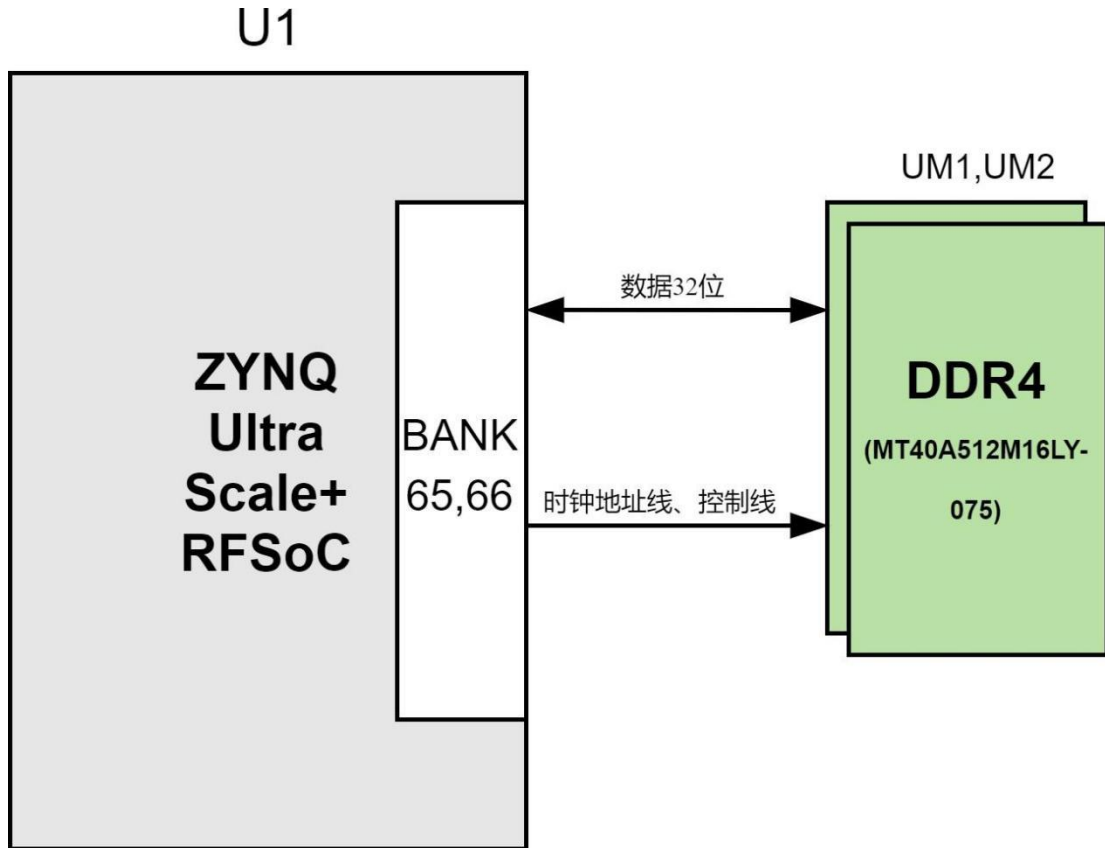


图 6 PL 端 DDR4 SDRAM 连接示意图

2.4 QSPI FLASH

ACRF67 核心板配有 2 片 512Mbit 大小的 QUAD SPI FLASH 芯片组成 8 位带宽数据总线，FLASH 型号为 MT25QU512ABBIEW9-0SIT，它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及它的用户数据文件。QSPI FLASH 的具体型号和相关特性见下表。

表 2 QSPI FLASH 型号和参数

位置	位号	芯片型号	容量	厂家
PS	U5,U6	MT25QU512ABBIEW9-0SIT	512M bit	镁光

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 MIO 上，在系统设计中需要配置这些 PS 端的 MIO 功能为 QSPI FLASH 接口。

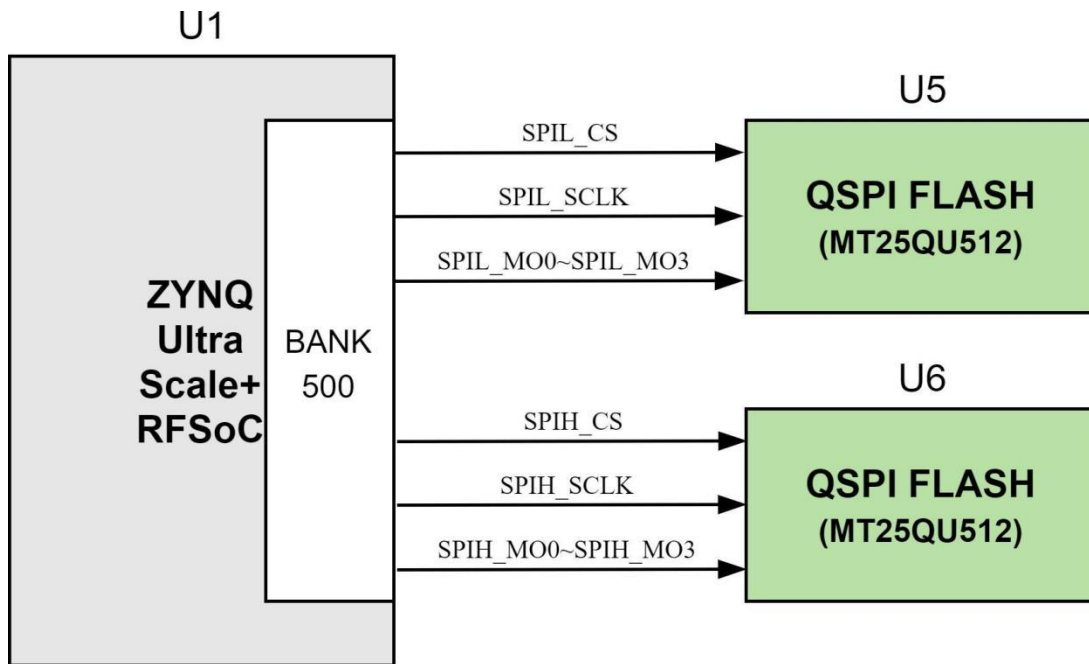


图 7 QSPI FLASH 连接示意图

表 3 配置芯片引脚分配

信号名称	引脚名	引脚号
SPII_SCLK	PS_MIO0	J17
SPII_MO1	PS_MIO1	J18
SPII_MO2	PS_MIO2	J16
SPII_MO3	PS_MIO3	K16
SPII_MO0	PS_MIO4	G15
SPII_CS	PS_MIO5	H18
SPIH_CS	PS_MIO7	K17
SPIH_MO0	PS_MIO8	E15
SPIH_MO1	PS_MIO9	F15
SPIH_MO2	PS_MIO10	C15
SPIH_MO3	PS_MIO11	G16
SPIH_SCLK	PS_MIO12	B15

2.5 EEPROM

ACRF67 核心模块上板载了一片 EEPROM，型号为 AT24CM01，容量为 1Mbit，通过 IIC 总线连接到 PS 端进行通信。

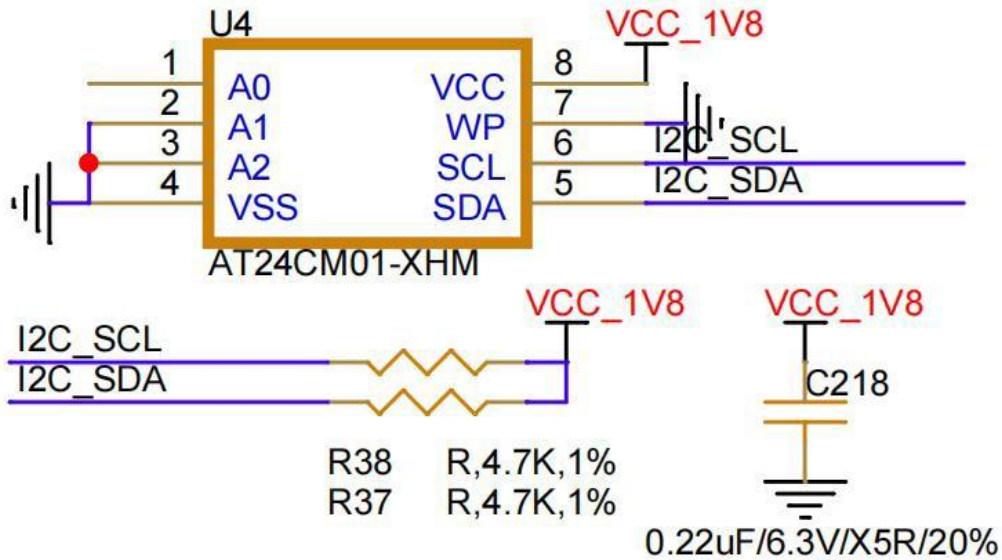


图 8 EEPROM 硬件原理图

表 4 EEPROM 引脚分配

信号名称	引脚名	引脚号	备注
IIC_SDA	PS_MIO25	B17	I2C 数据信号
IIC_SCL	PS_MIO24	A17	I2C 时钟信号

2.6 时钟配置

核心模块上提供双晶振时钟，系统时钟默认使用 33.3333MHz 有源晶振，封装 3.2x2.5mm。晶体 32.768KHz，驱动 RFSOC 内部 RTC 电路。时钟电路设计的示意图如下图所示：

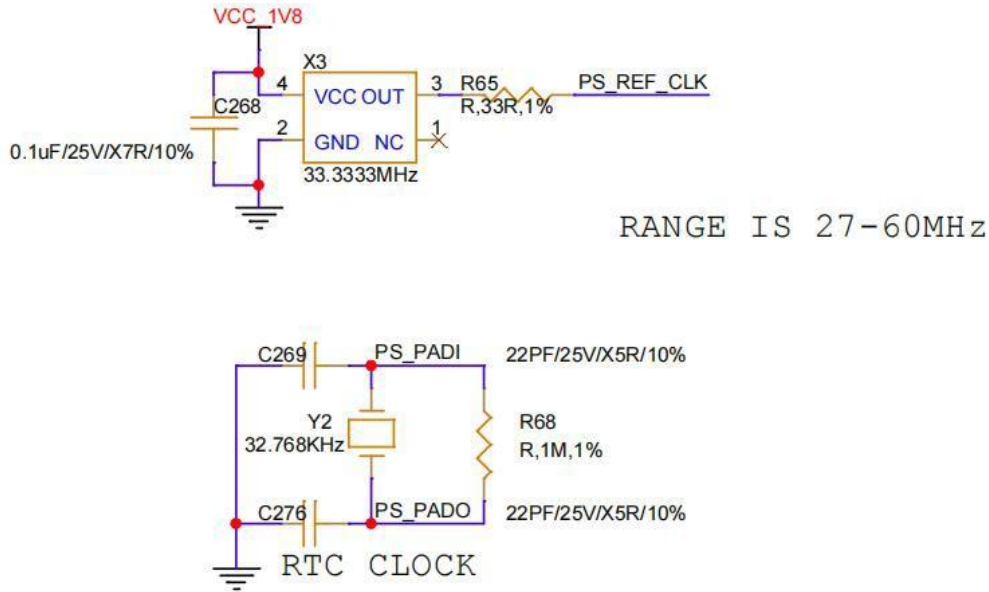


图 9 晶振原理图

核心模块系统采用 LMK04828 时钟芯片分配各个模块所需时钟，主晶振采用 96MHz 高稳 VCXO。支持 GTY 恢复时钟，支持外部参考时钟的输入。

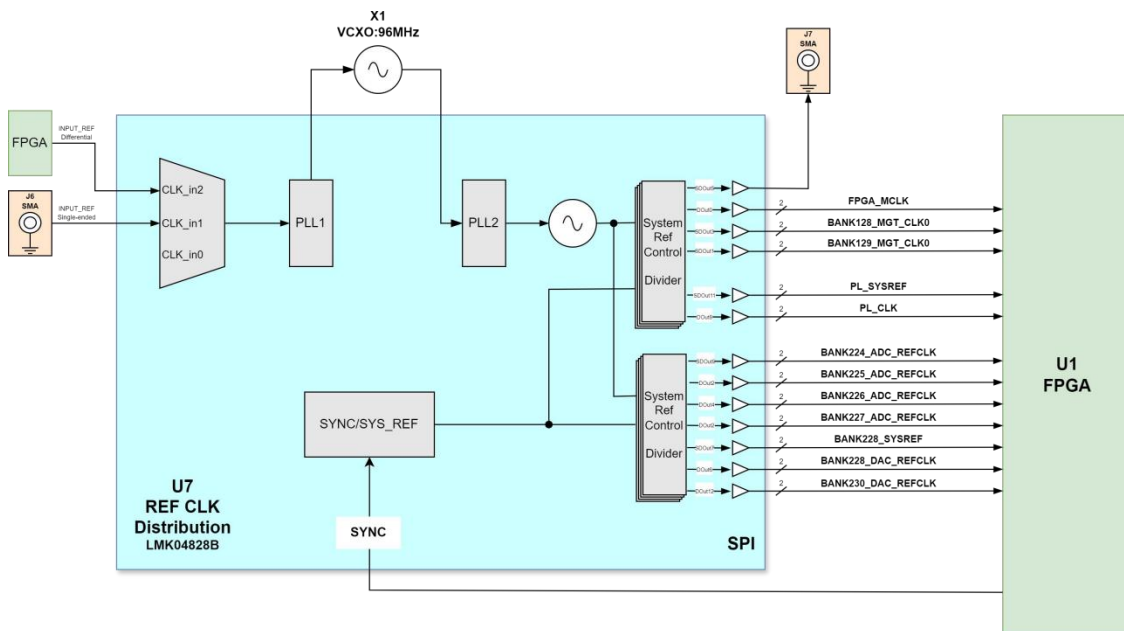


图 10 时钟分配连接示意图

2.7 PS-GTR 接口

ACRF67 核心模块的 PS 端 GTR 高速 BANK 未进行任何使用，全部通过连接器拉出，支持数据速率最高 6.0Gb/s，可以当作 PCIE Gen2 的 x1、x2、x4 使用，也可以作为 SATA 使用，支持 1.5Gb/s、3.0Gb/s、6Gb/s 数据速率，也可以支持 DP 接口以及 USB3.0 接口等其它应用。

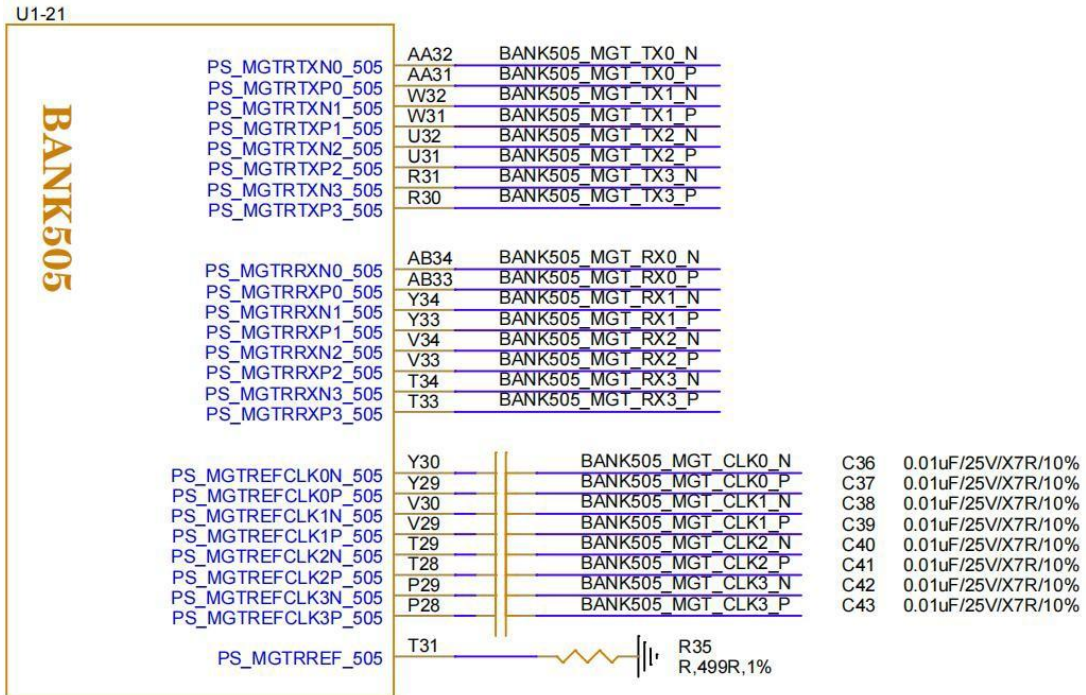


图 11 PS 端 GTR 高速收发器映射图

2.8 RF-ADC 接口

ACRF67 核心模块使用的FPGA 芯片是Zynq™ UltraScale+™ RFSoc DFE系列业界唯一单芯片自适应无线电平台，芯片集成了 14-bit 的 RF-ADC，最大采样率可达 5GSPS，并且 VCM 信号也引出至连接器，方便用户调节共模电压。

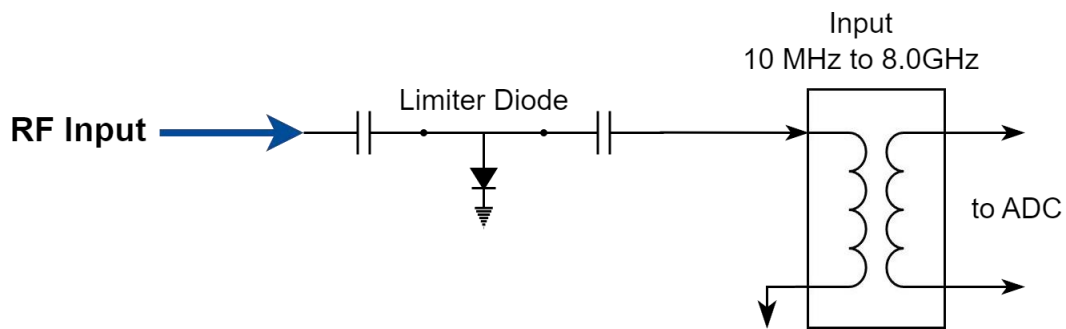


图 13 RF-ADC 接口示意图

2.9 RF-DAC 接口

ACRF67 核心模块使用的FPGA 芯片是Zynq™ UltraScale+™ RFSoc Gen3系列业界唯一单芯片自适应无线电平台，芯片集成了 14-bit 的 RF-DAC，最大采样率可达 9.85GSPS。

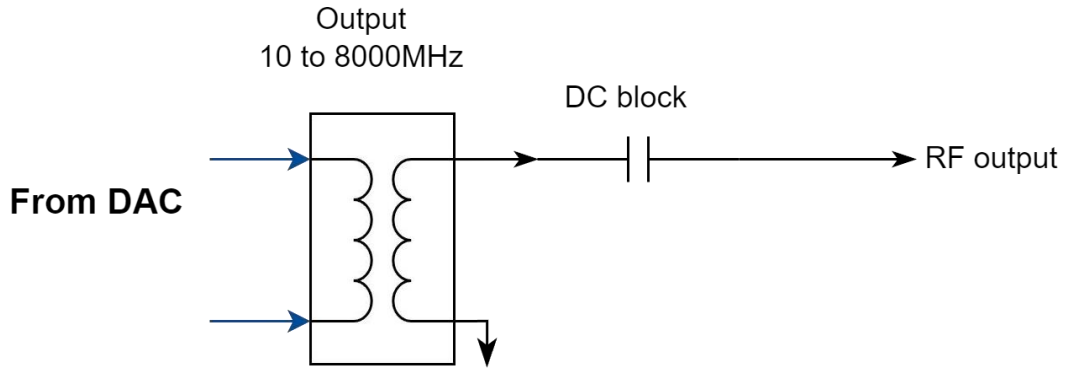


图 14 RF-DAC 接口示意图

2.10 电源

ACRF67 核心板采用直流 5V 供电，通过连接器底板给核心板供电。ACRF67 核心板典型功耗 60W。5V 系统电源通过降压型稳压器变换不同的电压驱动板卡上的 FPGA 以及其它电路，板卡 ADC 与 DAC 的供电由线性低压 LDO 提供，具有较好的电源抑制（PSRR）。

核心模块的扩展 IO BANK 接口电平图下：

BANK	电平 (V)	备注
BANK89	从底板提供	HD_BANK 支持 1.2~3.3V (HD I/O only) at $\pm 5\%$
BANK128	MGTY	QSFP28 信号
BANK129	MGTY	SFP+信号
BANK501	从底板提供	MIO BANK 支持 1.8V、2.5V, and 3.3V at $\pm 5\%$
BANK502	从底板提供	MIO BANK 支持 1.8V、2.5V, and 3.3V at $\pm 5\%$
BANK503	1.8V 固定	配置管脚输出，模式选择，系统复位信号
BANK505	PS_MGTR	未进行任何定义，高速信号管脚和时钟信号全部拉出至连接器

ACRF67 核心板的电源设计框图如下所示：

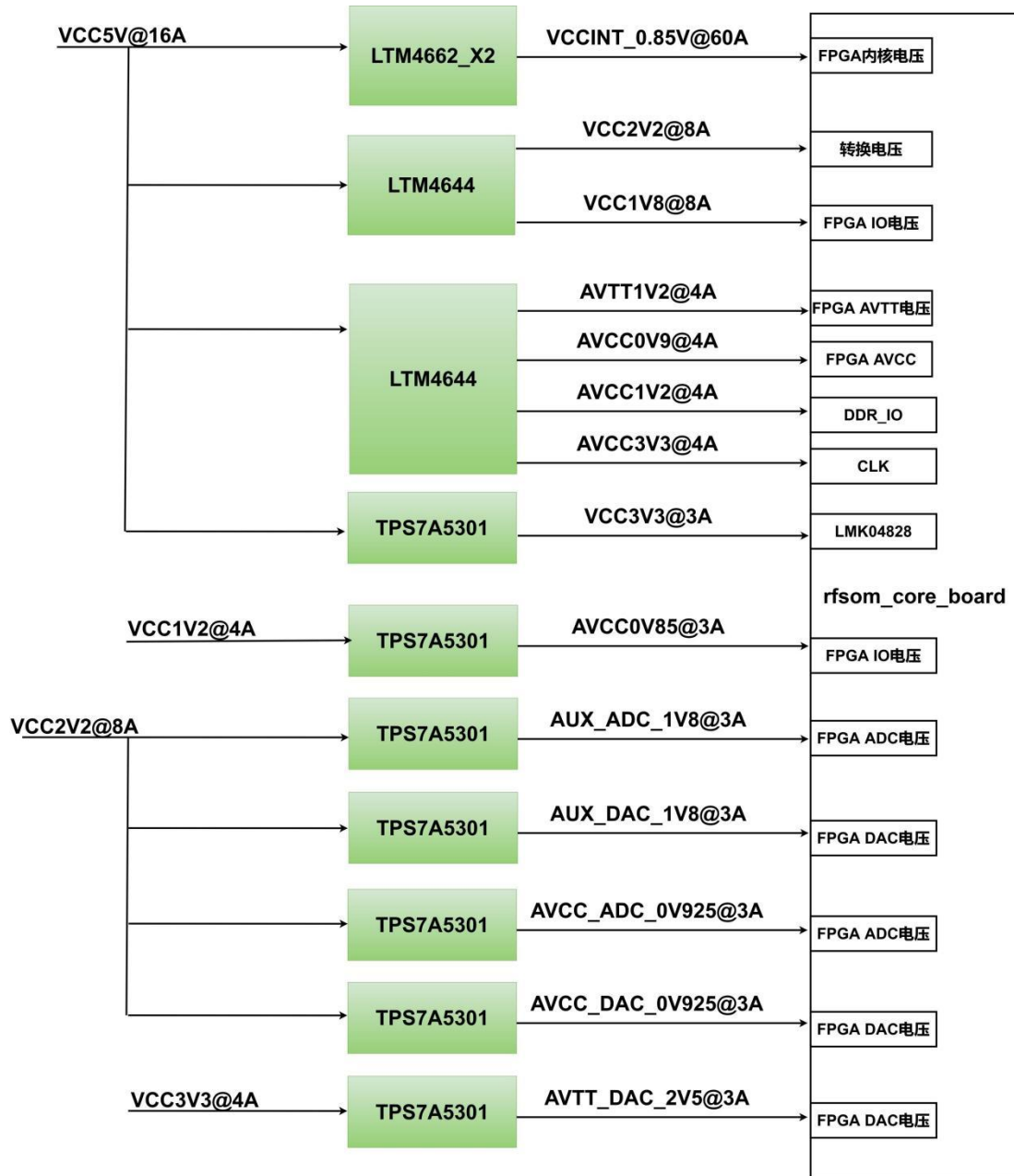


图 15 ACRF67 核心板电源设计框图

2.11 结构图

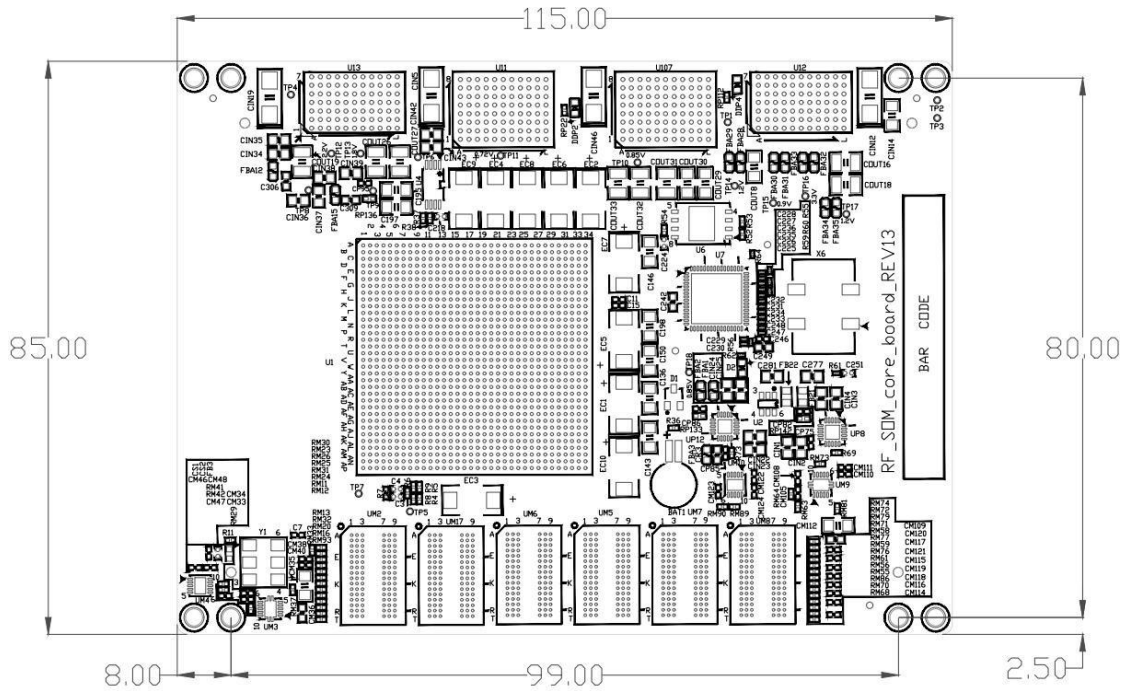


图 16 ACRF67 核心模块正面图

2.12 连接器管脚定义

核心板一共扩展出 2 个高速扩展口，使用 2 个 400Pin 的板间连接器（J1、J2）和底板连接，连接器使用 Samtec 公司的 LPAM_50_01_0_L_08_2_K_TR 连接器。

连接器信号定义如下所示：

表 5 J1 连接器信号定义

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A1	GND	B1	VCC_5V	C1	VCC_5V	D1	VCC_5V
A2	GND	B2	VCC_5V	C2	VCC_5V	D2	VCC_5V
A3	GND	B3	GND	C3	GND	D3	GND
A4	GND	B4	GND	C4	GND	D4	GND
A5	GND	B5	GND	C5	GND	D5	GND
A6	GND	B6	GND	C6	GND	D6	GND
A7	GND	B7	BANK89_IO_L1P	C7	BANK89_IO_L1N	D7	GND
A8	GND	B8	GND	C8	GND	D8	BANK89_IO_L2P

A9	GND	B9	BANK89_IO_L3P	C9	BANK89_IO_L3N	D9	GND
A10	GND	B10	GND	C10	GND	D10	BANK89_IO_GC_L5P
A11	GND	B11	BANK89_IO_GC_L7P	C11	BANK89_IO_GC_L7N	D11	GND
A12	GND	B12	GND	C12	GND	D12	BANK89_IO_GC_L6P
A13	GND	B13	BANK89_IO_L4P	C13	BANK89_IO_L4N	D13	GND
A14	GND	B14	GND	C14	GND	D14	BANK89_IO_L9P
A15	GND	B15	GND	C15	GND	D15	GND
A16	GND	B16	GND	C16	GND	D16	GND
A17	GND	B17	GND	C17	GND	D17	GND
A18	GND	B18	TX_06_P	C18	TX_06_N	D18	GND
A19	GND	B19	GND	C19	GND	D19	GND
A20	GND	B20	GND	C20	GND	D20	GND
A21	GND	B21	GND	C21	GND	D21	GND
A22	GND	B22	TX_04_P	C22	TX_04_N	D22	GND
A23	GND	B23	GND	C23	GND	D23	GND
A24	GND	B24	GND	C24	GND	D24	GND
A25	GND	B25	GND	C25	GND	D25	GND
A26	GND	B26	TX_02_P	C26	TX_02_N	D26	GND
A27	GND	B27	GND	C27	GND	D27	GND
A28	GND	B28	GND	C28	GND	D28	GND
A29	GND	B29	GND	C29	GND	D29	GND
A30	GND	B30	TX_00_P	C30	TX_00_N	D30	GND
A31	GND	B31	GND	C31	GND	D31	GND
A32	GND	B32	GND	C32	GND	D32	GND
A33	GND	B33	GND	C33	GND	D33	NC
A34	GND	B34	RX_06_P	C34	RX_06_N	D34	GND
A35	GND	B35	GND	C35	GND	D35	GND
A36	GND	B36	GND	C36	GND	D36	GND
A37	GND	B37	GND	C37	GND	D37	NC

A38	GND	B38	RX_04_P	C38	RX_04_N	D38	GND
A39	GND	B39	GND	C39	GND	D39	GND
A40	GND	B40	GND	C40	GND	D40	GND
A41	GND	B41	GND	C41	GND	D41	NC
A42	GND	B42	RX_02_P	C42	RX_02_N	D42	GND
A43	GND	B43	GND	C43	GND	D43	GND
A44	GND	B44	GND	C44	GND	D44	GND
A45	GND	B45	GND	C45	GND	D45	NC
A46	GND	B46	RX_00_P	C46	RX_00_N	D46	GND
A47	GND	B47	GND	C47	GND	D47	GND
A48	GND	B48	GND	C48	GND	D48	GND
A49	GND	B49	GND	C49	GND	D49	GND
A50	GND	B50	GND	C50	GND	D50	GND

表 6 J1 连接器信号定义

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
E1	VCC_5V	F1	VCC_5V	G1	VCC_5V	H1	GND
E2	VCC_5V	F2	VCC_5V	G2	VCC_5V	H2	GND
E3	GND	F3	GND	G3	GND	H3	GND
E4	GND	F4	GND	G4	GND	H4	GND
E5	GND	F5	GND	G5	GND	H5	GND
E6	GND	F6	GND	G6	GND	H6	GND
E7	GND	F7	BANK89_IO_L12P	G7	BANK89_IO_L12N	H7	GND
E8	BANK89_IO_L2N	F8	GND	G8	GND	H8	GND
E9	GND	F9	BANK89_IO_GC_L8P	G9	BANK89_IO_GC_L8N	H9	GND
E10	BANK89_IO_GC_L5N	F10	GND	G10	GND	H10	GND
E11	GND	F11	BANK89_IO_L10P	G11	BANK89_IO_L10N	H11	GND
E12	BANK89_IO_GC_L6N	F12	GND	G12	GND	H12	GND

E13	GND	F13	BANK89_IO_L11P	G13	BANK89_IO_L11N	H13	GND
E14	BANK89_IO_L9N	F14	GND	G14	GND	H14	GND
E15	GND	F15	GND	G15	GND	H15	GND
E16	GND	F16	GND	G16	GND	H16	GND
E17	GND	F17	GND	G17	GND	H17	GND
E18	GND	F18	TX_07_P	G18	TX_07_N	H18	GND
E19	GND	F19	GND	G19	GND	H19	GND
E20	GND	F20	GND	G20	GND	H20	GND
E21	GND	F21	GND	G21	GND	H21	GND
E22	GND	F22	TX_05_P	G22	TX_05_N	H22	GND
E23	GND	F23	GND	G23	GND	H23	GND
E24	GND	F24	GND	G24	GND	H24	GND
E25	GND	F25	GND	G25	GND	H25	GND
E26	GND	F26	TX_03_P	G26	TX_03_N	H26	GND
E27	GND	F27	GND	G27	GND	H27	GND
E28	GND	F28	GND	G28	GND	H28	GND
E29	GND	F29	GND	G29	GND	H29	GND
E30	GND	F30	TX_01_P	G30	TX_01_N	H30	GND
E31	GND	F31	GND	G31	GND	H31	GND
E32	GND	F32	GND	G32	GND	H32	GND
E33	GND	F33	GND	G33	GND	H33	GND
E34	GND	F34	RX_07_P	G34	RX_07_N	H34	GND
E35	NC	F35	GND	G35	GND	H35	GND
E36	GND	F36	GND	G36	GND	H36	GND
E37	GND	F37	GND	G37	GND	H37	GND
E38	GND	F38	RX_05_P	G38	RX_05_N	H38	GND
E39	NC	F39	GND	G39	GND	H39	GND
E40	GND	F40	GND	G40	GND	H40	GND
E41	GND	F41	GND	G41	GND	H41	GND

E42	GND	F42	RX_03_P	G42	RX_03_N	H42	GND
E43	NC	F43	GND	G43	GND	H43	GND
E44	GND	F44	GND	G44	GND	H44	GND
E45	GND	F45	GND	G45	GND	H45	GND
E46	GND	F46	RX_01_P	G46	RX_01_N	H46	GND
E47	NC	F47	GND	G47	GND	H47	GND
E48	GND	F48	GND	G48	GND	H48	GND
E49	GND	F49	GND	G49	GND	H49	GND
E50	GND	F50	GND	G50	GND	H50	GND

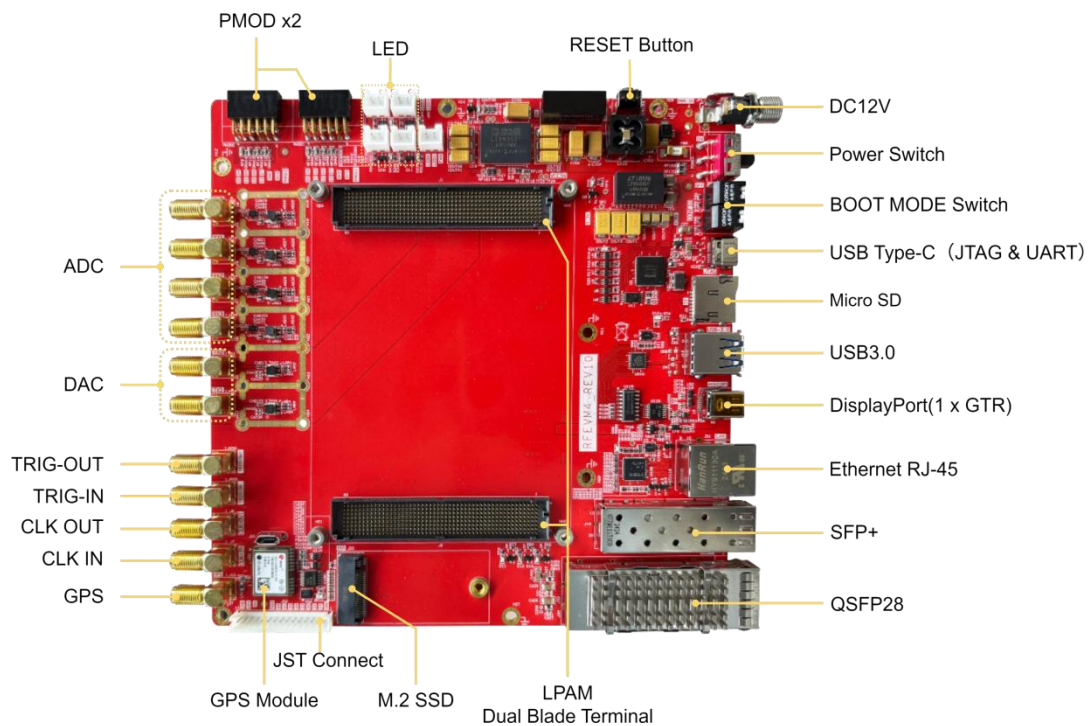
表 7 J2 连接器信号定义

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
E1	VCCO_501	F1	VCC_5V	G1	VCC_5V	H1	GND
E2	VCCO_501	F2	VCC_501	G2	VCC_5V	H2	GND
E3	GND	F3	GND	G3	GND	H3	GND
E4	GND	F4	CLKIN0_P	G4	CLKIN0_N	H4	GND
E5	SYSREF_IN_N	F5	GND	G5	GND	H5	GND
E6	GND	F6	GND	G6	GND	H6	GND
E7	GND	F7	BANK501_PS_MIO37	G7	BANK501_PS_MIO34	H7	GND
E8	BANK501_PS_MIO36	F8	GND	G8	GND	H8	GND
E9	GND	F9	BANK501_PS_MIO41	G9	BANK501_PS_MIO38	H9	GND
E10	BANK501_PS_MIO39	F10	GND	G10	GND	H10	GND
E11	GND	F11	BANK501_PS_MIO43	G11	BANK501_PS_MIO44	H11	GND
E12	BANK501_PS_MIO45	F12	GND	G12	GND	H12	GND
E13	GND	F13	BANK501_PS_MIO48	G13	BANK501_PS_MIO51	H13	GND
E14	BANK501_PS_MIO47	F14	GND	G14	GND	H14	GND
E15	GND	F15	BANK501_PS_MIO58	G15	BANK501_PS_MIO60	H15	GND
E16	BANK501_PS_MIO59	F16	GND	G16	GND	H16	GND

E17	GND	F17	BANK501_PS_MIO63	G17	BANK501_PS_MIO62	H17	GND
E18	BANK501_PS_MIO55	F18	GND	G18	GND	H18	GND
E19	GND	F19	BANK501_PS_MIO64	G19	BANK501_PS_MIO65	H19	GND
E20	BANK501_PS_MIO71	F20	GND	G20	GND	H20	GND
E21	GND	F21	BANK501_PS_MIO75	G21	BANK501_PS_MIO70	H21	GND
E22	BANK501_PS_MIO74	F22	GND	G22	GND	H22	GND
E23	GND	F23	JTAG_TDI	G23	PS_ERROR	H23	GND
E24	BANK501_PS_MIO77	F24	GND	G24	GND	H24	GND
E25	GND	F25	PS_MODE2	G25	PS_MODE0	H25	GND
E26	PS_MODE1	F26	GND	G26	GND	H26	GND
E27	GND	F27	NC	G27	NC	H27	GND
E28	JTAG_TCK	F28	GND	G28	GND	H28	GND
E29	GND	F29	BANK129_MGT_RX1_P	G29	BANK129_MGT_RX1_N	H29	GND
E30	BANK129_MGT_RX2_N	F30	GND	G30	GND	H30	GND
E31	GND	F31	BANK129_MGT_TX2_P	G31	BANK129_MGT_TX2_N	H31	GND
E32	BANK129_MGT_TX3_N	F32	GND	G32	GND	H32	GND
E33	GND	F33	BANK505_MGT_CLK0_P	G33	BANK505_MGT_CLK0_N	H33	GND
E34	BANK129_MGT_TX0_N	F34	GND	G34	GND	H34	GND
E35	GND	F35	BANK505_MGT_CLK3_P	G35	BANK505_MGT_CLK3_N	H35	GND
E36	BANK505_MGT_CLK2_N	F36	GND	G36	GND	H36	GND
E37	GND	F37	BANK128_MGT_RX1_P	G37	BANK128_MGT_RX1_N	H37	GND
E38	BANK128_MGT_RX2_N	F38	GND	G38	GND	H38	GND
E39	GND	F39	BANK128_MGT_TX2_P	G39	BANK128_MGT_TX2_N	H39	GND
E40	BANK128_MGT_CLK1_N	F40	GND	G40	GND	H40	GND
E41	GND	F41	BANK128_MGT_TX0_P	G41	BANK128_MGT_TX0_N	H41	GND
E42	BANK128_MGT_TX1_N	F42	GND	G42	GND	H42	GND
E43	GND	F43	BANK505_MGT_TX2_P	G43	BANK505_MGT_TX2_N	H43	GND
E44	BANK505_MGT_TX1_N	F44	GND	G44	GND	H44	GND
E45	GND	F45	BANK505_MGT_RX2_P	G45	BANK505_MGT_RX2_N	H45	GND

E46	BANK505_MGT_RX3_N	F46	GND	G46	GND	H46	GND
E47	GND	F47	BANK129_MGT_CLK1_N	G47	BANK129_MGT_CLK1_P	H47	GND
E48	BANK505_MGT_RX0_N	F48	GND	G48	GND	H48	GND
E49	GND	F49	GND	G49	GND	H49	GND
E50	GND	F50	GND	G50	GND	H50	GND

3 载板



3.1 简介

通过前面的功能介绍，我们可以了解到载板的部分功能

- 1 路 M.2 接口
- 1 路 USB3.0 接口
- 1 路千兆以太网接口
- 1 路 DP 显示接口
- 1 路 JTAG&UART 的 Type-C 接口

- 1 路 Micro SD 卡座
- 1 路 SFP 光口
- 1 路 QSFP28 光口
- 2 组 PL 扩展 PMOD 接口
- 1 组 PS 扩展 IO
- 4 个用户 LED 灯

3.2 PS MIO 外设映射

MIO[0:25] Bank500		MIO[26:51] Bank501		MIO[52:77] Bank502	
0	SPII_SCLK	26	USB_RESET#	52	USB_CLKOUT
1	SPII_MO1	27	GPIO1	53	USB_DIR
2	SPII_MO2	28	TXD_R_GPS	54	USB_DATA2
3	SPII_MO3	29	RXD_R_GPS	55	USB_NXT
4	SPII_MO0	30	M2_PERST_R	56	USB_DATA0
5	SPII_CS	31	GPIO1	57	USB_DATA1
6	NC	32	GPIO1	58	USB_STP
7	SPIH_CS	33	GPIO1	59	SUB_DATA3
8	SPIH_MO0	34	DP_AUX_OUT	60	USB_DATA4
9	SPIH_MO1	35	DP_HPD	61	USB_DATA5
10	SPIH_MO2	36	DP_OE	62	USB_DATA6
11	SPIH_MO3	37	DP_AUX_IN	63	USB_DATA7
12	SPIH_SCLK	38	GPIO1	64	PHY_TX_CLK
13	LMK_REF_SEL0	39	GPIO1	65	PHY_TXD0
14	LMK_REF_SEL1	40	PHY_POR	66	PHY_TXD1
15	NC	41	GPIO1	67	PHY_TXD2
16	LMK_RESET	42	UART0_RX	68	PHY_TXD3
17	NC	43	UART0_TX	69	PHY_TX_CTRL
18	LMK_SPI_DOUT	44	GPIO1	70	PHY_RX_CLK
19	NC	45	SDIO_DETECT	71	PHY_RXD0
20	NC	46	SDIO_DAT0	72	PHY_RXD1
21	LMK_SPI_CS	47	SDIO_DAT1	73	PHY_RXD2
22	LMK_SPI_CLK	48	SDIO_DAT2	74	PHY_RXD3
23	LMK_SPI_DIN	49	SDIO_DAT3	75	PHY_RX_CTRL
24	I2C_SCL	50	SDIO_CMD	76	PHY_MDC
25	I2C_SDA	51	SDIO_CLK	77	PHY_MDIO

GTR Bank 505	
Lane0	PCIe Lane0
Lane1	USB3.0
Lane2	DP Lane1
Lane3	DP Lane0

3.3 M.2 接口

AXRF67 开发板配备了一个PCIe x1 标准的M.2 接口，用于连接 M.2 的 SSD 固态硬盘。M.2 接口使用 M key 插槽，只支持 PCI-E，不支持 SATA，用户选择 SSD 固态硬盘的时候需要选择 PCIE 类型的 SSD 固态硬盘。

PCIe 信号直接跟 ZU67DR 的 BANK505 PS MGT 收发器相连接，1 路 TX 信号和 RX 信号都是以差分信号方式连接到 MGT 的 LANE0 上。PCIe 的时钟由 100MHz 的差分时钟提供，M.2 电路设计示意图如下所示：

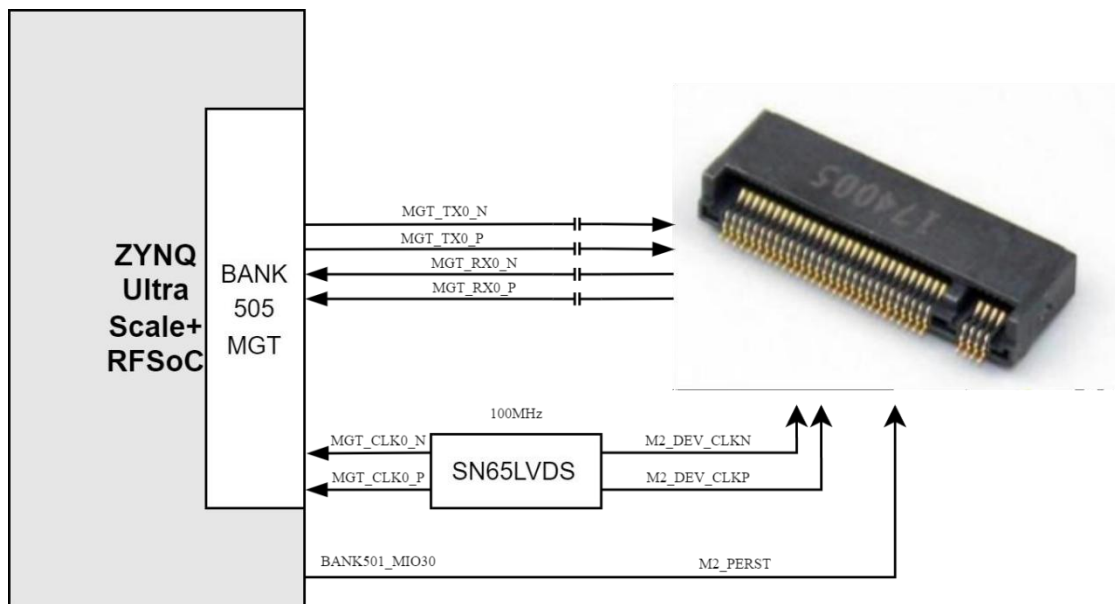


图 17 M.2 接口设计示意图

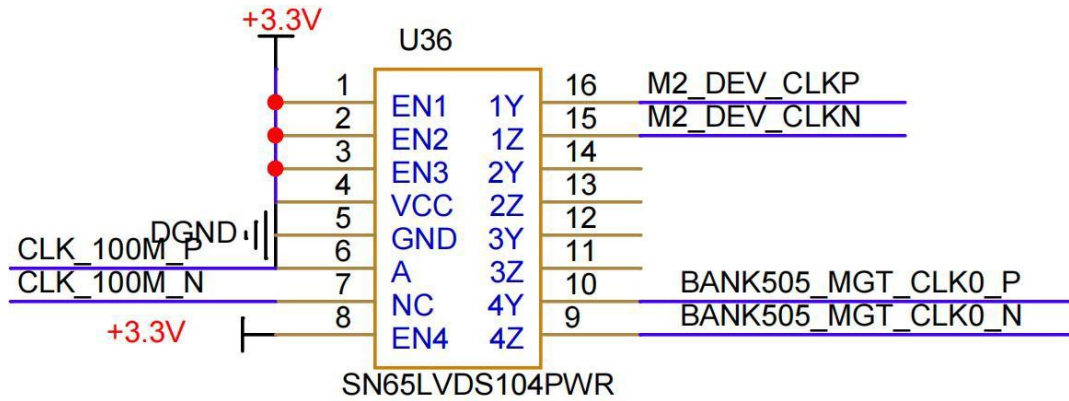


图 18 M.2 时钟分配

表 8 M.2 接口 ZYNQ 引脚分配

信号名称	ZYNQ 引脚号	M.2 连接器 J22	
		引脚号	名称
MGT_TX0_N	AA32	47	PETn0
MGT_TX0_P	AA31	49	PETp0
MGT_RX0_N	AB34	41	PERn0
MGT_RX0_P	AB33	43	PERp0
MGT_CLK0_N	Y30		
MGT_CLK0_P	Y29		

3.4 USB3.0 接口

AXRF67 载板上 1 个 USB3.0 接口，支持 HOST、SLAVE 工作模式，数据传输速率高达 5.0Gb/s。USB3.0 直接和外部 Type-A 接口连接，USB2.0 通过 ULPI 接口连接外部 USB3320C 芯片，实现高速的 USB3.0 和 USB2.0 数据通信。USB3.0 连接示意图如下：

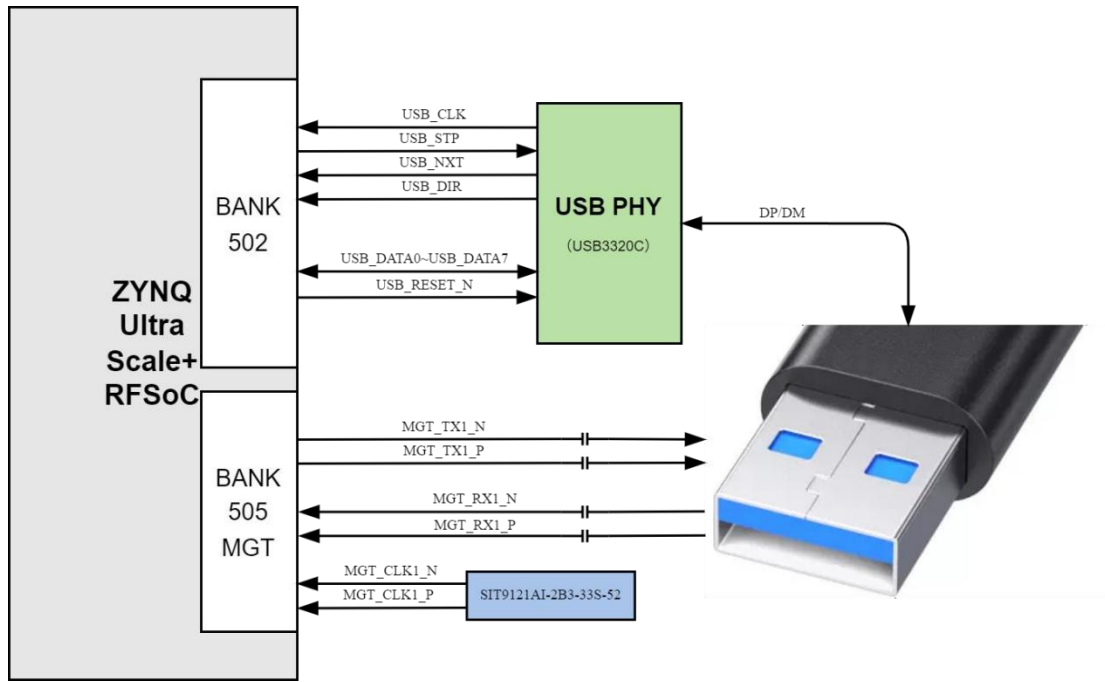


图 19 USB3.0 接口示意图

表 9 USB 接口引脚分配

信号名称	引脚名	ZYNQ 引脚号	备注
USB_TX_N	BANK505_MGT_TX1_N	W32	USB3.0 数据发送负
USB_TX_P	BANK505_MGT_TX1_P	W31	USB3.0 数据发送正
USB_RX_N	BANK505_MGT_RX1_N	Y34	USB3.0 数据接送负
USB_RX_P	BANK505_MGT_RX1_P	Y33	USB3.0 数据接送正
USB_DATA0	BANK502_PS_MIO56	G23	USB2.0 数据 Bit0
USB_DATA1	BANK502_PS_MIO57	F23	USB2.0 数据 Bit1
USB_DATA2	BANK502_PS_MIO54	H23	USB2.0 数据 Bit2
USB_DATA3	BANK502_PS_MIO59	D23	USB2.0 数据 Bit3
USB_DATA4	BANK502_PS_MIO60	A23	USB2.0 数据 Bit4
USB_DATA5	BANK502_PS_MIO61	E22	USB2.0 数据 Bit5
USB_DATA6	BANK502_PS_MIO62	B23	USB2.0 数据 Bit6
USB_DATA7	BANK502_PS_MIO63	C23	USB2.0 数据 Bit7
USB_STP	BANK502_PS_MIO58	B22	USB2.0 停止信号
USB_DIR	BANK502_PS_MIO53	F22	USB2.0 数据方向信号

USB_CLK	BANK502_PS_MIO52	G22	USB2.0 时钟信号
USB_NXT	BANK502_PS_MIO55	D22	USB2.0 下一个数据信号
USB_RESET_N	BANK501_PS_MIO26	K19	USB2.0 复位信号

3.5 千兆以太网接口

AXRF67 载板上有 1 路千兆以太网接口连接到 PS 端。以太网芯片采用 Ti 公司的 DP83867ISR 芯片为用户提供网络通信服务。PS 端的以太网 PHY 芯片连接到 ZYNQ 的 PS 端 BANK502 的 MIO 上。DP83867 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 ZYNQ 系统的 MAC 层进行数据通信。千兆以太网 PHY 芯片连接示意图如下图所示：

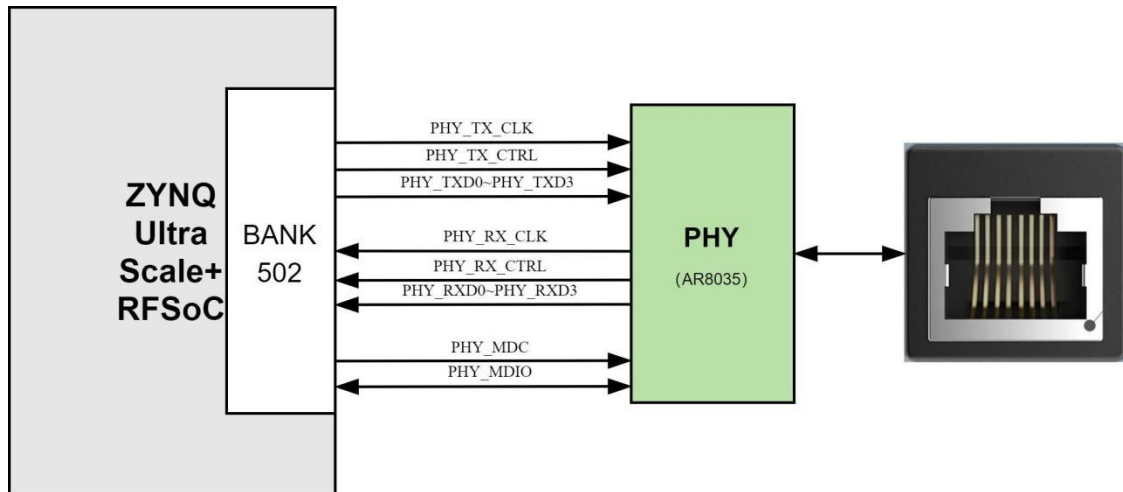


图 20 以太网连接示意图

表 10 DP83867 PHY 连接到 XCZU67DR RFSoc

信号名称	引脚名	引脚号	DP83867 PHY U109	
			引脚号	引脚名
PHY_TX_CLK	BANK502_PS_MIO64	D24	29	GTX_CLK
PHY_TXD0	BANK502_PS_MIO65	C24	28	TXD0
PHY_TXD1	BANK502_PS_MIO66	F24	27	TXD1
PHY_TXD2	BANK502_PS_MIO67	F25	26	TXD2

PHY_TXD3	BANK502_PS_MIO68	E25	25	TXD3
PHY_TX_CTRL	BANK502_PS_MIO69	E24	37	TX_EN
PHY_RX_CLK	BANK502_PS_MIO70	B25	32	RX_CLK
PHY_RXD0	BANK502_PS_MIO71	A24	33	RXD0
PHY_RXD1	BANK502_PS_MIO72	C25	34	RXD1
PHY_RXD2	BANK502_PS_MIO73	A25	35	RXD2
PHY_RXD3	BANK502_PS_MIO74	C26	36	RXD3
PHY_RX_CTRL	BANK502_PS_MIO75	B26	38	RX_CTRL
PHY_MDC	BANK502_PS_MIO76	E26	16	MDC
PHY_MDIO	BANK502_PS_MIO77	D26	17	MDIO
PHY_POR	BANK501_PS_MIO40	A18	43	RESET_N

3.6 Micro SD 卡座

AXRF67 载板包含一个 Micro SD 卡接口，以提供用户访问 SD 卡存储器，用于存储 BOOT 程序、Linux 操作系统内核、文件系统以及其它的用户数据文件。

SD 卡 IO 信号与 PS BANK501 的 MIO 信号相连，PS 和 SD 卡连接器连接示意图如下如所示：

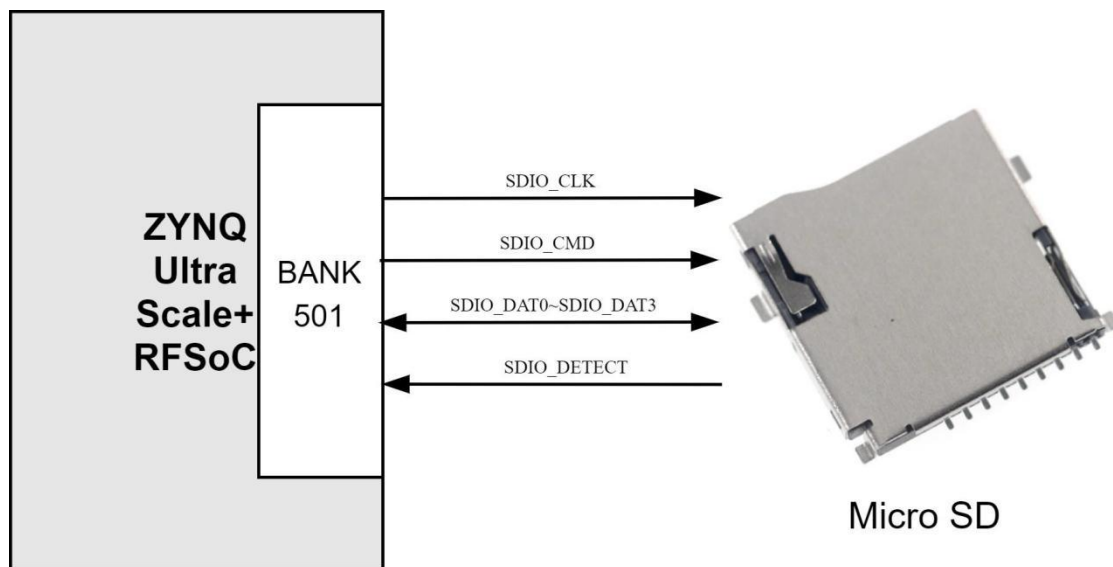


图 21 SD 卡连接示意图

表 11 SD 卡引脚分配

信号名称	引脚名	引脚号	备注
SDIO_CLK	BANK501_PS_MIO51	B21	SD 时钟信号
SDIO_CMD	BANK501_PS_MIO50	A22	SD 命令信号
SDIO_DAT0	BANK501_PS_MIO46	A20	SD 数据 Bit0
SDIO_DAT1	BANK501_PS_MIO47	D21	SD 数据 Bit1
SDIO_DAT2	BANK501_PS_MIO48	C21	SD 数据 Bit2
SDIO_DAT3	BANK501_PS_MIO49	E21	SD 数据 Bit3
SDIO_DETECT	BANK501_PS_MIO45	B20	SD 卡检测信号

3.7 DP 显示接口

AXRF67 载板上带有 1 路 mini DisplayPort 输出显示接口，用于视频图像的显示，接口支持 VESA DisplayPort V1.2a 输出标准。

DisplayPort 数据传输通道直接用 AXRF67 的 BANK505 PS MGT 驱动输出，MGT 的 LANE2、LANE3 信号以差分信号方式连接到 DP 连接器。DisplayPort 辅助通道连接到 PS 的 MIO 管脚上。DP 输出接口设计的示意图如下所示。

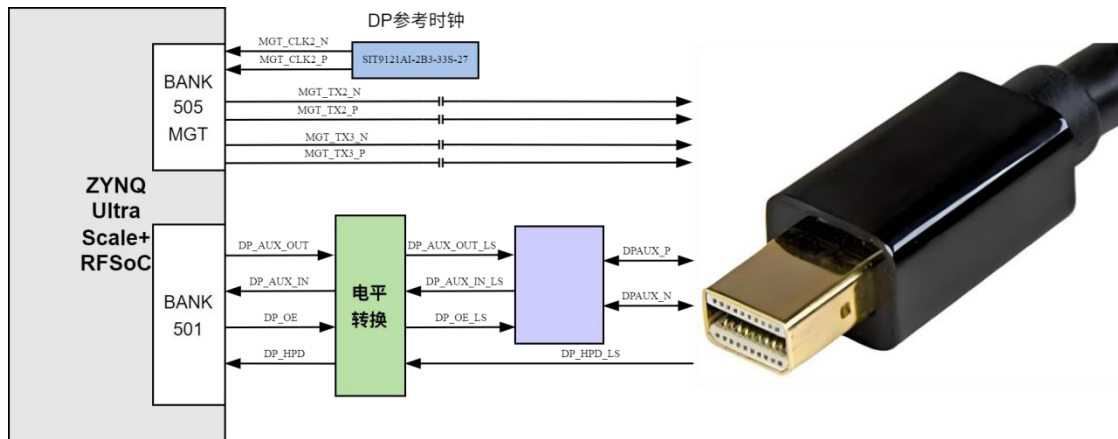


表 12 DisplayPort 与 ZYNQ 引脚分配

信号名称	引脚名	引脚号	备注
GT0_DP_TX_P	PS_MGT_TX3_P	R30	DP 数据发送正
GT0_DP_TX_N	PS_MGT_TX3_N	R31	DP 数据发送负
GT1_DP_TX_P	PS_MGT_TX2_P	U31	DP 数据发送正
GT1_DP_TX_N	PS_MGT_TX2_N	U32	DP 数据发送负

PS_MGT_DP_CLK_P	PS_MGT_CLK2_P	T28	DP 参考时钟正
PS_MGT_DP_CLK_N	PS_MGT_CLK2_N	T29	DP 参考时钟负
DP_AUX_OUT	BANK501_PS_MIO34	D18	DP 辅助数据输出
DP_AUX_IN	BANK501_PS_MIO37	E19	DP 辅助数据输入
DP_OE	BANK501_PS_MIO36	C18	DP 辅助数据输出使能
DP_HPD	BANK501_PS_MIO35	F20	DP 插入信号检测

3.8 光纤接口

AXRF67 载板上有 2 路光纤接口，1 路 SFP+接口，1 路 QSFP28 接口。2 路光纤接口分别跟 ZYNQ 的 BANK128、BAN129 上的 GTY 收发器相连接。BANK128 的 2 个参考时钟分别由 ACRF67 核心板的 LMK04828 芯片和载板上的差分晶振提供 156.25MHz。

QSFP28 接口连接示意图如下图所示：

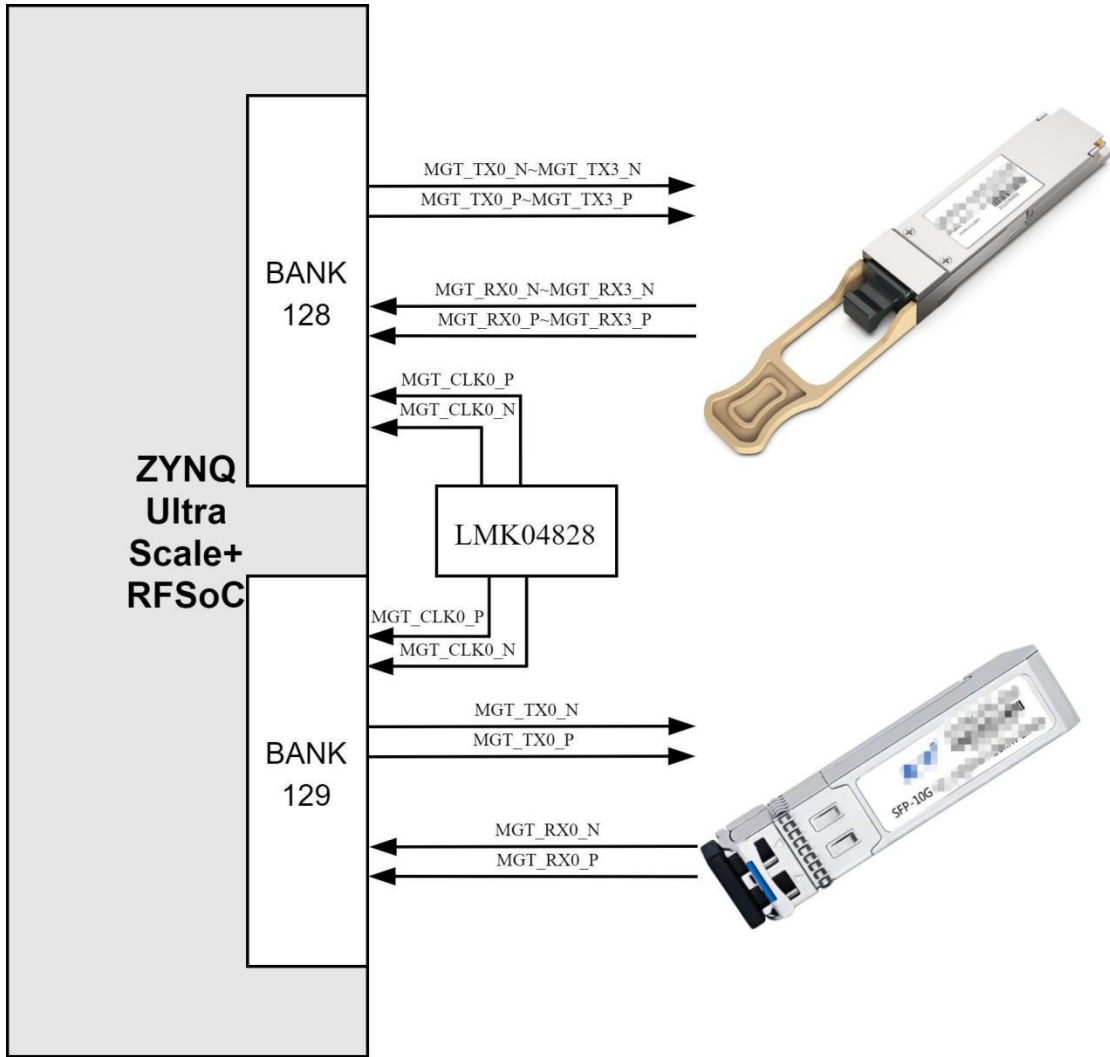


图 22 光纤设计示意图

表 13 QSFP 接口引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
QSFP_RX0_N	MGTYRXN0_128	P34	
QSFP_RX0_P	MGTYRXP0_128	P33	
QSFP_RX1_N	MGTYRXN1_128	M34	
QSFP_RX1_P	MGTYRXP1_128	M33	
QSFP_RX2_N	MGTYRXN2_128	K34	
QSFP_RX2_P	MGTYRXP2_128	K33	
QSFP_RX3_N	MGTYRXN3_128	H34	
QSFP_RX3_P	MGTYRXP3_128	H33	

QSFP_TX0_N	MGTYTXN0_128	N31	
QSFP_TX0_P	MGTYTXP0_128	N30	
QSFP_TX1_N	MGTYTXN1_128	L31	
QSFP_TX1_P	MGTYTXP1_128	L30	
QSFP_TX2_N	MGTYTXN2_128	J31	
QSFP_TX2_P	MGTYTXP2_128	J30	
QSFP_TX3_N	MGTYTXN3_128	G31	
QSFP_TX3_P	MGTYTXP3_128	G30	

表 14 BANK128 参考时钟分配

ZYNQ 引脚名	ZYNQ 引脚号	备注
MGTREFCLK0N_128	M29	LMK04828 的 SDCLKOUT3 输出
MGTREFCLK0P_128	M28	LMK04828 的 SDCLKOUT3 输出
MGTREFCLK1N_128	K29	载板 156.25MHz 晶振差分输出
MGTREFCLK1P_128	K28	载板 156.25MHz 晶振差分输出
MGTREFCLK0N_129	H29	LMK04828 的 SDCLKOUT1 输出
MGTREFCLK0P_129	H28	LMK04828 的 SDCLKOUT1 输出

表 15 SFP 接口引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SFP_RX0_N	MGTYRXN0_129	F34	
SFP_RX0_P	MGTYRXP0_129	F33	
SFP_TX0_N	MGTYTXN0_129	E31	
SFP_TX0_P	MGTYTXP0_129	E30	

低速控制 IO 处理:

表 16 光纤低速 IO 信号处理方式

QSFP 低速 IO 信号名	备注	SFP 低速 IO 信号名	备注
----------------	----	---------------	----

SCL	上拉 3.3v		TX_FULT	上拉 3.3v
SDA	上拉 3.3v		TX_DISABLE	接地
ModSelL	上拉 3.3v		RATE_SELECT0	上拉 3.3v
ResetL	上拉 3.3v		RATE_SELECT1	上拉 3.3v
ModPrsl	上拉 3.3v		LOS	上拉 3.3v
intL	上拉 3.3v			
LPMODE	接地			

3.9 JTAG&UART 接口

AXRF67 载板上预留了一个 JTAG&UART 接口，用于下载调试 FPGA 程序或者固化程序到FLASH。我们这里使用了FTDI的第5代USB设备芯片FT2232HQ芯片，它是一个 USB2.0 高速至 UART/FIFO 芯片，有两个多协议同步串行引擎允许使用 JTAG。具有在多种工业标准串行或并行接口配置的能力。

JTAG&UART 连接示意图如下图所示：

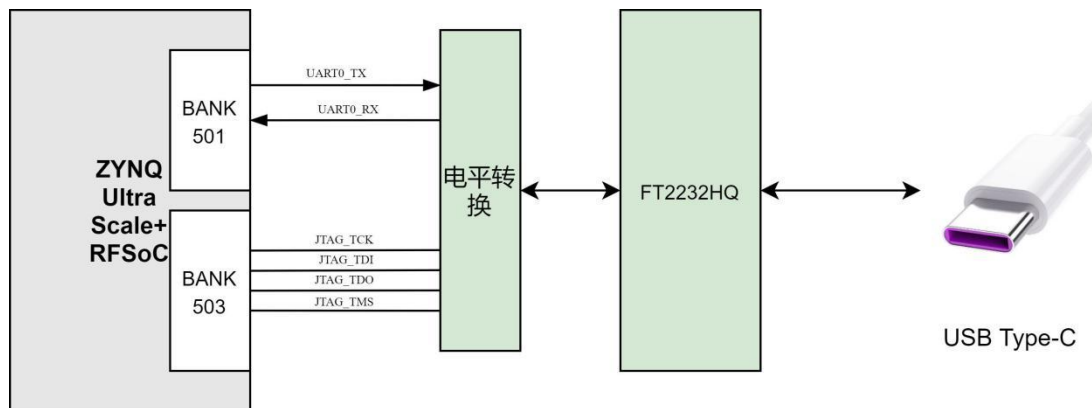


图 23 JTAG&UART 连接器连接示意图

信号名称	引脚名	引脚号	备注
UART0_TX	BANK501_PS_MIO43	A19	PS Uart 数据输出
UART0_RX	BANK501_PS_MIO42	E20	PS Uart 数据输入

3.10 GPS 模块

AXRF67 载板上配置有 GPS 模块 NEO-M8N，这是一款高性能的 GNSS 接收器模块，具有卓越的定位精度和灵敏度。该模块采用了最新的 u-blox M8 芯片，支持 GPS、GLONASS、BeiDou、Galileo 等多种卫星系统，能够提供全球范围内的定位数据。GPS 连接示意图如下图所示：

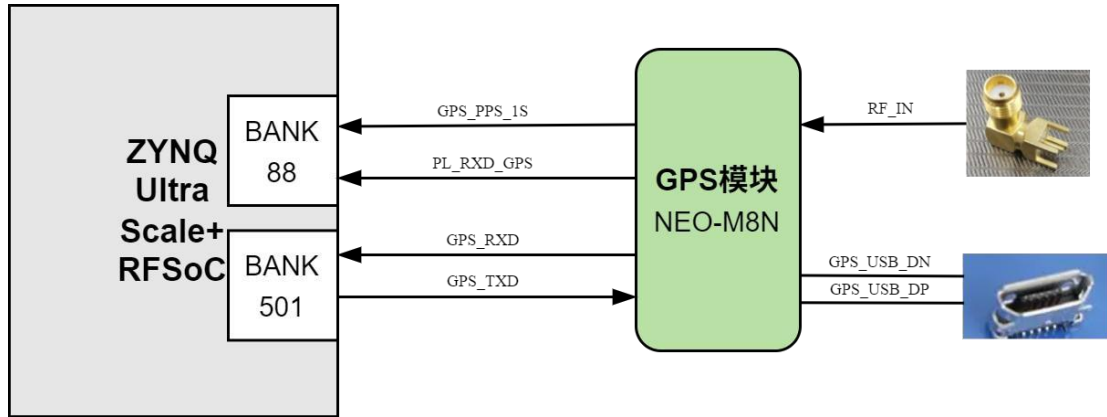


图 24 GPS 模块连接示意图

表 17 GPS 模块引脚分配

信号名称	引脚名	引脚号	备注
GPS_PPS_1S	IO_L10P_AD2P_89	K11	TIMEPLUSE
PL_RXD_GPS	IO_L12P_AD0P_89	K12	TXD_MISO

3.11 扩展 IO 和 LED 灯

AXRF67 载板扩展了 2 组 PL 端 IO (x8)，一组 PS 端 IO (x10)。

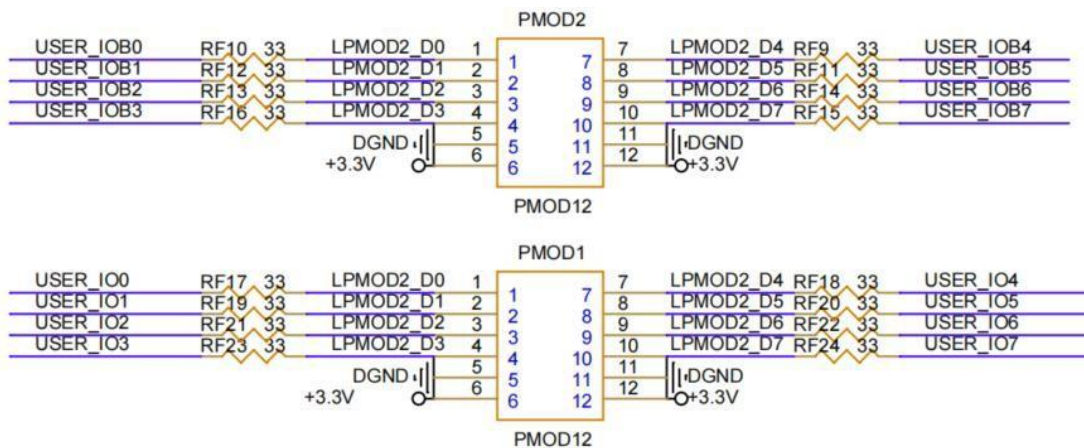


图 25 PL 端扩展 IO 电路连接图

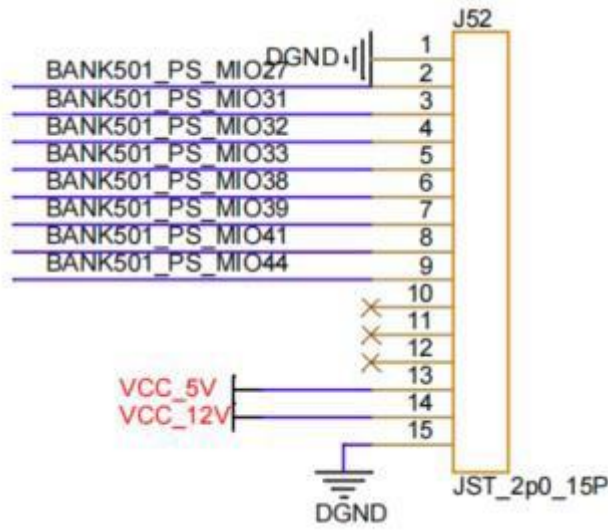


图 26 PS 端扩展 GPIO

表 18 PMOD1 扩展 IO 管脚分配

信号名称	引脚名	引脚号	备注
USER_IO0	IO_L7P_HDGC_AD5P_89	F10	
USER_IO1	IO_L5N_HDGC_AD7N_89	D11	
USER_IO2	IO_L6P_HDGC_AD6P_89	E10	
USER_IO3	IO_L4P_AD8P_89	D9	
USER_IO4	IO_L4N_AD8N_89	C9	
USER_IO5	IO_L3N_AD9N_89	A9	
USER_IO6	IO_L7N_HDGC_AD5N_89	F9	
USER_IO7	IO_L2P_AD10P_89	C10	

表 19 PMOD2 扩展 IO 管脚分配

信号名称	引脚名	引脚号	备注
USER_IOB0	IO_L12N_AD0N_89	J12	

USER_IOB1	IO_L11P_AD1P_89	J11	
USER_IOB2	IO_L11N_AD1N_89	H11	
USER_IOB3	IO_L8N_HDGC_AD4N_89	G10	
USER_IOB4	IO_L5P_HDGC_AD7P_89	E11	
USER_IOB5	IO_L7N_HDGC_AD5N_89	F9	
USER_IOB6	IO_L3P_AD9P_89	A10	
USER_IOB7	IO_L6N_HDGC_AD6N_89	E9	

表 20 J10 扩展 IO 管脚分配

信号名称	引脚名	备注
BANK501_PS_MIO27	PS_MIO27	
BANK501_PS_MIO31	PS_MIO31	
BANK501_PS_MIO32	PS_MIO32	
BANK501_PS_MIO33	PS_MIO33	
BANK501_PS_MIO38	PS_MIO38	
BANK501_PS_MIO39	PS_MIO39	
BANK501_PS_MIO41	PS_MIO41	
BANK501_PS_MIO44	PS_MIO44	

AXRF67 载卡上可以扩展出 4 个用户自定义的 LED 灯,4 个扩展 IO 引到了 2PIN 的 TJC3 直插针座上。

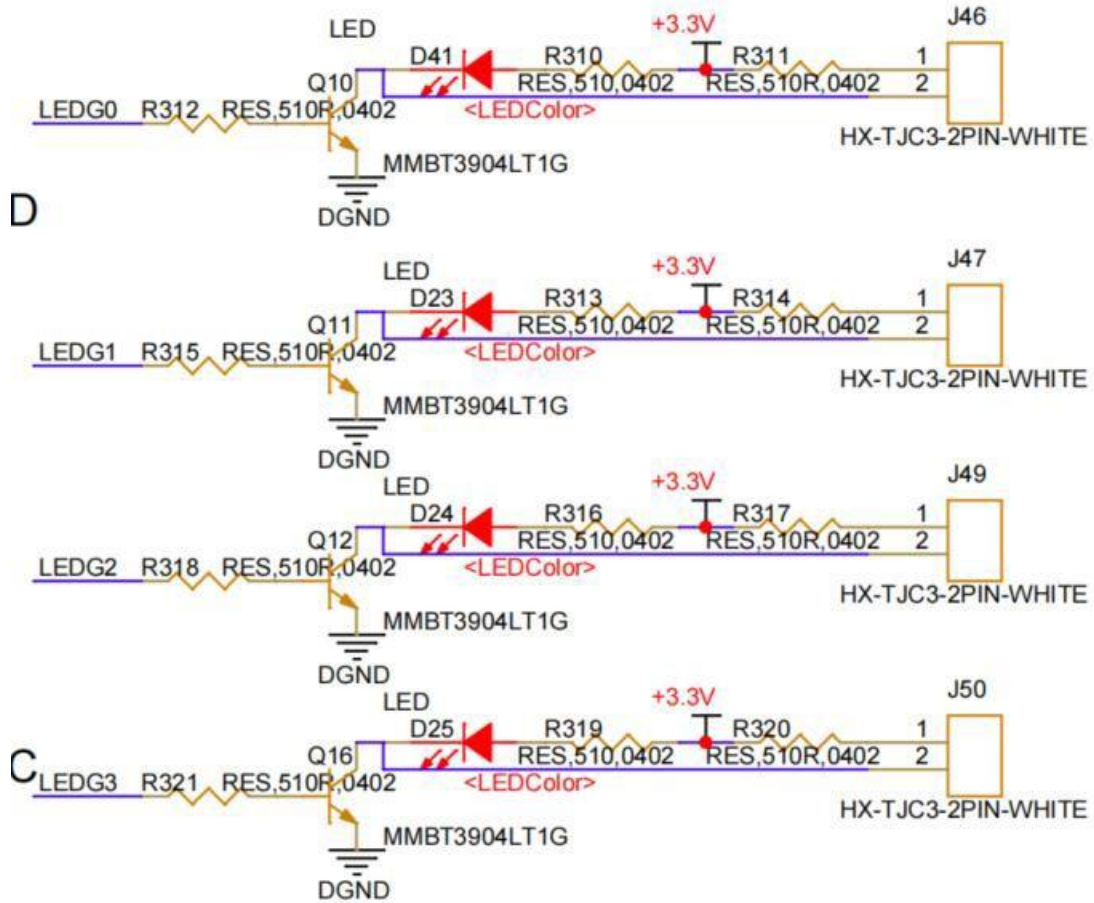


图 27 LED 灯扩展 IO 电路示意图

表 21 LED 灯扩展 IO 管脚分配

信号名称	引脚名	引脚号	备注
LEDG0	IO_L9N_AD3N_89	H9	
LEDG1	IO_L1N_AD11N_89	B11	
LEDG2	IO_L2N_AD10N_89	B10	
LEDG3	IO_L1P_AD11P_89	C11	

3.12 拨码开关配置

AXRF67 开发板上有两个 2 位的拨码开关 SWC1 和 SWC5 来配置 ZYNQ 系统的启动模式。AXRF67 开发平台支持 3 种启动模式，分别是 JTAG 调试模式、QSPI FLASH 和 SD 卡启动模式。RFSoc 芯片上电后会检测 (PS_MODE0~3) 的电平来决定那种启动模式。用户可以通过拨码开关 SWC1 和 SWC5 来选择不同

的启动模式。

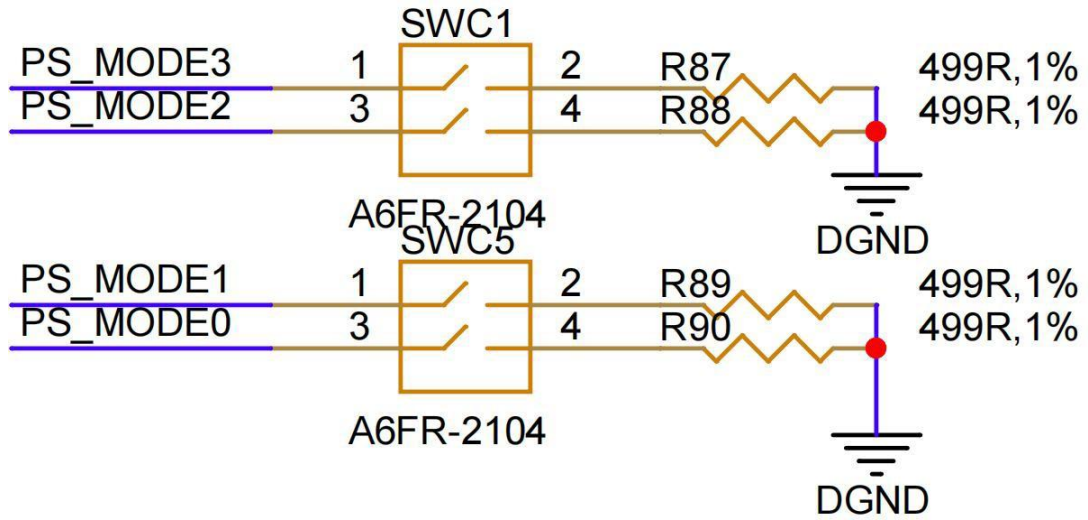


图 28 PS_MODE 电路示意图

PS_MODE3~PS_MODE0 位置如下图所示：

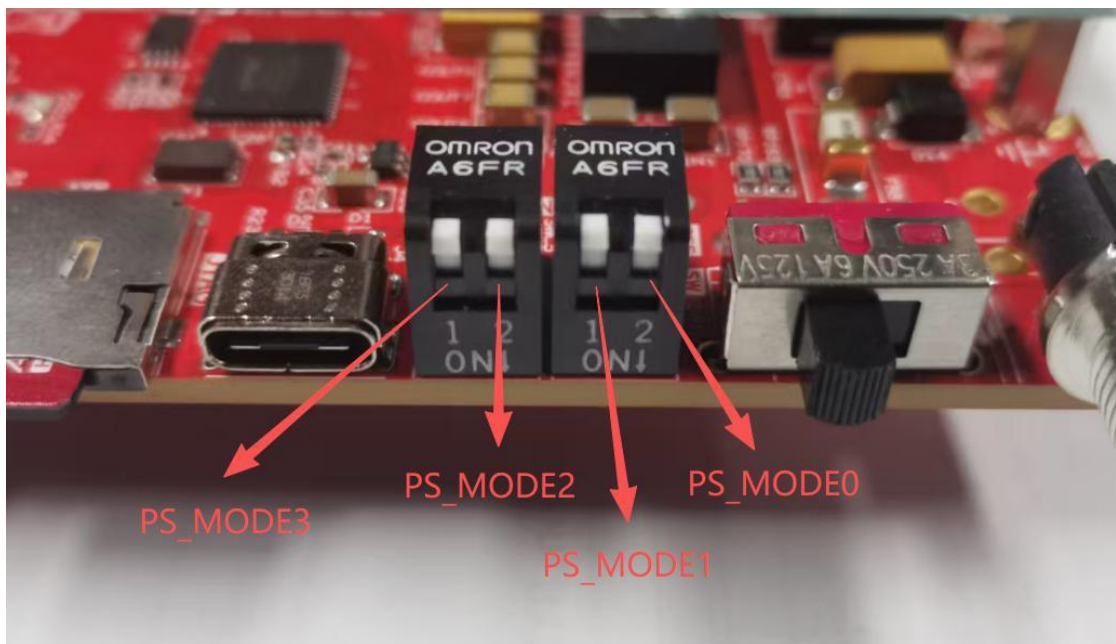


图 29 PS_MODE 位置

启动模式配置如下表所示。

表 22 启动模式配置

拨码 SWC1、SWC5 位置 (1、2、1、2)	MODE[3:0]	启动模式
------------------------------	-----------	------

ON, ON, ON, ON,	0000	JTAG
ON, ON, OFF, ON	0010	QSPI
OFF, OFF, OFF, ON	1110	SD

注意：在 SD 卡启动模式下，JTAG 功能依然可以正常使用；

3.13 电源

AXRF67 开发板的电源输入支持宽压输入 9 至 40V，可以支持常用的 9V、12V、24V、28V、36V 等常用电压。

载板上通过多路电源芯片产生+5V、+3.3V、2.5V、+1.8V、+1.0V 电源。

电源设计框图如下图所示：



图 30 AXRF67 载板电源接口部分

3.14 结构尺寸图

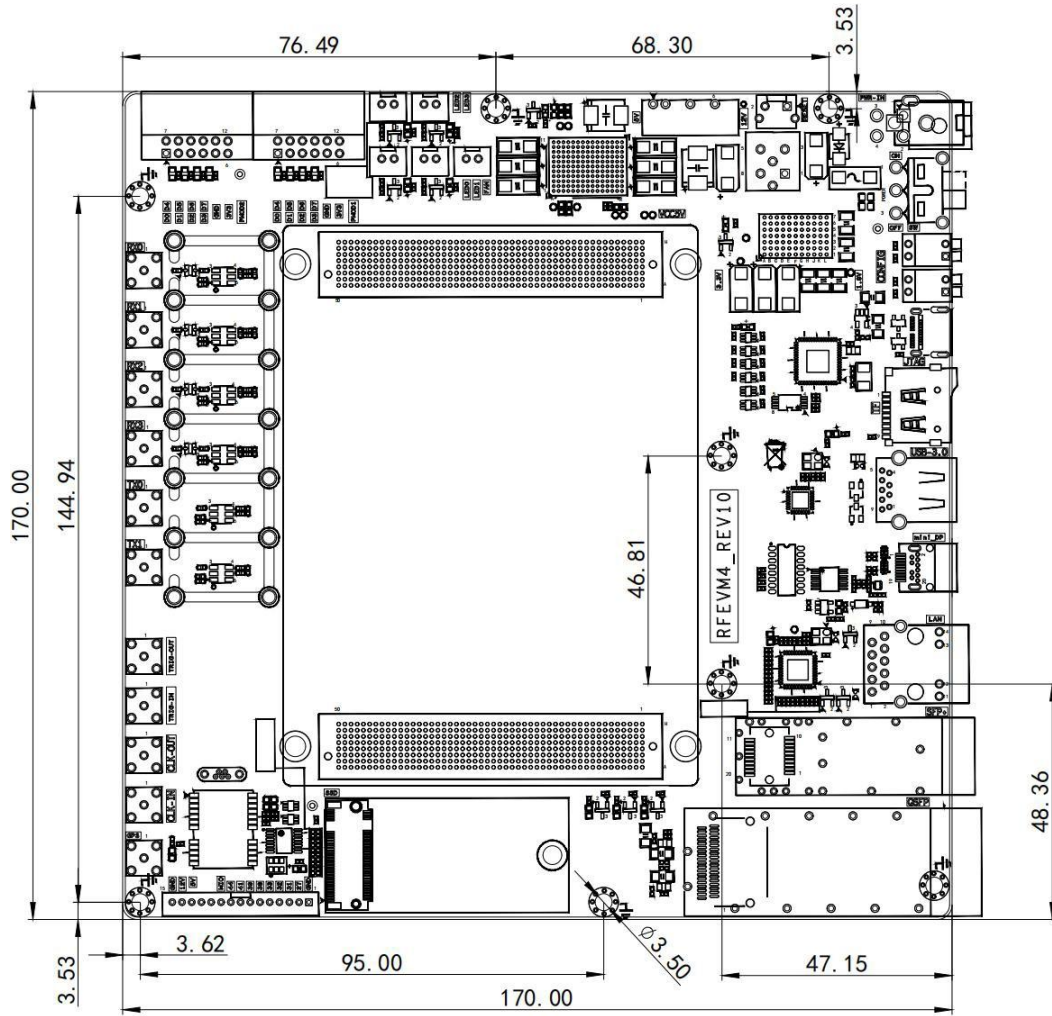


图 31 AXRF67 正面图