



# Xilinx FPGA 开发平台 用户手册

## AXVU13G 开发板

编制/日期:

审核/日期 :

批准/日期:

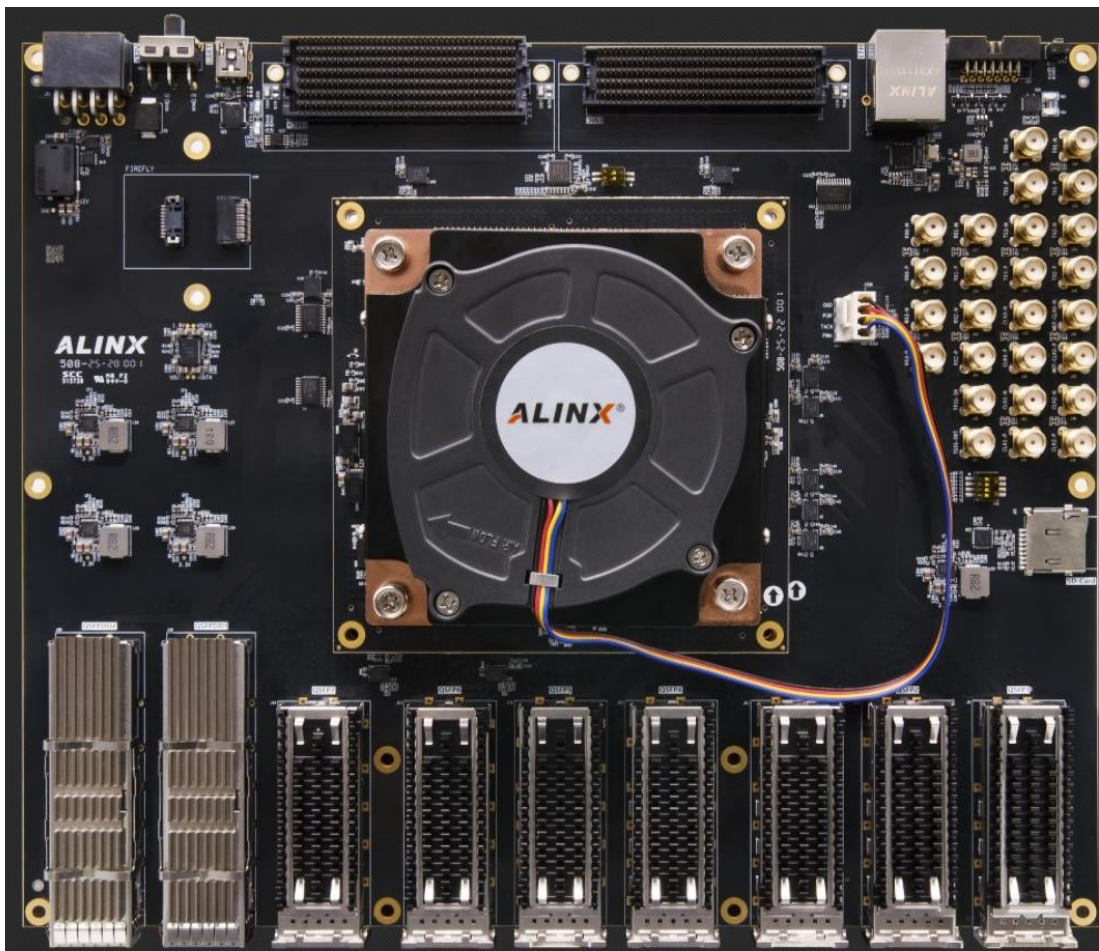
## 文档修改履历

文档版本	修改章节	修改描述	修改人	修改日期
REV1.0		创建文档		

## 目 录

文档修改履历 .....	2
一、 开发平台简介 .....	5
二、 ACVU13 核心板 .....	8
(一) FPGA 芯片 .....	8
(二) DDR4 DRAM .....	9
(三) QSPI Flash .....	10
(四) 时钟配置 .....	11
(五) LED 灯 .....	12
(六) 电源 .....	13
(七) 连接器管脚定义 .....	15
(八) 结构图 .....	15
三、 扩展板 .....	16
(一) 简介 .....	16
(二) QSFP-DD 接口 .....	16
(三) QSFP28 接口 .....	17
(四) FMC+ 接口 .....	18
(五) FMC 接口 .....	19
(六) USB 转接口 .....	19
(七) SMA 接口 .....	20
(八) 千兆网接口 .....	20
(九) SD 卡槽 .....	22
(九) 按键和 LED 灯 .....	23
(十) 拨码开关 .....	23
(十一) 风扇接口 .....	24
(十二) JTAG 调试口 .....	24
(十三) 电源 .....	25
(十四) 结构尺寸图 .....	27

芯驿电子科技（上海）有限公司基于 Xilinx FPGA Virtex Ultrascale+ 的 AXVU13G 开发平台发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。这款 Virtex Ultrascale+ FPGA 开发平台采用核心板（ACVU13）+底板（AXVU13G）模式，核心板主芯片使用 Xilinx 的 Virtex Ultrascale+ 芯片 XCVU13PFHGB2104 的解决方案，挂载了 2 组 DDR4，每组位宽高达 80 bits；配备 2Gb 的 QSPI FLASH，同时通过高速连接器引出 GTY 收发器和可用 IO 接口。底板扩展了如下外设：2 个 QSFPDD 接口、7 个 QSFP 接口、1 个 FMC+ 接口、1 个 FMC HPC 接口、1 路千兆网接口、4 路差分 SAM 的高速收发器输入接口、4 路差分 SAM 的高速收发器输出接口、1 路 UART 串口接口、1 路 SD 卡卡座以及按键和 LED 指示灯等。可满足用户各种高速数据交换，数据加速、工业控制、多种复杂算法模型验证等要求，是一款“专业级”的 FPGA 开发验证平台。



AXVU13G 开发验证平台

## 一、 开发平台简介

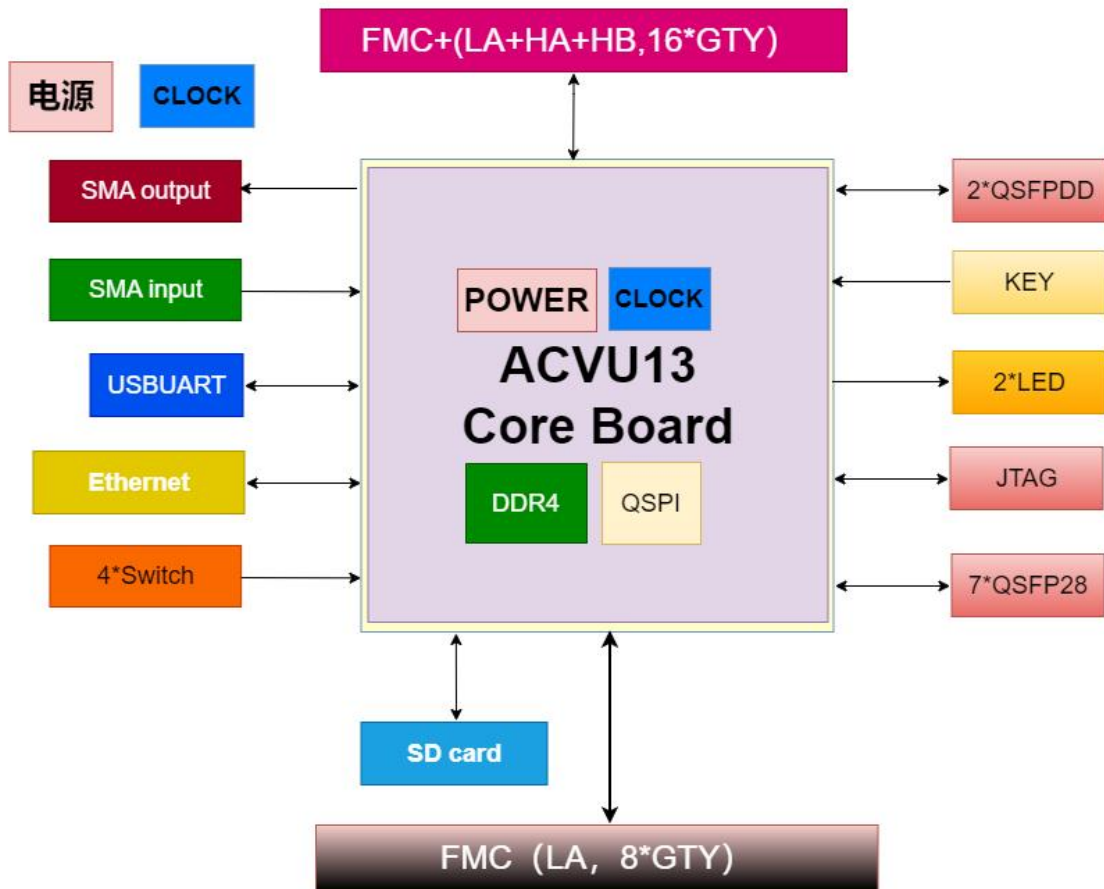
在这里，对这款 Virtex Ultrascale+ AXVU13G 开发平台进行简单的功能介绍。

开发平台的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 XCVU13P-2FHGB2104+10 个 DDR4 + QSPI FLASH 的最小系统构成。采用 Xilinx 的 Virtex Ultrascale+系列的芯片，型号为 XCVU13P-2FHGB2104I。在 FPGA 芯片的 HP 端口上连接了 2 组 80 位的数据位宽的 DDR4；每组 5 片，每片 DDR4 容量高达 2GB 字节。同时配有 2 个 1Gb 的 QSPI FLASH 用来静态存储 FPGA 芯片的配置文件或者其它用户数据。

底板扩展了如下外设：2 个 QSFPDD 接口、7 个 QSFP28 接口、1 个 FMC+接口、1 个 FMC HPC 接口、1 路千兆网接口、4 路差分 SAM 的高速收发器输入接口、4 路差分 SAM 的高速收发器输出接口、1 路 UART 串口接口、1 路 SD 卡卡座以及按键和 LED 指示灯等。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- FPGA 核心板

由 XCVU13P-2FHGB2104+10 个 DDR4 + QSPI FLASH 和电源组成的最小系统。另外有两个晶振提供时钟，2 个 200MHz 晶振提供为 FPGA 逻辑和 DDR 控制参考时钟。

- QSFP-DD 接口

板载 2 个 QSFP-DD 接口，每个 8 通道共 16 通道，连接到 FPGA 的 GTY 收发器，单通道通信速率可高达 25GBaud。

- QSFP28 接口

7 个 QSFP28 接口，每个 4 通道共 28 通道，连接到 FPGA 的 GTY 收发器，单通道通信速率可高达 25GBaud。

- 1 路 FMC+接口

FPGA 中的 16 高速收发器连接到 FMC + 专的高速管脚上，同时引出 34 对 LA 信号差分对和 2 对时钟信号、24 对 HA 和 22 对 HB 信号以及 24 对高速收发器.可满足高速信号传输要求，符合 FMC+标准，可以各种 FMC+和 FMC 模块。

- 1 路 FMC HPC 接口

FPGA 中的 8 路高速收发器连接到 FMC HPC 专用的高速管脚上，同时引出 34 对 LA 信号差分对和 2 对时钟信号，可满足高速信号传输要求，符合 FMC 标准，可以各种 FMC 模块（HDMI 输入输出模块，高速 AD 模块等等）。

- 1 路千兆网接口

千兆以太网接口芯片采用 JL2121D 以太网 PHY 芯片为用户提供网络通信服务。芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

对高速收发器.可满足高速信号传输要求，符合 FMC+标准，可以各种 FMC+和 FMC 模块。

- SMA 输入输出接口

其中 9 对 SMA 差分接口连接到 FPGA 高速收发器管脚上，3 对 SMA 差分接口连接到 FPGA 的 HPIO 上，可用于客户外接高速收发器和差分对信号验证。

- 4 位拨码开关

方便客户简单的输入验证。

- JTAG 调试口

1 个 14 针 2.00mm 标准的 JTAG 口,用于 FPGA 程序的下载和调试,用户可以通过 XILINX 下载器对 FPGA 系统进行调试和下载。

- LED 灯

6 个发光二极管 LED, 核心板上 2 个,底板上 4 个。核心板上 1 个用户指示灯;1 个 DONE 配置指示灯。2 个用户指示灯和 2 个串口指示灯。

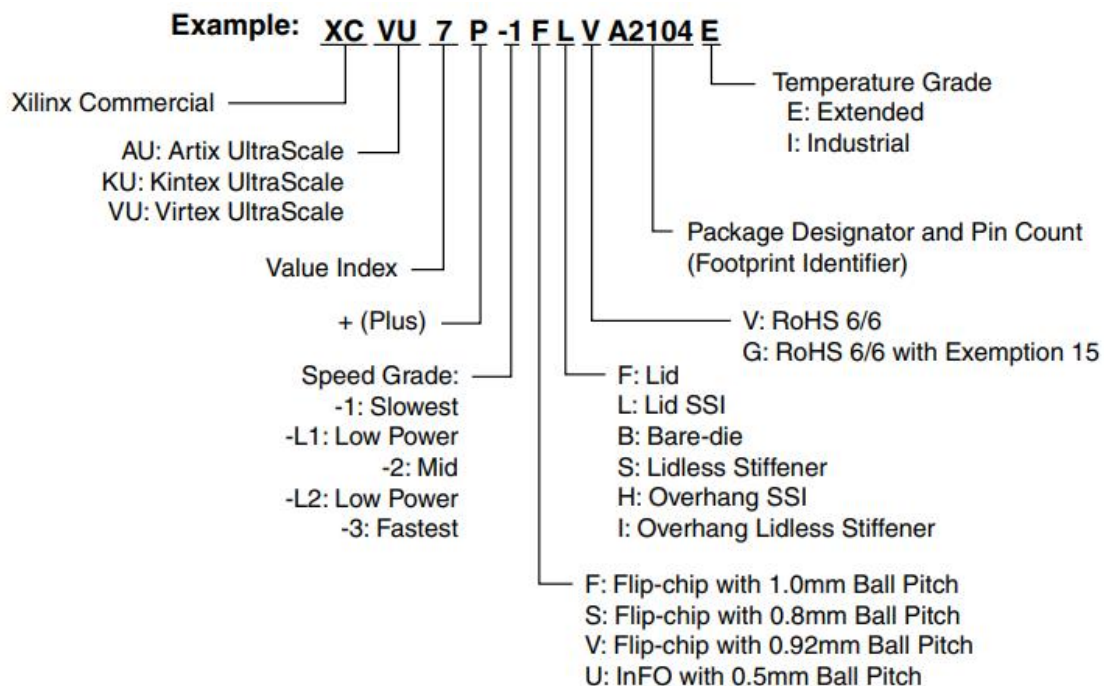
- 按键

底板上 1 个用户按键。

## 二、 ACVU13 核心板

### (一) FPGA 芯片

前面已经介绍过了，我们所使用的 FPGA 型号为 XCVU13P-2FHGB2104I，属于 Xilinx 公司 Virtex UltraScale+ 系列的产品，速度等级为 2，温度等级为工业级。此型号为 FHGB2104 封装，2104 个引脚。Xilinx Virtex UltraScale+ FPGA 的芯片命名规则如下：



其中 FPGA 芯片的主要参数如下所示：

名称	具体参数
Logic Cells	3780K
触发器(FF)	3456K
LUTs	1728K
Total Block RAM	94.5Mb
UltraRAM	360Mb
DSP Slices	12,288
CMTs	16
GTY/Gb/s	76/28.21Gb
PCIe Gen3 x16	4
速度等级	-2
温度等级	工业级

## (二) DDR4 DRAM

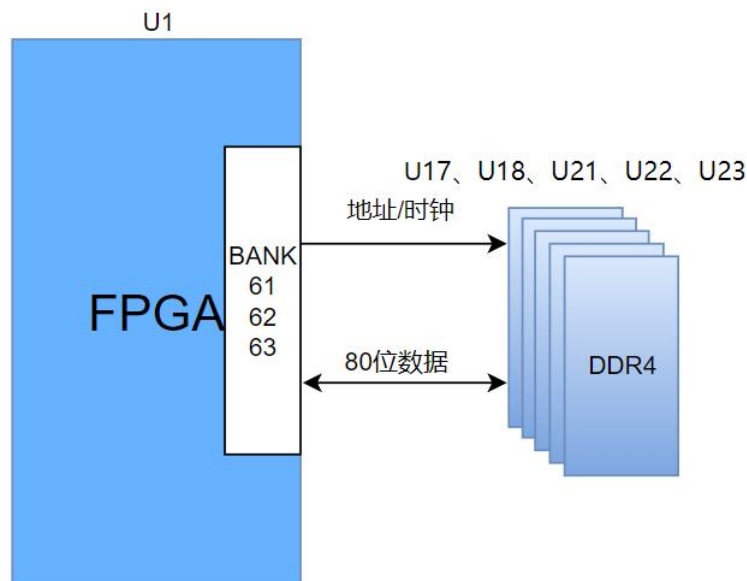
ACVU13开发板上配有2组DDR4内存，每组5片Micron(美光)的2GB的DDR4芯片，型号为MT40A1G16KD-062E，连接在FPGA的HP端，组成80位数据总线和10GB的容量。DDR4 SDRAM的在FPGA端的最高运行数据速率2666Mbps，其中一组DDR4内存连接到FPGA的BANK 61、62、63；另一组则连接到BANK 72、73、74。DDR4 SDRAM的具体配置如下表2-3-1所示。

表 2-3-1 DDR4 SDRAM 配置

存储器	位号	芯片型号	容量	厂家
第一组	U17、U18、U21、U22、U23	MT40A1G16KD-062E	1024Mx 16bit	Micron
第二组	U24、U25、U28、U29、U30			

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

FPGA 端的 2 组 80 位 DDR4 的硬件连接方式如图 2-3-1 所示:



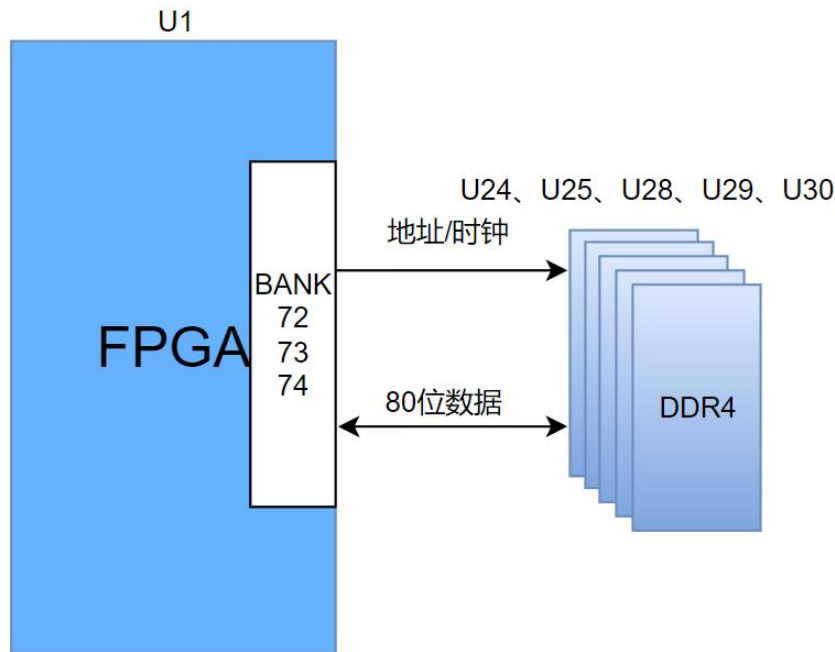


图2-3-1 DDR4 DRAM原理图部分

图 2-3-2 为 DDR4 DRAM 实物图



图 2-3-2 5 片 DDR4 DRAM 实物图

### 两组 DDR4 SDRAM 的 FPGA 引脚分配

见文件 ACVU13 Pin Assignment.xls 中的 C0\_DDR4 与 C1\_DDR4。

### (三) QSPI Flash

核心板配有 2 片 1Gbit 大小的 Quad-SPI FLASH 芯片,型号为 MT25QU01G BBB1EW9, 它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性,在使用中, 它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 1-3-1。

表2-4-1 QSPI Flash的型号和参数

位号	芯片类型	容量	厂家
U10、U11	MT25QU01G BBB1EW9	1Gbit	Micron

QSPI FLASH 连接到 FPGA 芯片的的专用管脚上，其中时钟管脚连接到专用 BANK0 的 CCLK0 上，数据管脚分别连接到 BANK0 和 BANK65 上。图 2-3-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。

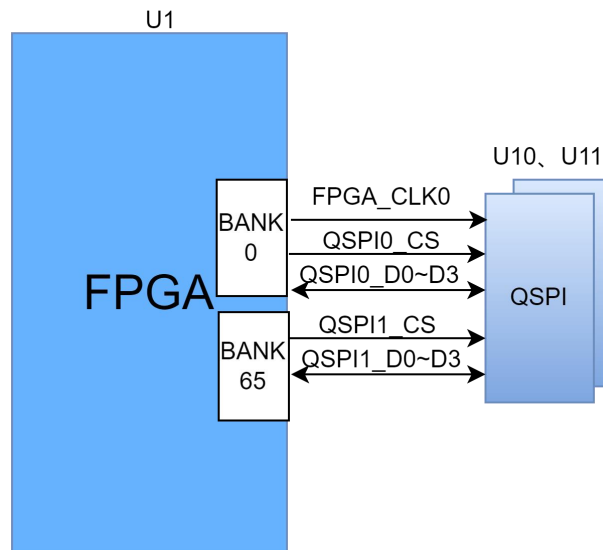


图 2-3-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	FPGA 管脚名	FPGA 管脚号
QSPI_CLK	CCLK_0	AG13
QSPI0_CS	RDWR_FCS_B_0	AG12
QSPI0_DQ0	D00_MOSI_0	AK12
QSPI0_DQ1	D01_DIN_0	AJ12
QSPI0_DQ2	D02_0	AL12
QSPI0_DQ3	D03_0	AH12
QSPI1_CS	IO_L2N_T0L_N3_FWE_FCS2_B_65	BF27
QSPI1_DQ0	IO_L22P_T3U_N6_DBC_AD0P_D04_65	AM26
QSPI1_DQ1	IO_L22N_T3U_N7_DBC_AD0N_D05_65	AN26
QSPI1_DQ2	IO_L21P_T3L_N4_AD8P_D06_65	AL25
QSPI1_DQ3	IO_L21N_T3L_N5_AD8N_D07_65	AM25

## (四) 时钟配置

### FPGA 系统时钟源

板上提供了 2 个 200MHz 差分晶振，可为 DDR 控制器及 FPGA 逻辑提供参考时钟。晶

振输出连接到 FPGA BANK63 和 BANK73 的全局时钟上，可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-4-1 所示

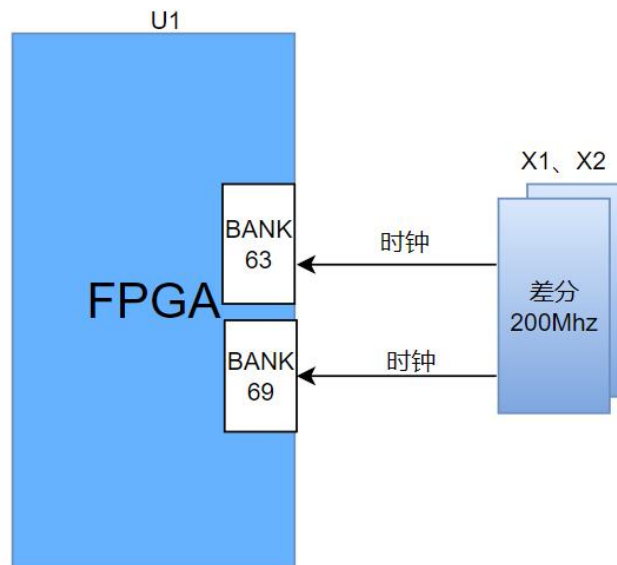


图 2-4-1 系统时钟源

#### 时钟引脚分配:

信号名称	FPGA 管脚名	FPGA 管脚号
C0_DDR4_CLKREF_N	IO_L14N_T2L_N3_GC_63	AE33
C0_DDR4_CLKREF_P	IO_L14P_T2L_N2_GC_63	AD33
C1_DDR4_CLKREF_N	IO_L14N_T2L_N3_GC_73	G19
C1_DDR4_CLKREF_P	IO_L14P_T2L_N2_GC_73	G20

## (五) LED 灯

核心板上有2个红色LED灯，其中1个是配置LED灯(DONE)，还有一个用户指示灯。当FPGA 配置程序后，配置LED灯会亮起。用户指示灯可用于自定义功能指示。LED灯硬件连接的示意图如图2-5-1所示。

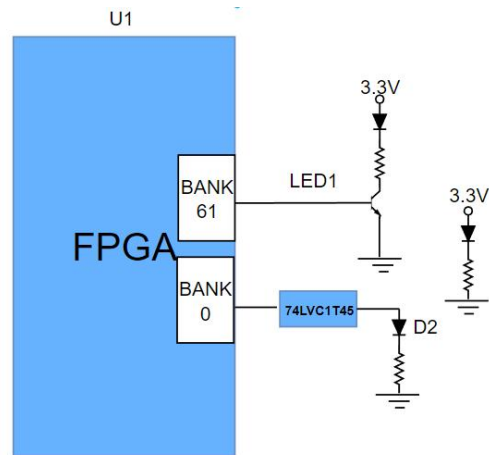


图2-5-1 LED灯连接

## (六) 电源

ACVU13 核心板供电电压为+12V，通过连接底板供电。板上的电源设计示意图如下图 2-6-1 所示：

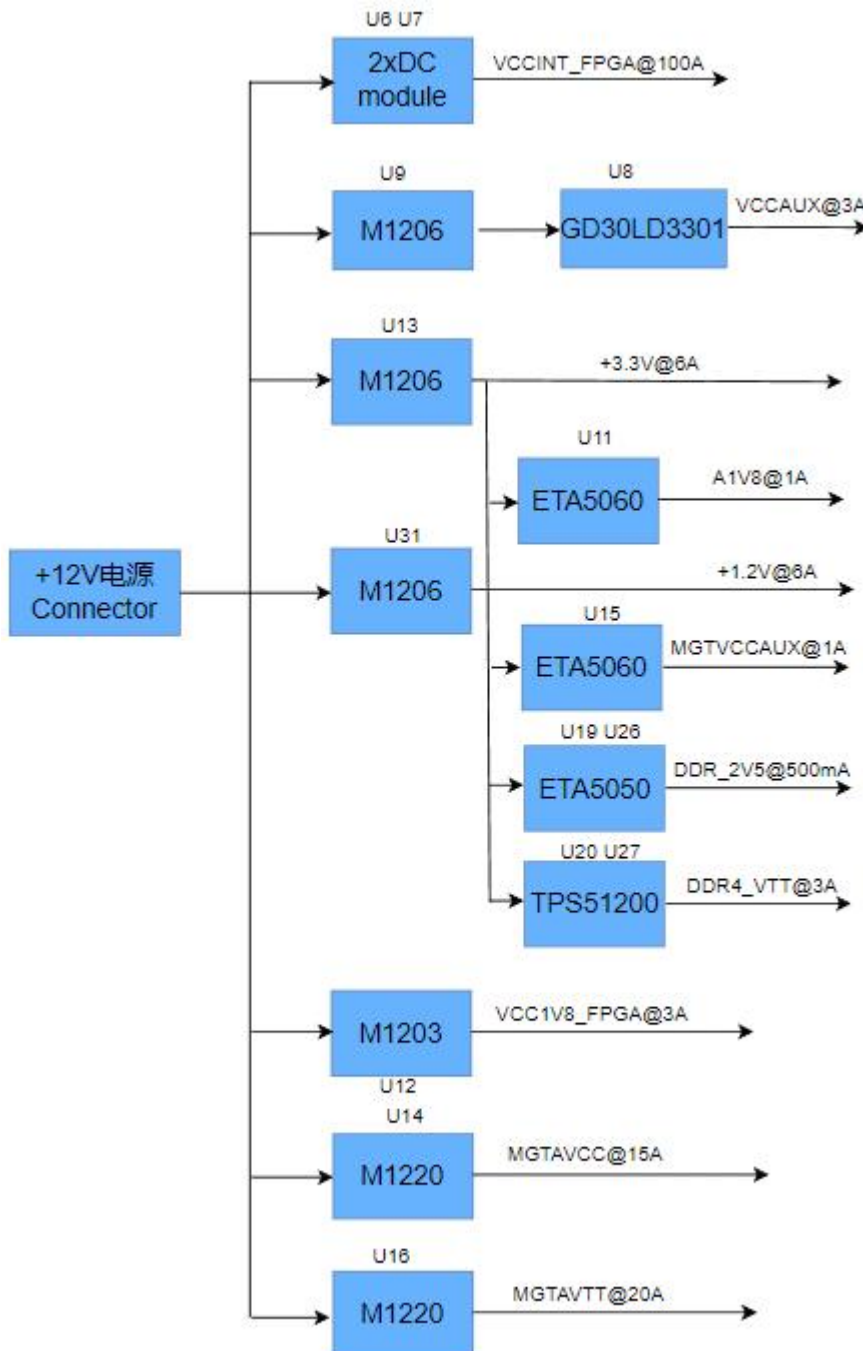


图 2-6-1 LED灯连接示意图

+12V 电源通过板间连接器（J2）输入，然后由 DCDC 电源模块产生 FPGA 内核电源，输出电流高达 100A，可满足核心电压的电流需求。+12V 电源再通过其它电源芯片和模块输出核心板所需的各路电源：GD30LD3301 产生 VCCAUX，M1206 产生 +3.3V 和 +1.2V；M1220 产生 MGTAVCC，MGTAVTT 电源，给 FPGA 高速收发器供电。另外 +3.3V 通过 2 个 LDO 芯片 ETA5060 产生高速收发器的辅助电源和 FPGA 的 ADC 供电电源 +1.8V；2 组 DDR4 的 VTT 和 DDR2V5 电源电压由 TPS51200 和 ETA5050 产生。

因为 FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照芯片的电源要求设计，

保证芯片的正常工作。

## (七) 连接器管脚定义

核心板一共扩展出 8 个高速扩展口，使用 8 个 240Pin 的板间连接器 (J1~J8) 和底板连接，核心板供电由 J2 连接器输入。

### 连接器的引脚分配

见文件 ACVU13 Pin Assignment.xls 中 J1~J8。

## (八) 结构图

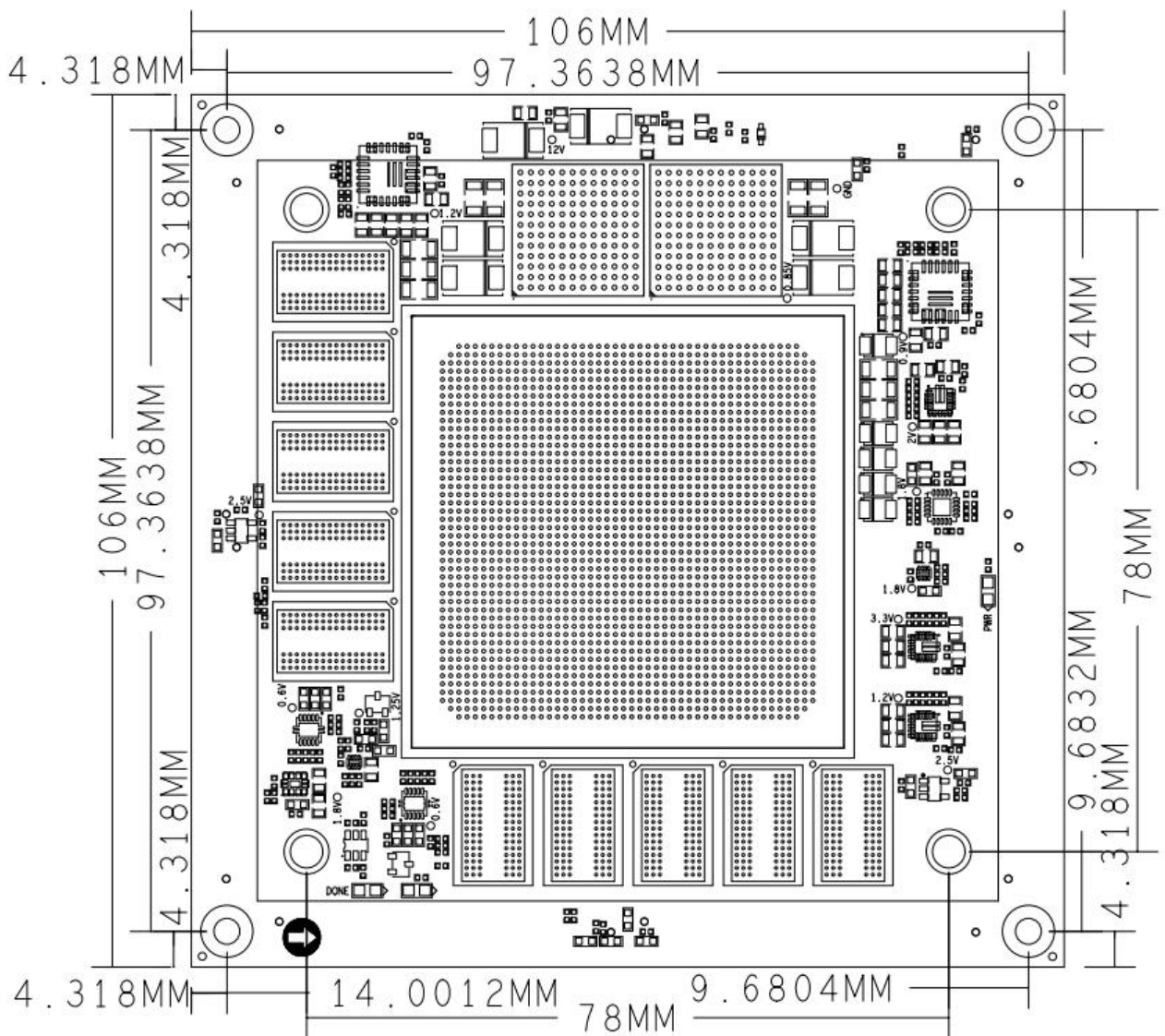


图 2-8-1 正面图 (Top View)

## 三、 扩展板

### (一)简介

通过前面的功能简介，可以了解到扩展板功能接口如下：

- 2 个 QSFP-DD 接口
- 7 个 QSFP28 接口
- 1 路 FMC+接口
- 1 路 FMC HPC 接口
- 1 路千兆网接口
- USB Uart 接口
- Micro SD 卡座
- SMA 输入输出接口
- 4 位拨码开关
- JTAG 调试口
- LED 灯
- 按键

### (二) QSFP-DD 接口

AXVU13G 扩展板上有 2 个 QSFP-DD 的光纤接口：QSFPDD1 和 QSFPDD2。每路光纤收发器集成了 8 发送通道和 8 接收通道，这种 8 通道的可插拔接口传输速率达到了 200Gbps。QSFPDD1 接口连接到 FPGA 高速收发器的 BANK230 和 BANK231 上；QSFPDD2 接口连接到 FPGA 高速收发器的 BANK232 和 BANK233 上，其它光纤控制信号线连接到 BANK70 与 BANK71 上。QSFP-DD 接口的连接如下图 3-2-1 所示：

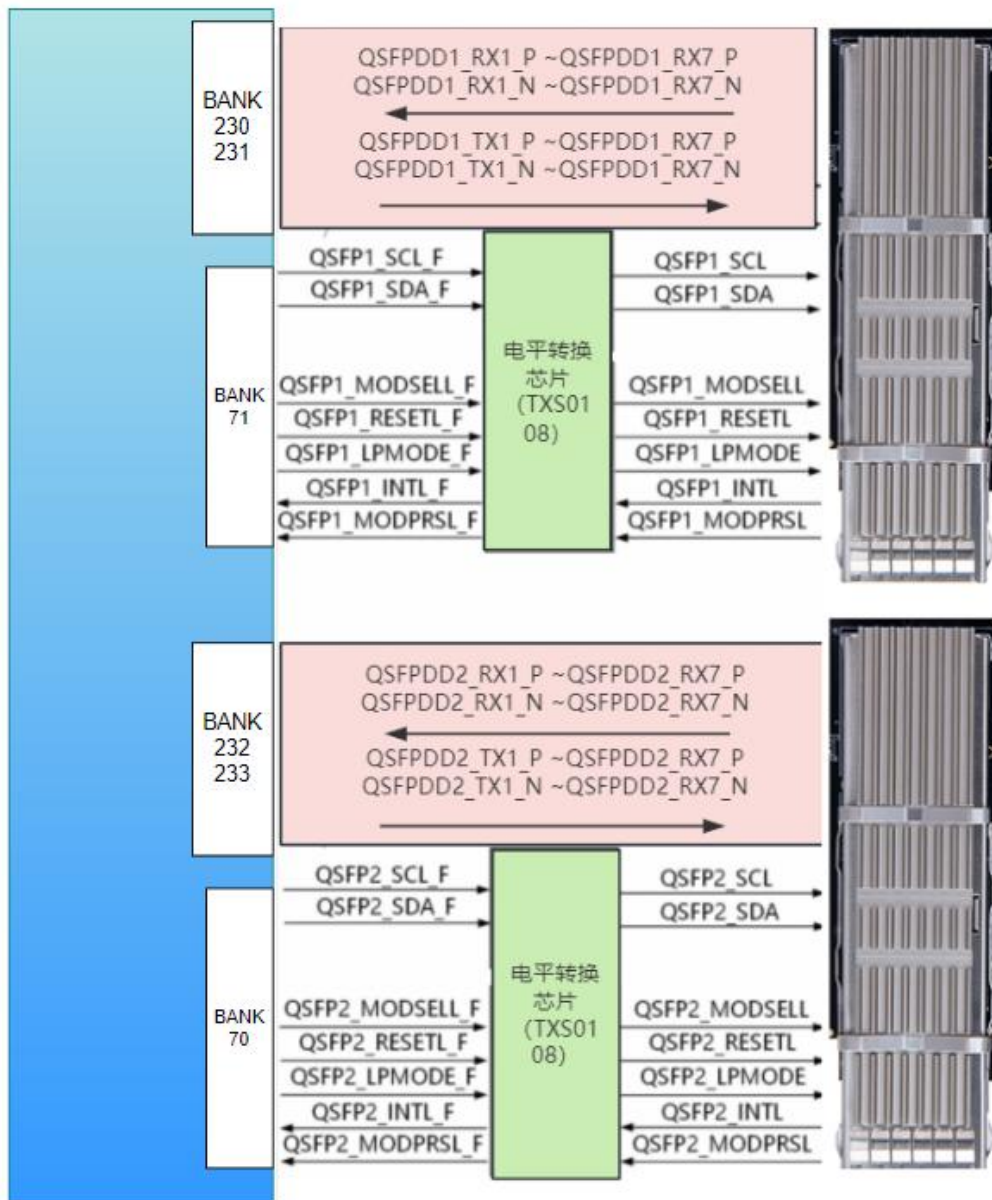


图 3-2-1 QSPF-DD 示意图

### QSPFDD1 与 QSPFDD2 接口 FPGA 引脚分配

见文件 AXVU13G Pin Assignment.xls 中管脚分配。

## (三) QSPF28 接口

AXVU13G 扩展板上集成了 7 个 QSPF28 的光纤接口: QSPF1、QSPF2...QSPF7 共 7 路。每路光纤收发器集成了 4 发送通道和 4 接收通道,4 通道的传输速率可达 100Gbps。QSPF28 接口连接到 FPGA 高速收发器。下面以 QSPF1 接口为例,其硬件连接如下图 3-3-1 所示:

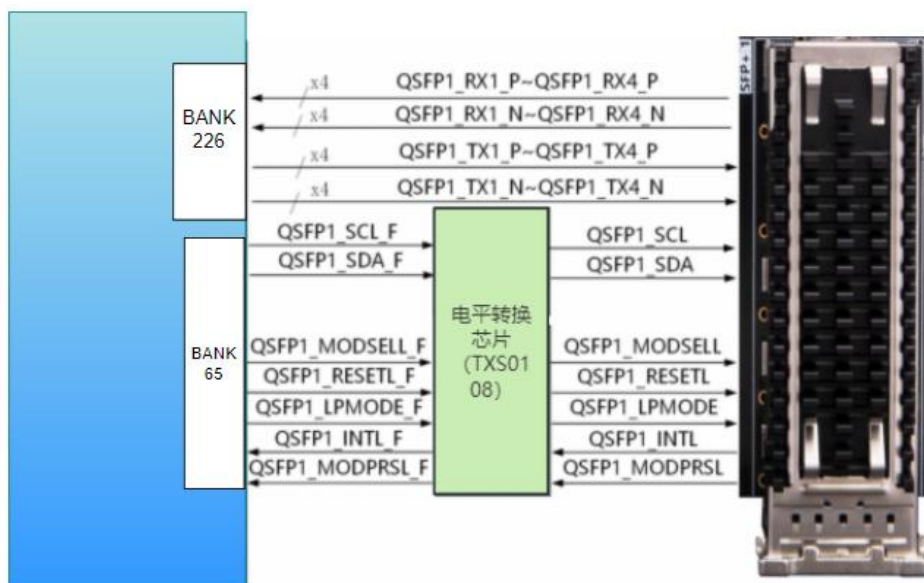


图 3-2-1 QSFP28 接口

### QSFP1~QSFP8 接口 FPGA 引脚分配

见文件 AXVU13G Pin Assignment.xls 表中管脚分配。

### (四) FMC+接口

AXVU13G 有 1 路 FMC+扩展口，为 FMC1+ (J23)、可以外接 XILINX 或者我们黑金的各种 FMC+和 FMC 模块 (HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等)。

FMC1+扩展口包含 34 对 LA 信号差分对、2 对时钟信号、24 对 HA 信号和 22 对 HB 信号，分别连接 FPGA 芯片 BANK64, BANK69, BANK70, BANK71; 电平标准默认为 1.8V。16 路高速 GTY 收发信号连接 FPGA 芯片 BANK127~BANK130 的 IO 上。

FPGA 和 FMC1+连接器的原理图如图 3-4-1 所示：

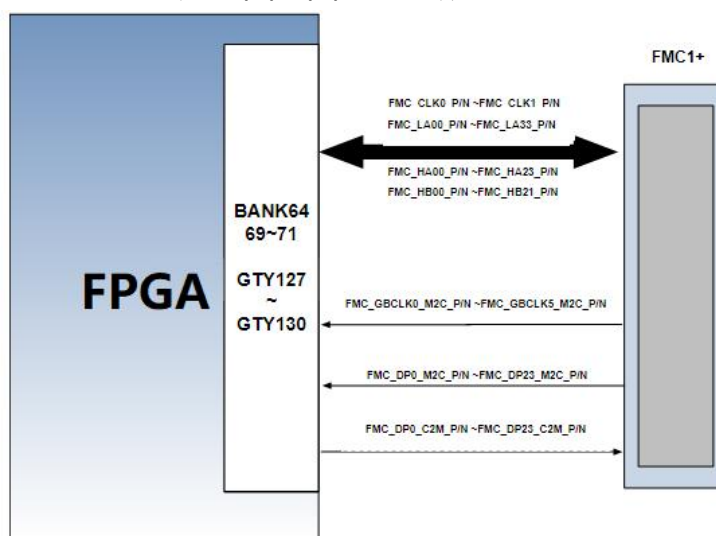


图 3-4-1 FMC1+连接图

## FMC+接口 FPGA 管脚分配

见文件 AXVU13G Pin Assignment.xls 表中管脚分配。

### (五) FMC 接口

AXVU13G 有 1 路 FMC HPC (J24) 扩展口, 可以外接各种 FMC 模块 (HDMI 输入输出模块, 双目摄像头模块, 高速 AD 模块等等)。

FMC 扩展口包含 34 对 LA 信号差分对、2 对时钟信号, 分别连接 FPGA 芯片 BANK66, BANK67; 电平标准默认为 1.8V。8 路高速 GTY 收发信号连接 FPGA 芯片 BANK125 和 BANK126 的 IO 上。

FPGA 和 FMC 连接器的原理图如图 3-5-1 所示:

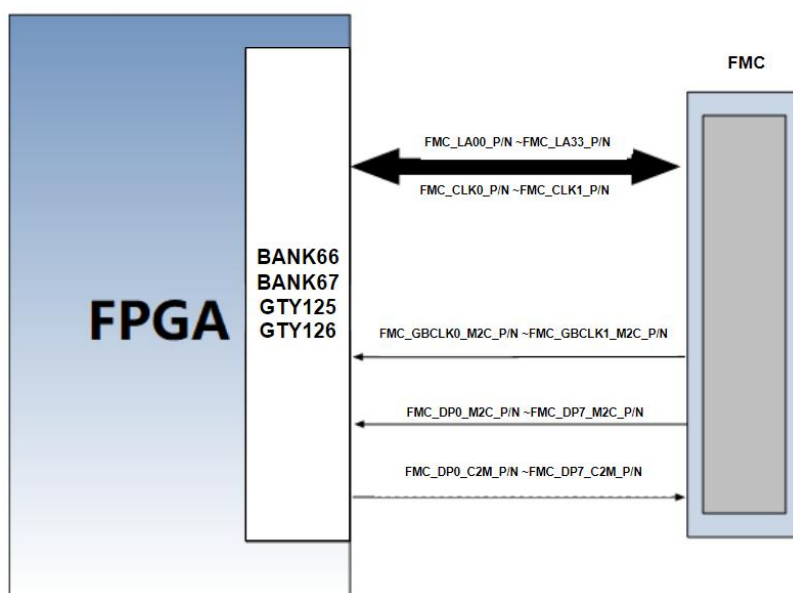


图 3-5-1 HPC FMC 连接示意图

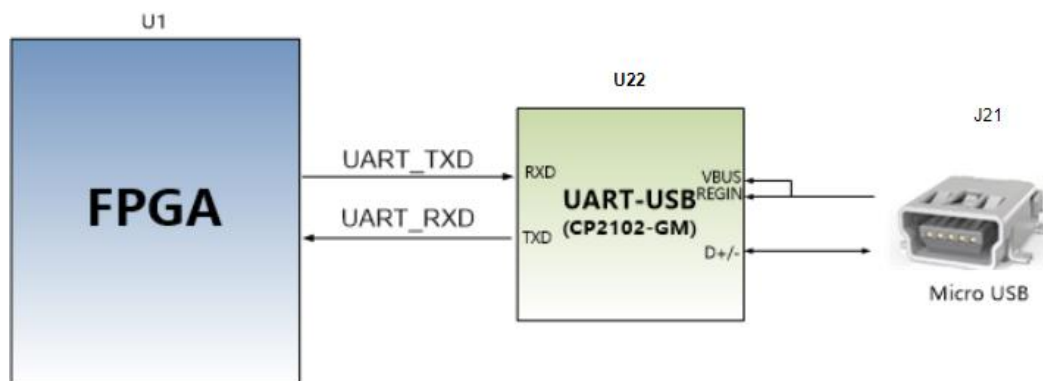
## FMC 接口 FPGA 管脚分配

见文件 AXVU13G Pin Assignment.xls 表中管脚分配。

### (六) USB 转接口

AXVU13G 扩展板上配备了一个 Uart 转 USB 接口, 用于系统调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示:



3-6-1 USB 转串口示意图

**USB 转串口的 FPGA 引脚分配:**

信号名称	FPGA 引脚名	引脚号	备注
UART_RX_LS	B65_L16_P	AR25	Uart 数据输入
UART_TX_LS	B65_L16_N	AT25	Uart 数据输出

**(七) SMA 接口**

板上集成了 SMA 接口，其中 9 对 SMA 差分接口连接到 FPGA 高速收发器管脚上，3 对 SMA 差分接口连接到 FPGA 的 HPIO 上，可用于客户高速收发器和差分对信号验证。

**FPGA 引脚分配如下:**

见文件 AXVU13G Pin Assignment.xls 表中管脚分配。

**(八) 千兆网接口**

开发板上通过一片 JL21221D 以太网 PHY 芯片为用户提供网络通信服务。以太网 PHY 芯片是连接到 FPGA 的 IO 接口上。JL21221D 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。JL21221D 芯片支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL21221D 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-8-1 描述了 GPHY 芯片上电之后的默认设定信息。

表 3-8-1 PHY 芯片默认配置值

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001

RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-8-1 为 FPGA 与以太网 PHY 芯片连接示意图：

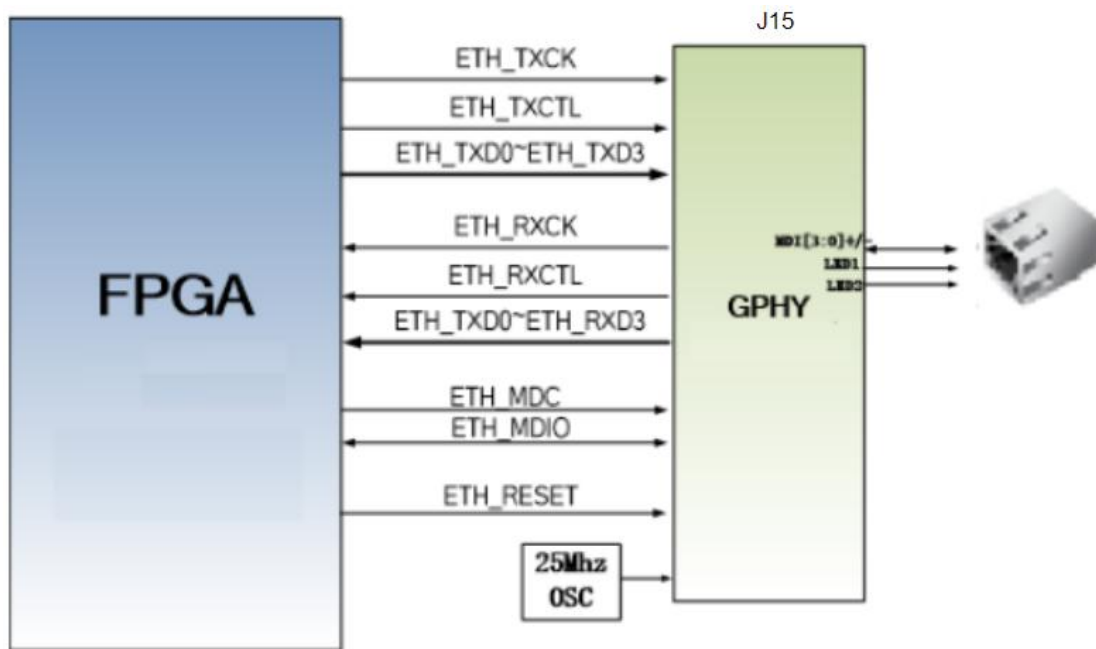


图 3-8-1 千兆网接口连接原理图

以太网 PHY 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
ETH_MDC	B65_L24_N	AL28	MDIO 管理时钟
ETH_MDIO	B65_L24_P	AL27	MDIO 管理数据
ETH_RESET	B65_L23_N	AN27	PHY 芯片复位
ETH_RXCK	B65_L12_P	AW28	RGMII 接收时钟
ETH_RXCTL	B65_L12_N	AY28	接收数据有效信号
ETH_RXD0	B65_L18_P	AR28	接收数据 Bit0
ETH_RXD1	B65_L18_N	AT28	接收数据 Bit1
ETH_RXD2	B65_L20_P	AN28	接收数据 Bit2
ETH_RXD3	B65_L20_N	AP28	接收数据 Bit3

ETH_TXCK	B65_L19_N	AP26	RGMII 发送时钟
ETH_TXCTL	B65_L19_P	AP25	发送使能信号
ETH_TXD0	B65_L10_P	AW25	发送数据 bit0
ETH_TXD1	B65_L10_N	AY25	发送数据 bit1
ETH_TXD2	B65_L5_P	BE25	发送数据 bit2
ETH_TXD3	B65_L5_N	BF25	发送数据 bit3

### (九)SD 卡槽

AXVU13G 底板包含了一个 Micro 型的 SD 卡接口, 以提供用户访问 SD 卡存储器, 用于用户数据文件。SDIO 信号与 FPGA 的 IO 信号相连, 支持 SPI 模式和 SD 模式, 使用的 SD 卡为 MicroSD 卡。FPGA 和 SD 卡连接器的原理图如下图 3-9-1 所示。

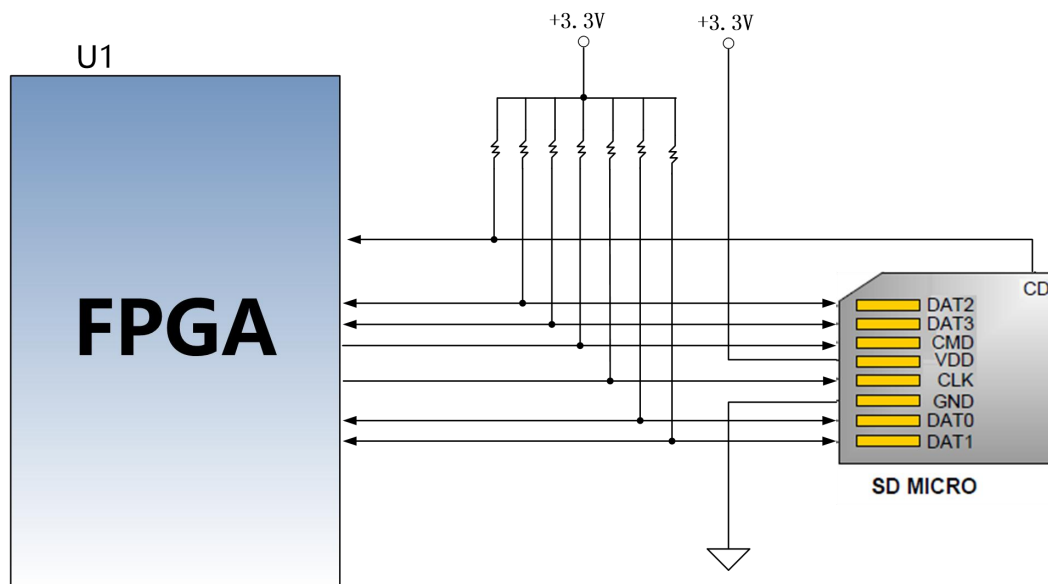


图 3-9-1 SD 卡槽原理图

#### SD 卡槽引脚分配

信号名称	FPGA 引脚名	引脚号	备注
SD_DET	B65_L6_P	BC26	SD 片选信号
SD_CLK	B65_L6_N	BC27	SD 时钟信号
SD_CMD	B65_L8_P	BB26	SD 命令信号
SD_D0	B65_L3_N	BE28	SD 数据 Data0
SD_D1	B65_L3_P	BD28	SD 数据 Data1
SD_D2	B65_L1_P	BF28	SD 数据 Data2

SD_D3	B65_L8_N	BB27	SD 数据 Data3
-------	----------	------	-------------

## (九) 按键和 LED 灯

AXVU13G 底板上有 5 个发光二极管 LED, 1 个电源指示灯; 2 个串口通信指示灯, 2 个用户 LED 灯。当开发板上电后电源指示灯会亮起; 2 个 LED 灯连接到 FPGA 的 IO 上, 用户可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为高时, 用户 LED 灯点亮, 当连接 IO 电压为低时, 用户 LED 会被熄灭。另外板上还有 1 个用户按键, 默认按键信号为高, 当按键按下时, 按键电平为低。用户 LED 灯和按键的硬件连接示意图如图 3-9-1 所示:

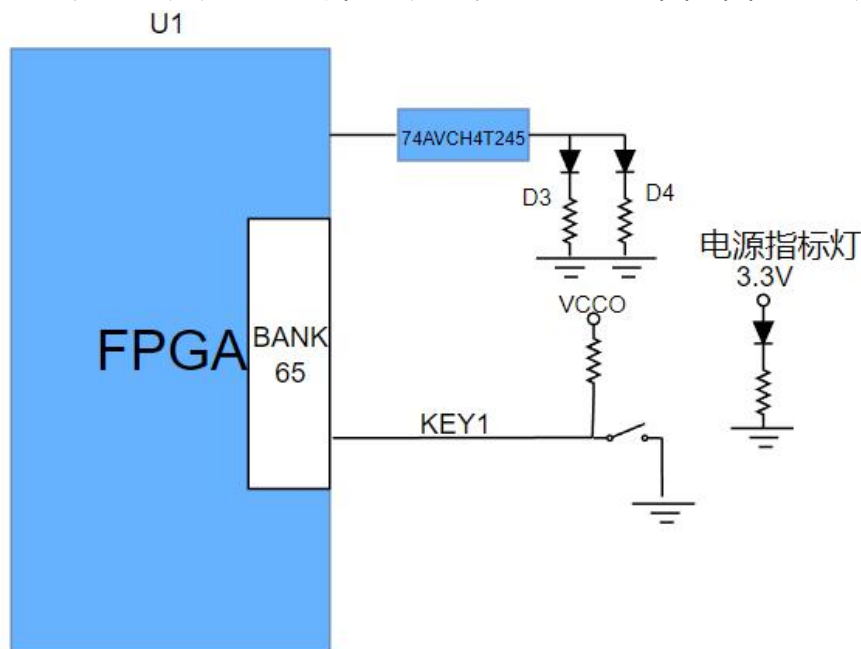


图 3-9-1 用户 LED 灯和按键硬件连接示意图

### 用户 LED 灯和按键的引脚分配

信号名称	FPGA 引脚名	引脚号	备注
KEY1	B65_L1_N	BF29	用户按键
LED1	B65_L17_P	AR27	用户 LED1 灯
LED2	B65_L14_N	AV28	用户 LED2 灯

## (十) 拨码开关

AXVU13G 底板上有 4 个拨码开关, 16 种编码状态, 常用于用户输入验证、模式选择切换等场合。硬件连接如图 3-10-1 所示:

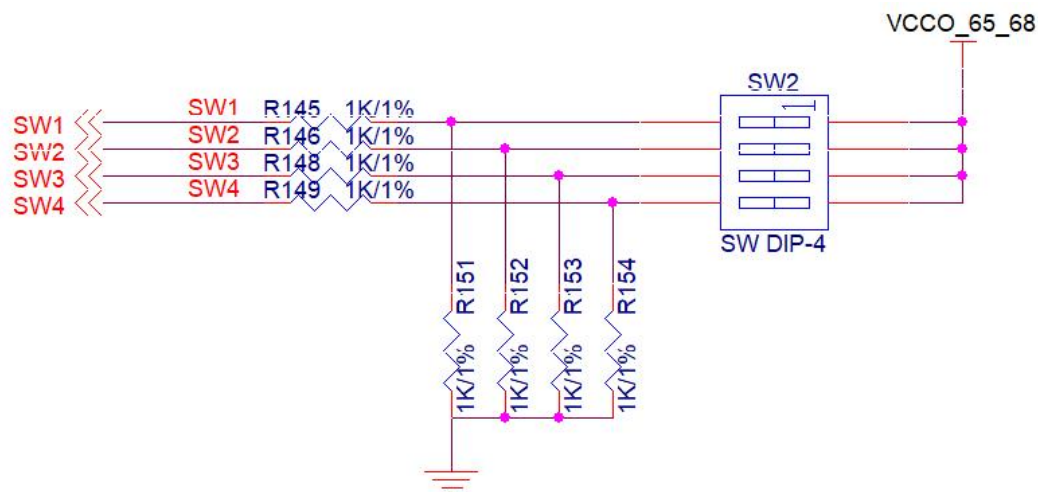


图 3-10-1 拨码开关连接图

### 拨码开关引脚分配

信号名称	FPGA 引脚名	引脚号	备注
SW1	B65_L15_N	AU27	拨码开关 1 脚
SW2	B65_L15_P	AU26	拨码开关 2 脚
SW3	B65_T2U	AU25	拨码开关 3 脚
SW4	B65_L2_P	BE27	拨码开关 4 脚

## (十一) 风扇接口

AXVU13G 底板上集成 1 个风扇接口，给核心板主芯片进行散热，可用于风扇转速监测、调速控制。

### 拨码开关引脚分配

信号名称	FPGA 引脚名	引脚号	备注
FAN_PWM_LS	B65_T1U	BC28	转速控制
FANTACH_LS	B65_L23_P	AM27	转速监测

## (十二) JTAG 调试口

在 AXVU13G 底板上预留了一个 14PIN 的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免芯片的损坏。

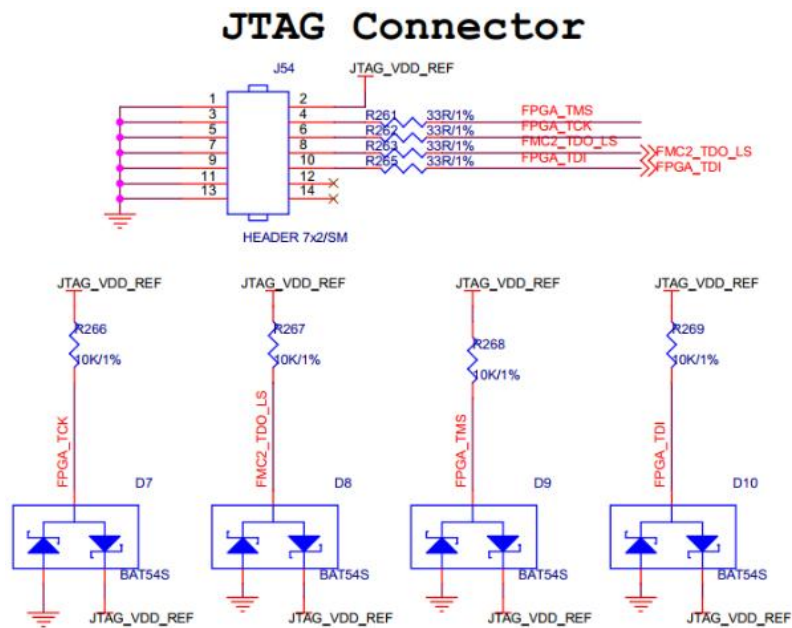


图3-12-1 原理图中JTAG接口部分

## (十三) 电源

开发板的电源输入电压为 DC12V，通过 8PIN 接口外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格电源,以免损坏开发板。12V 电源通过板间连接器给核心板供电，同时在底板上再通过 DCDC 芯片产生各外设所需的电源电压：通过 5 个 IS66066 分别产生+3.3V、D3V3\_QSPFPDD、3V3\_QSFP\_A、3V3\_QSFP\_B、VCC5V 电源，给 QSFP28 和 QSFP-DD 接口的光纤模块和其它外设供电；GD30LD3301 和 EZ8345 主要时钟芯片和 2 路 FMC+模块提供电源。

板上的电源设计框图如下：

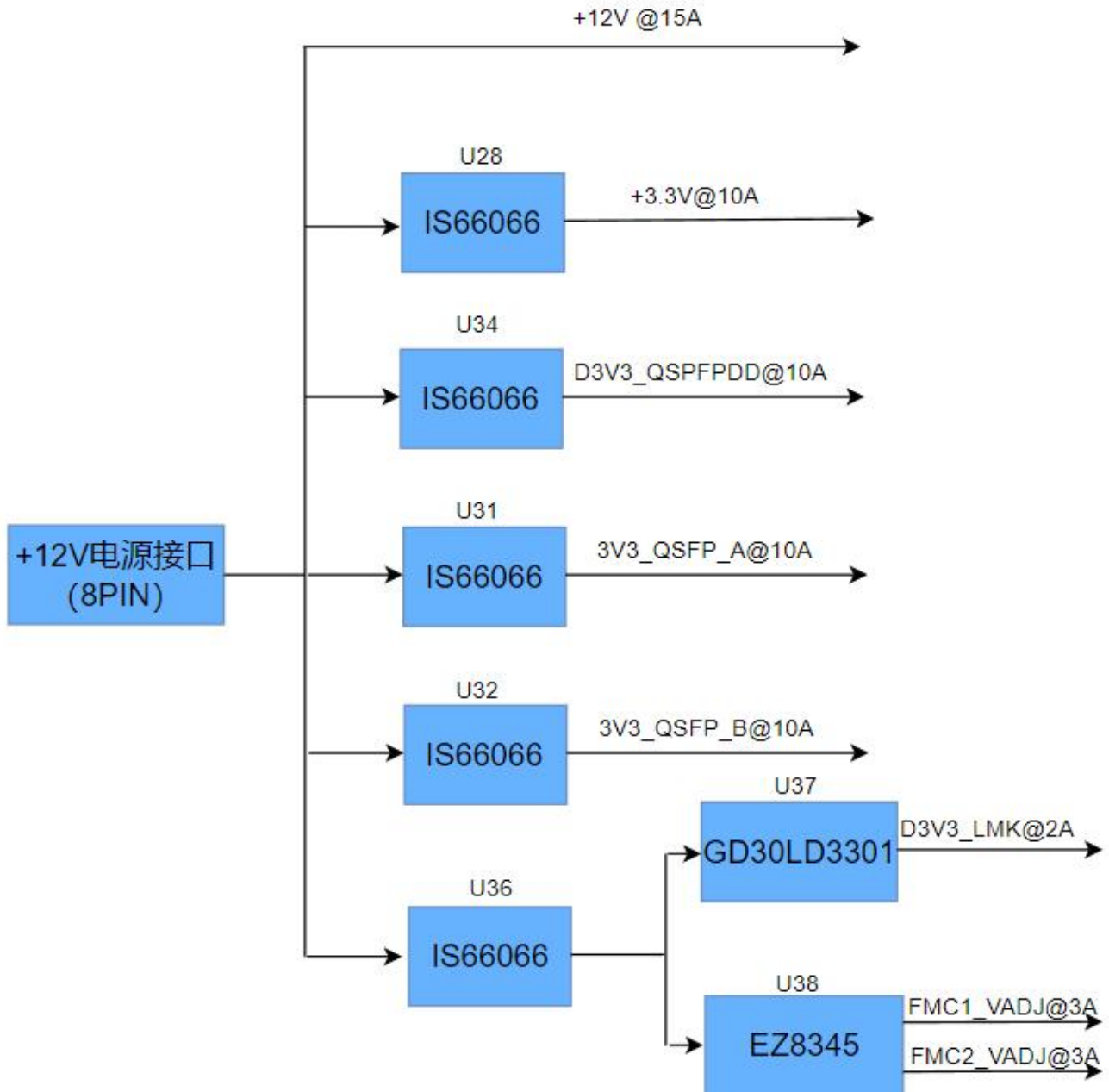


图 3-13-1 原理图中电源接口部分

各个电源分配的功能如下表所示:

电源	功能
D3V3_QSPFPDD@10A	QSFP-DD 模块供电
3V3_QSFP_A@10A	QSFP28 模块供电

3V3_QSFP_B@10A	QSFP28 模块供电
+3.3V@10A	FMC、FMC+及外设电压
D3V3_LMK@2A	时钟供电
FMC1_VADJ@3A	FMC+模块调整电压
FMC2_VADJ@3A	FMC 模块调整电压

**(十四) 结构尺寸图**

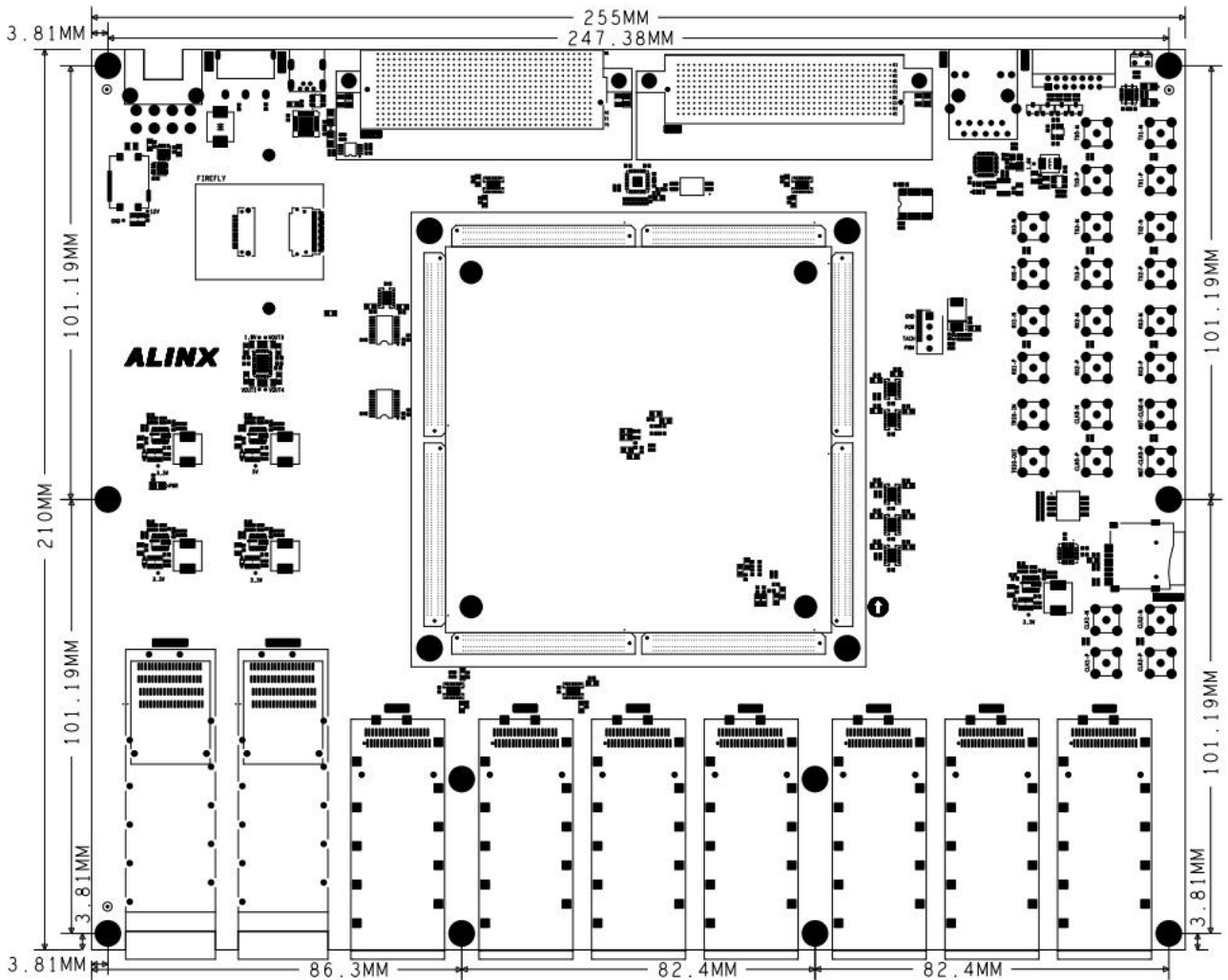


图 3-14-1 正面图 (Top View)