

Zynq UltraScale+ RFSoc

AXW47

射频开发板用户手册

ALINX

修订记录

版本	修订记录	日期

目录

1 开发板简介	7
2 核心板简介	9
2.1 产品概述	9
2.2 应用场景	10
2.3 产品特点	10
2.4 外观	11
3 核心板硬件介绍	12
3.1 板卡框图	12
3.2 关键参数	12
3.3 板卡部分功能与位置	13
3.4 启动模式	15
3.5 DDR4 内存	16
3.6 QSPI FLASH	17
3.7 eMMC	18
3.8 EEPROM	19
3.9 核心板指示灯	20
3.10 PS-GTR 接口	21
3.11 PL-GTY 接口	22
3.12 RF 接口	23
3.13 时钟配置	23
3.14 电源	24
3.15 结构图	27
3.16 用户扩展接口定义	27
4 载板	33
4.1 载板框图	34
4.2 载板关键参数	34
4.3 载板部分功能与位置	35
4.4 载板启动模式	38
4.5 Micro SD 卡座	39
4.6 USB3.0 接口	40
4.7 千兆以太网接口	41

4.8 JTAG&UART	42
4.9 DDR4 内存	44
4.10 QSPI Flash	45
4.11 光纤接口	46
4.12 M.2 接口	49
4.13 扩展 MGB 接口	51
4.14 扩展 IO 、LED、按键	53
4.15 电源	57
4.16 结构尺寸图	58

表目录

表 1 47DR_核心板关键参数	13
表 2 47DR_核心板各位置功能说明	15
表 3 XCZU47DR PS 端 Mode 管脚的对应关系	15
表 4 DDR4 配置	16
表 5 2 片 QSPI Nor Flash 互联引脚定义	18
表 6 eMMC 引脚分配	19
表 7 EEPROM 引脚定义	20
表 8 主芯片 XCZU47DR 状态指示灯功能说明	21
表 9 主芯片 XCZU47DR 状态指示灯功能说明	25
表 10 扩展接口 J1 与主芯片的信号互联表格	29
表 11 扩展接口 J3 与主芯片的信号互联表格	31
表 12 扩展接口 J4 与主芯片的信号互联表格	32
表 13 载板关键参数	35
表 14 载板各位置功能说明	38
表 15 载板 XCKU115-FLVB2104 模式配置	39
表 16 SD 卡引脚分配	39
表 17 USB 接口引脚分配	41
表 18 PHY 到 XCZU47DR 引脚分配	42
表 19 RFSOC 侧 JTAG&UART 引脚分配	43
表 20 KU115 侧 JTAG&UART 引脚分配	43
表 21 DDR4 型号和参数	44

表 22	QSPI FLASH 型号和参数	45
表 23	KU115 上 QSPI FLASH 芯片引脚分配	46
表 24	QSFP 接口引脚分配	47
表 25	BANK230、BANK231、BANK226 参考时钟分配	48
表 26	SFP 接口引脚分配	48
表 27	光纤低速 IO 信号处理方	49
表 28	NVMe 接口 KU115 引脚分配	51
表 29	MGB 接口引脚分配	53
表 30	PL 侧 J11 侧扩展 IO 管脚分配	54
表 31	PS 侧 J12 扩展 IO 管脚分配	54
表 32	RFSOC 侧 LED 扩展 IO 管脚分配	54
表 33	KU115 侧 LED 扩展 IO 管脚分配	55
表 34	RFSOC 侧按键扩展 IO 管脚分配	56
表 35	KU115 侧 SW 扩展 IO 管脚分配	57

图目录

图 1	开发板实物图	7
图 2	47DR_核心板外观图 TOP	11
图 3	47DR_核心板外观图 BOTTOM	11
图 4	47DR_核心板硬件框图	12
图 5	47DR_核心功能块标识图_TOP	13
图 6	47DR_核心功能块标识图_BOTTOM	14
图 7	PS 端的 DDR4 连接示意图	16
图 8	PL 端的 DDR4 连接示意图	17
图 9	两片 QSPI Nor Flash 与 XCZU47DR 互联示意图	18
图 10	eMMC 整体连接示意图	19
图 11	EEPROM 硬件原理图	20
图 12	主芯片 XCZU47DR 状态指示灯位置示意图	20
图 13	编号 13 处电源指示灯 DS6 位置示意图	21
图 14	PS 端 GTR 高速收发器映射图	22

图 15 高速收发器映射图	22
图 16 RF-ADC 接口示意图	23
图 17 RF-DAC 接口示意图	23
图 18 晶振原理图	24
图 19 整板时钟拓扑图示意图	24
图 20 整板电源结构树	26
图 21 核心板正面结构图	27
图 22 载板正面图	33
图 23 载板框图	34
图 24 载板正面接口标记图	35
图 25 载板背面接口标记图	36
图 26 SD 卡连接示意图	39
图 27 USB3.0 连接示意图	40
图 28 以太网连接示意图	42
图 29 RFSOC 侧 JTAG&UART 连接器连接示意图	43
图 30 KU115 侧 JTAG&UART 连接器连接示意图	43
图 31 DDR4 SDRAM 连接示意图	45
图 32 KU115 上 QSPI FLASH 连接示意图	45
图 33 光纤设计示意图	46
图 34 NVMe 接口设计示意图	49
图 35 MGB 接口设计示意图	52
图 36 RFSOC 侧扩展 IO 电路图	53
图 37 RFSOC 侧扩展 LED 电路图	54
图 38 KU115 侧扩展 LED 电路图	55
图 39 RFSOC 侧扩展按键电路图	56
图 40 KU115 侧扩展 SW 电路图	57
图 41 底板电源设计框图	57
图 42 底板正面结构图	58

1 开发板简介

开发板由核心板和载板构成，核心板和载板之间使用高速板间连接器连接。

核心板采用 Xilinx 公司的 Zynq UltraScale+ RFSoc Gen3 系列 ZU47DR FPGA 主芯片，它支持 8 路 14 位 RF-ADC，最大采样率可达 5GSPS，8 路 14 位 RF-DAC，最高采样率可达 9.85GSPS。可以降低 RF 信号处理链的复杂性，最大化输入/输出通道密度，而不会牺牲宽带并利用异构处理能力，并且拥有更低的功耗（取消了 ADC/DAC 组件，消除了 FPGA 至模拟的接口功耗）。Zynq UltraScale+器件中提供 ARM Cortex-A53 处理子系统、UltraScale+可编程逻辑和最高信号处理带宽，能够提供综合 RF 信号链，满足无线、有线电视接入、测试测量、早期预警/雷达以及其它高性能 RF 应用需求。

载板为核心板扩展了丰富的外围接口，并且带有一颗纯逻辑 KU115 FPGA 芯片，来提供更宽的后级数据处理能力，其中包含 1 路 SD 卡接口、2 路 USB3.0 接口、1 路千兆以太网接口、2 路 JTAG/UART 接口、一路 sfp 接口、2 路 qsfm 接口、4 路 NVMe 接口、2 路 MGB 接口可扩展 PCIE。下图为整个开发系统的实物图：

RFSOC 和 KU115 之间通过 8 组高速 GTY 互连，吞吐为 80Gbps，增加了 RFSOC 的数据处理能力。

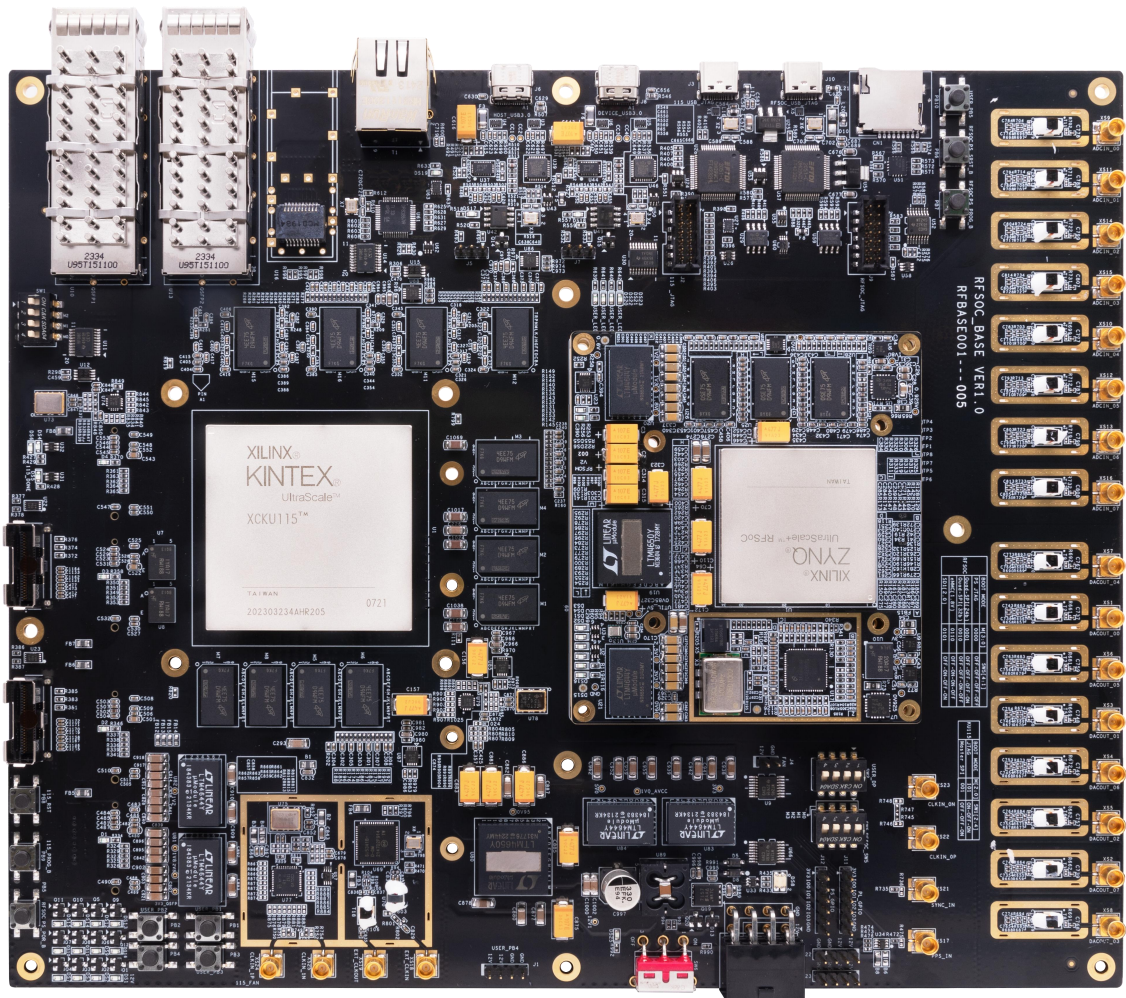


图 1 开发板实物图

通过这个实物图，我们可以看到开发平台所能包含的接口和功能。

- 核心板

由 ZU47DR+4GB DDR4 (PS) +2GB DDR4 (PL) +2Gb QSPI Flash+32GB eMMC 组成，另外核心模块提供双晶振时钟源，一个单端 33.3333MHz 有源晶振提供给 PS 系统，一个晶体 32.76MHz 驱动 RFSOC 内部 RTC 电路。

- M.2 接口

4 路 PCIe x4 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘。

- USB3.0 接口

2 路 USB3.0 接口，支持 HOST、SLAVE 两种模式。

- 千兆以太网接口

一路 10M/100M/1000M 以太网 RJ45 接口，用于和电脑或者其它网络设备行以太网数据交换。

- JTAG&UART 接口

2 路 JTAG&UART 调试接口类型为 Type-C 接口，JTAG 和 UART 共用此接口，用于 FPGA 程序的下载和调试。

- Micro SD 卡座

一路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- QSFP 光纤接口

2 路 QSFP 光纤接口，支持 40G 的通信速率。

- SFP 光纤接口

一路 SFP 接口，支持 10G 的通信速率。

- 扩展 MGB 接口

2 路 MGB 接口，可扩展 2 路 PCIe x4。

- 存储

底板扩展四组 4GB DDR4 和一组 1Gb QSPI Flash。

- 扩展 IO

2 组扩展 IO，1 组 PL 端扩展 IO，一组 PS 端扩展 IO，可供用户自定义使用。

- LED 灯

RFSOC 侧 4 个可扩展的 LED 灯，KU115 侧 8 个可扩展 LED 灯，供用户自定义使用。

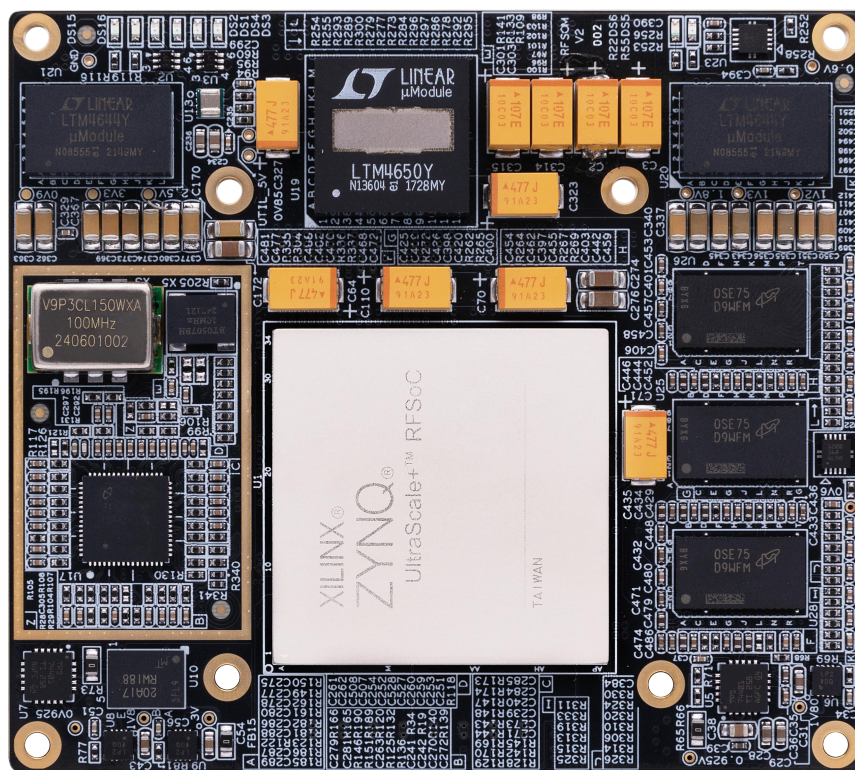
- 按键

RFSOC 侧扩展 5 个按键，KU115 侧扩展 2 个复位按键，一个四位拨码开关，可供用户自定义使用。

2 核心板简介

ACW47 核心板是基于 Zynq UltraScale+ RFSoc 系列产品 XCZU47DRFFVE1156 (以下简称 XCZU47DR)，该系列将多频段、多模式蜂窝无线电和电缆基础设施 (DOCSIS) 的关键子系统集成到一个 SoC 平台中，该平台包含功能丰富的 64 位四核 Arm®Cortex-A53 和双核 Arm Cortex-R5F 处理系统。

主芯片 XCZU47DR 支持 8 路 14 位 RF-ADC，最大采样率可达 5GSPS，8 路 14 位 RF-DAC，最高采样率可达 9.85GSPS。可以降低 RF 信号处理链的复杂性，最大化输入/输出通道密度，而不会牺牲宽带并利用异构处理能力，并且拥有更低的功耗（取消了 ADC/DAC 组件，消除了 FPGA 至模拟的接口功耗）。Zynq UltraScale+ 器件中提供 ARM Cortex-A53 处理子系统、UltraScale+ 可编程逻辑和最高信号处理带宽，能够提供综合 RF 信号链，满足无线、有线电视接入、测试测量、早期预警/雷达以及其它高性能 RF 应用需求。



2.1 产品概述

ACW47 在最通用的设计中引入了 AMD RFSoc，因此可以在多种场景中利用。核心板通过板对板连接器引入底板 12V 电源，47DR_核心板采用镁光公司的 6 块 DDR4 芯片 MT40A512M16LY-062E IT:E，其中 4 块 DDR4 芯片安装在 PS 侧形成 64 位数据总线宽度，2 块 DDR4 芯片安装在 PL 侧形成 32 位数据总线宽度。DDR4 容量为每个芯片 1GB。DDR4 SDRAM 最高可达 3200MT/s 数据速率，还配置有 32GB eMMC。此外，模块上还集成了 2 个 1Gbit NOR FLASH，用于启动存储配置和系统文件。

为了与底板连接，该模块使用了三个 240 Pin 板对板连接器扩展了 2 个 HD Bank、2 个 PS MIO Bank、8X PL GTY(最高可到 28.21Gb/s)、4X PS GTR(最高可到 6Gb/s)、13 个 IO (HP Bank)、8 个高速射频 ADC、8 个高速 DAC 以及 JTAG。

2.2 应用场景

✓ 通信应用场景

- 5G 及 LTE 无线技术: 通过 Zynq RFSoc, 无线基础设施制造商可实现显著的占板面积及功耗减少, 这对后期通信的发展至关重要。
- 卫星通信: 设计人员可通过在 Zynq UltraScale+ RFSoc 中使用直接 RF 采样、高灵活、可重构逻辑及软件可编程性, 为信号生成和信号分析构建高速度的多功能仪器。

✓ 雷达应用场景

- 雷达信号处理和数据链: 具有 8 通道 ADC 和 8 通道 DAC, 可满足更大的应用需求, 能够在预警场景下实现低时延收发, 获得最佳响应时间。

✓ 测试与测量应用场景

- 设计人员可通过在 Zynq UltraScale+ RFSoc 中利用 RF 采样、高灵活、可重构逻辑及软件可编程性, 为信号生成和信号分析构建高速度的多功能仪器。

2.3 产品特点

- XCZU47DR FPGA 芯片集成射频直接采样数据转换器、FPGA 逻辑、完整的 ARM 处理器子系统和高速收发器。
- 支持 8 路 14bit RF-ADC, 8 路 14bit RF-DAC, 提供综合 RF 信号链, 最大化输入/输出通道密度, 高宽带、异构处理能力和低功耗。
- 产品可满足不同的应用场景需求, 以及高性能 RF 应用需求。
- 丰富的资料和资源: 提供完整的板卡资料和设计资源, 并对二次开发给予建议, 同时也会长期收集客户反馈, 不断完善支持。
- 与开源项目合作: 板卡率先与 MAGI Project 合作, 提供丰富的灵活可配置 IP, 缩短客户的设计和验证周期。
- 低成本且高性价比: 在同类型产品中具有更低的售价和更丰富的功能。
- 高度集成化: 借助 MPSoC 的优势可以在片上完成复杂且异构的任务, 相比于传统的多芯片异构设计可以大幅减少调试和开发周期。

2.4 外观

如图 1 所示为 47DR_核心板外观图，目前产品交付板卡，同时我司提供配件交付业务，如需其他配件一起交付可联系商务提前沟通。

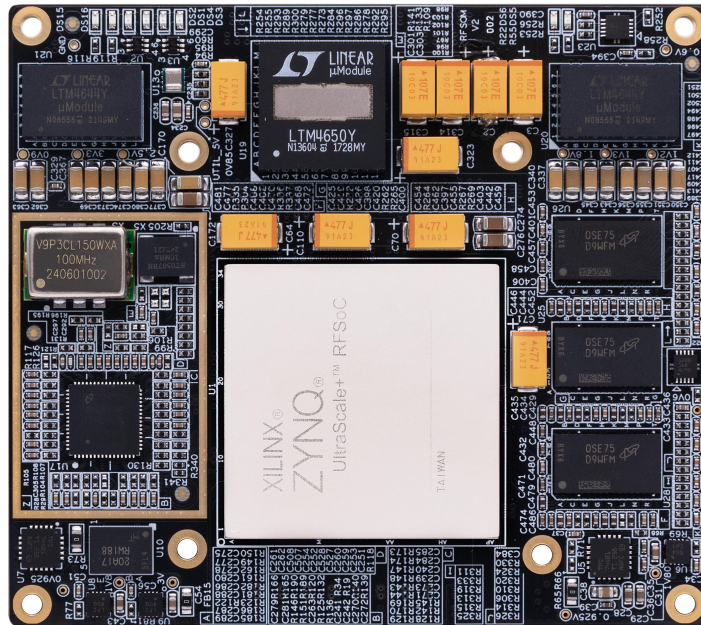


图 2 47DR_核心板外观图 TOP

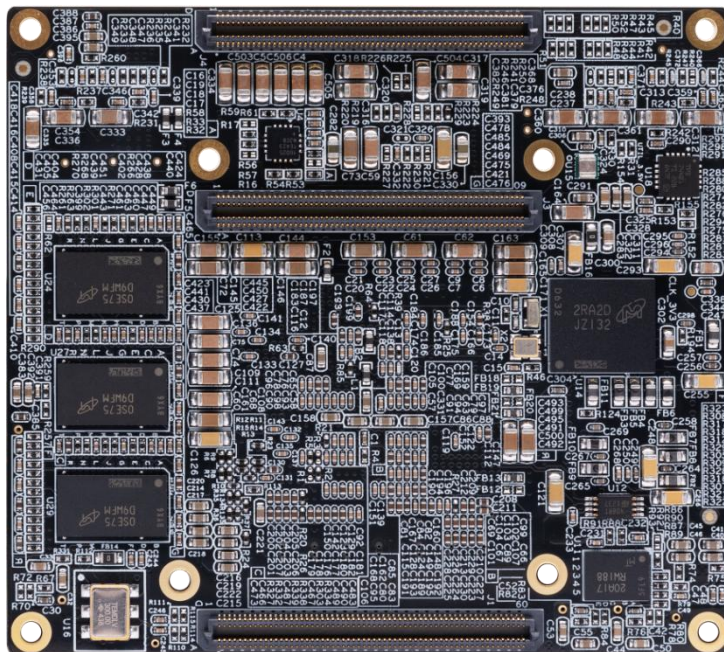


图 3 47DR_核心板外观图 BOTTOM

3 核心板硬件介绍

3.1 板卡框图

47DR_核心硬件框图如图 3 所示：

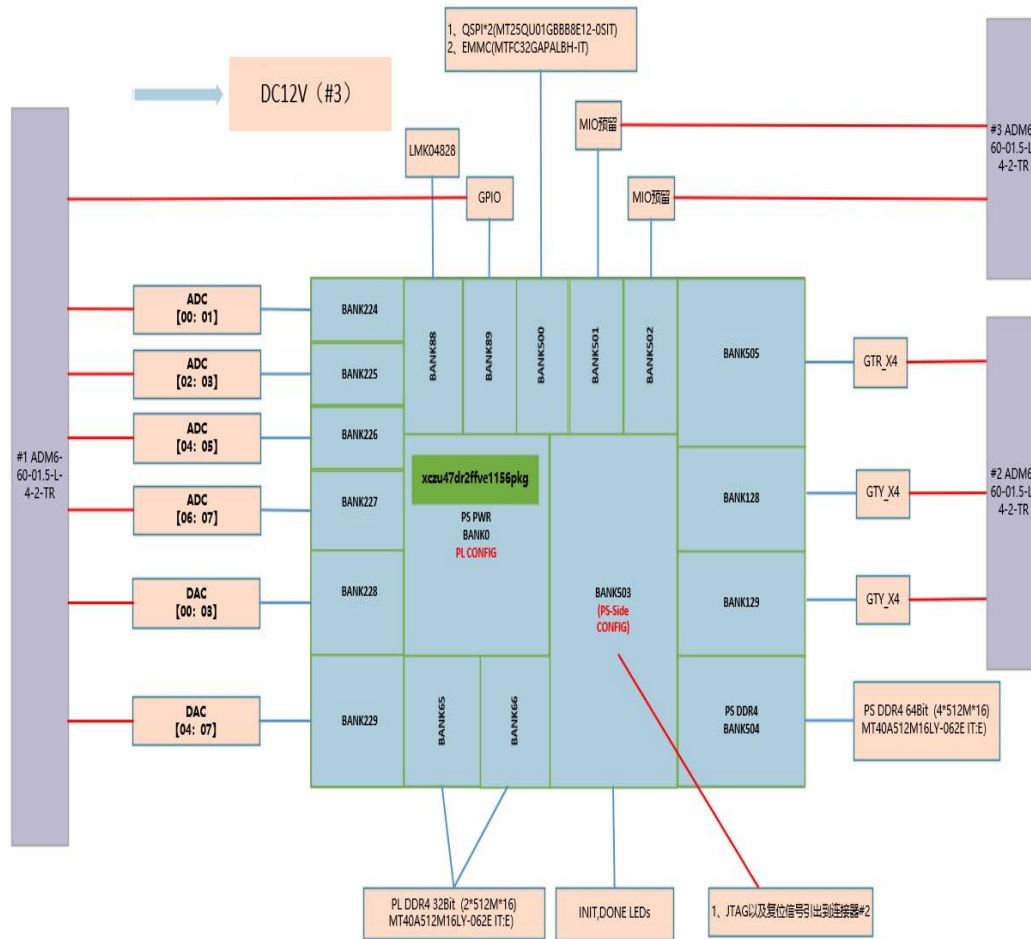


图 4 47DR_核心板硬件框图

3.2 关键参数

核心板的主芯片为 XCZU47DR，板卡关键参数如下表，表 1 47DR_核心板关键参数所示：

主芯片	◆ XCZU47DR
尺寸	◆ 90mm * 80.5mm
扩展内存	◆ PS DDR4 64-bit ◆ PL DDR4 32-bit

存储	◆ Nor Flash 1Gbit *2
eMMC	◆ PS eMMC 32 GB
指示灯	◆ INIT_B、DONE 2 个工作状态指示灯 ◆ PS_ERR_OUT、PS_ERR_STATUS 2 个工作状态指示灯
板卡供电	底板提供 12V 电 (通过连接器 J4)
功耗	60W (根据用途, 以实测值)
环境温度要求	工作时-40°C~110°C

表 1 47DR_核心板关键参数

3.3 板卡部分功能与位置

本板卡部分功能及位置说明见下图, 图 3 和图 4 核心板标识图, 每个位置的功能描述见表 2 核心板各位置功能所示:

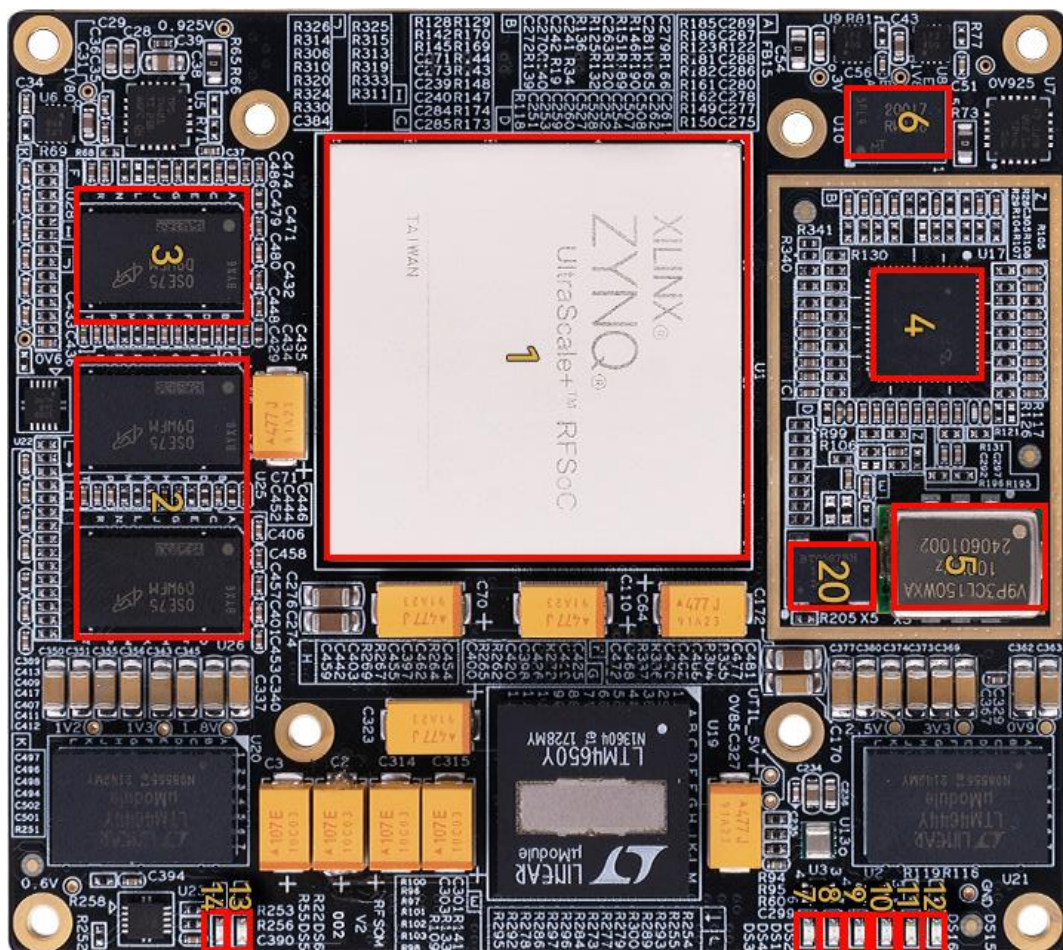


图 5 47DR_核心功能块标识图_TOP

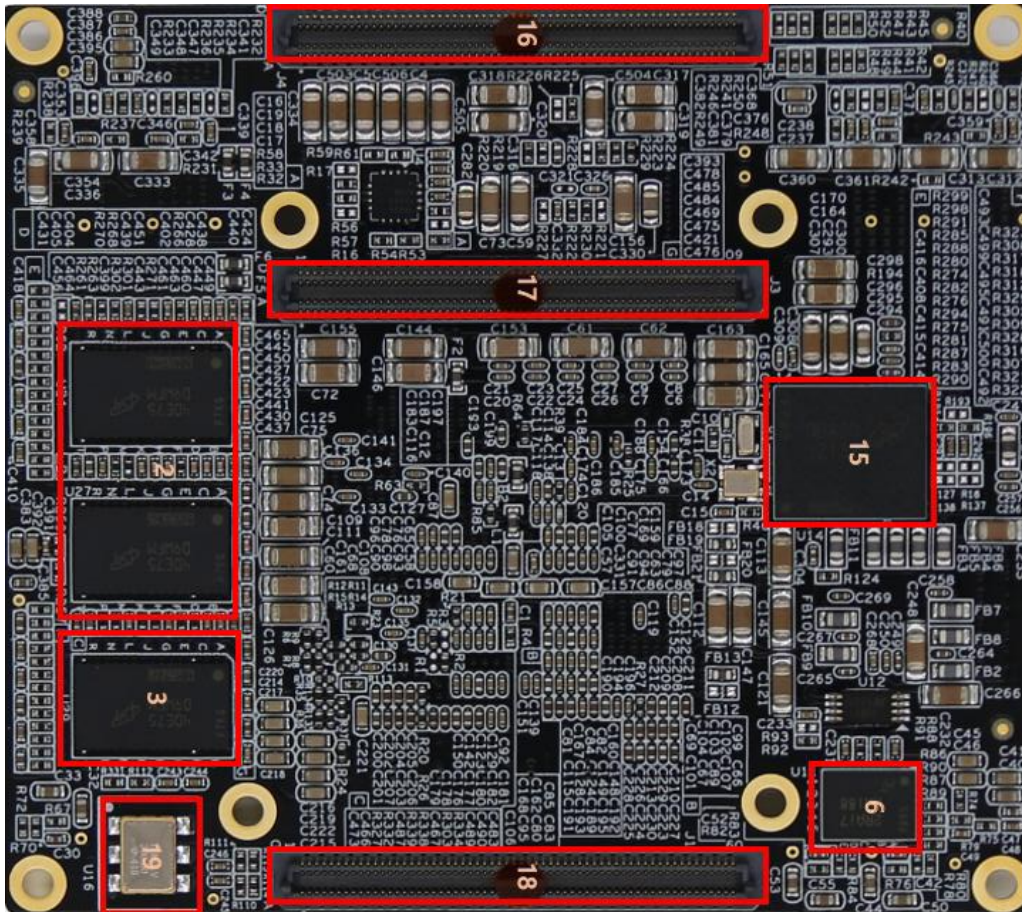


图 6 47DR_核心功能块标识图_BOTTOM

编号	功能
1	主芯片, XCZU47DR,位号 U1。
2	PS DDR4 扩展内存, 最大 2400Mb/s, 64bit 位宽, 容量共 4GB。
3	PL DDR4 扩展内存, 最大 2400Mb/s, 32bit 位宽, 容量共 2GB。
4	LMK04848。
5	100MHz 晶振, LMK04828 OSCIN 输入时钟。
6	QSPI Flash, 2Gbit 容量, 存储代码及数据,U10 和 U11。
7	主芯片工作状态指示灯, PS_ERR_OUT。
8	主芯片工作状态指示灯, PS_ERR_STATUS。
9	主芯片工作状态指示灯, PS_INIT_B。

编号	功能
10	主芯片工作状态指示灯, PS_DONE。
11	LMK04828 数据输出指示灯。
12	LMK04828 状态灯。
13	12V 电源上电正常指示灯。
14	复位指示灯。
15	EMMC。
16	GTY BANK 信号扩展接口, J4。
17	PS_MIO 信号扩展接口, J3。
18	RF 扩展接口, J1。
19	300M 时钟, 用作扩展 DDR4 工作时钟基准。
20	10M 时钟, LMK04828 OSCOUT 输入时钟。

表 2 47DR_核心板各位置功能说明

3.4 启动模式

板卡有 4 种启动模式, JTAG 模式、QSPI 模式、SD 卡模式、EMMC 四种, 通过拨码开关 (需要在底板预留) 即可配置 XCZU47DR 的启动模式。

本板卡主芯片 XCZU47DR (位号 U1) 为 RFSOC FPGA, 启动模式通过 PS_MODE0、PS_MODE1、PS_MODE2、PS_MODE3 这 4 个 pin 脚的高低状态来决定。板卡通过四位开关 (底板预留) 对设备配置方式进行选择, 表 3 XCZU47DR 各个状态对应的配置模式:

BOOT 模式	Mode pin [3:0]	SW[4:1]
JTAG	0000	ON, ON, ON, ON
QSPI	0010	ON, ON, OFF, ON
eMMC	0110	ON, OFF, OFF, ON
SD	0101	ON, OFF, ON, OFF

表 3 XCZU47DR PS 端 Mode 管脚的对应关系

3.5 DDR4 内存

由 47DR_核心板硬件框图可知,本板卡主芯片 XCZU47DR 配置了 2 组 DDR4 扩展内存,其中 4 块 DDR4 芯片安装在 PS 侧形成 64 位数据总线宽度, 2 块 DDR4 芯片安装在 PL 侧形成 32 位数据总线宽度。由六个镁光的 MT40A512M16LY-062E IT:E 组成。使用 300M 差分晶振作为参考时钟, PS 端和 PL 端 DDR4 的具体配置如下表所示:

位置	位号	芯片型号	容量	厂家
PS	U24、U25、U26、U27	MT40A512M16LY-062E IT:E	512x16bit	Micron
PL	U28、U29	MT40A512M16LY-062E IT:E	512x16bit	Micron

表 4 DDR4 配置

PS 端的 DDR4 的硬件连接方式如下图所示:

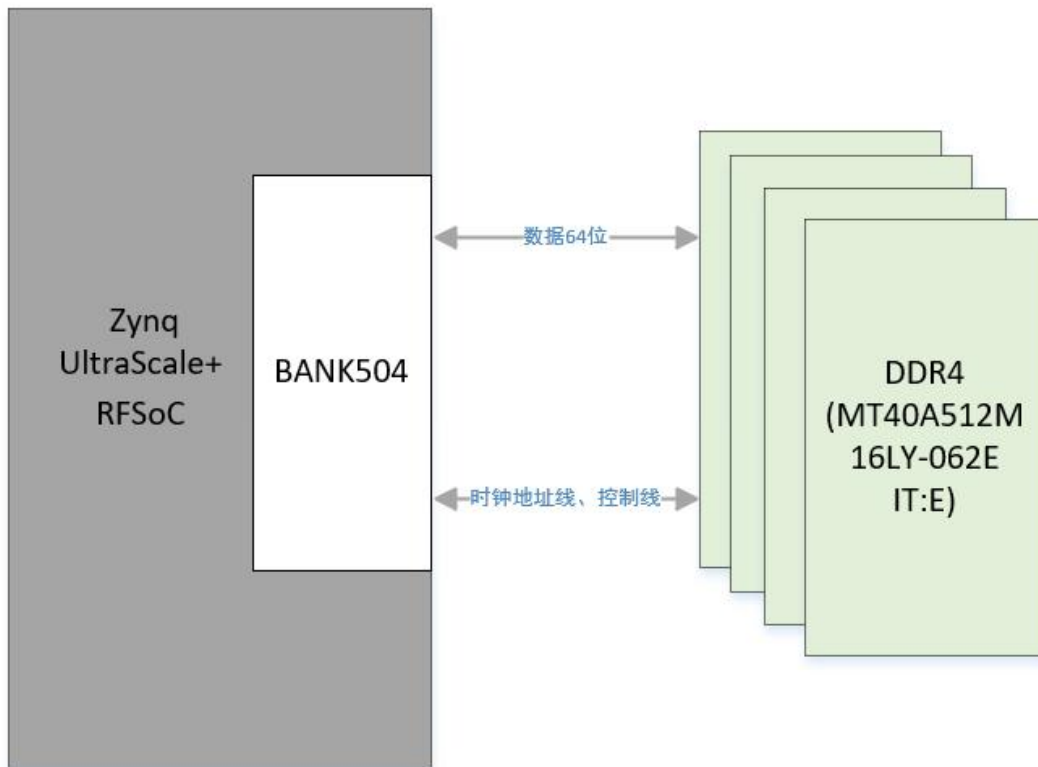


图 7 PS 端的 DDR4 连接示意图

PL 端的 DDR4 的硬件连接方式如下:

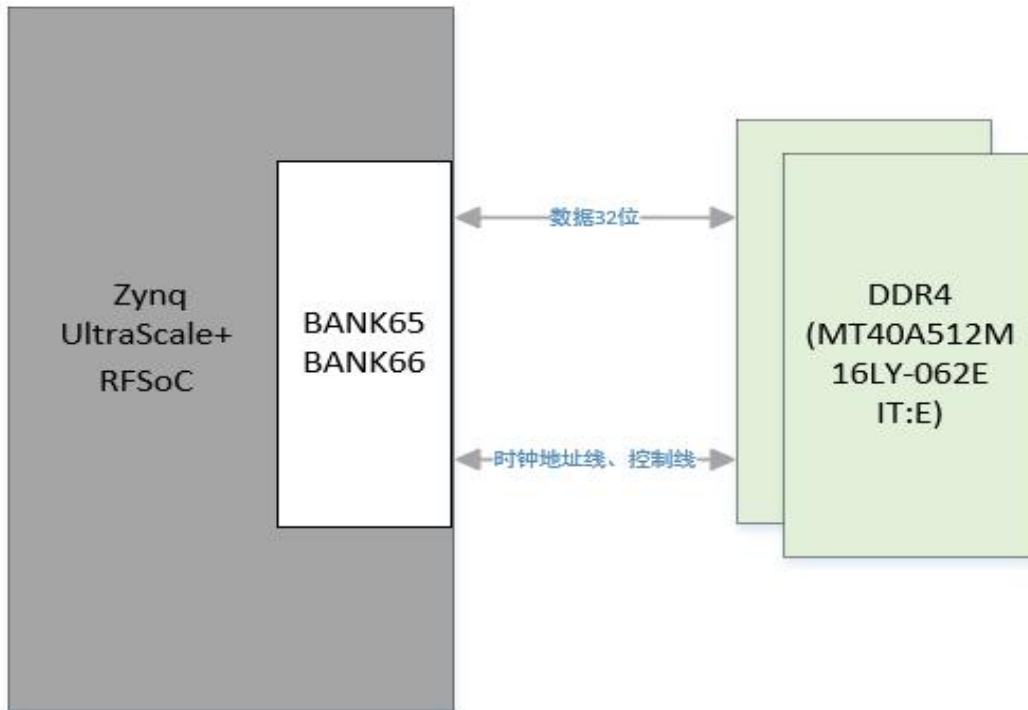


图 8 PL 端的 DDR4 连接示意图

注意:

1. 虽然内存颗粒支持高达 3200MT/s 的传输速率，然而 FPGA 芯片最高支持 2400 Mb/s 的传输速率，具体请参考芯片规格书。
2. 此处展示的是内存与主芯片适配的性能最高参数（同时也意味着功耗最高），用户可根据自己使用场景进行调整以平衡功耗和性能。

3.6 QSPI FLASH

板卡在 PS 配置了两片 MT25QU01GBBB8E12-0SIT 串行 Nor Flash 存储芯片，可用于存储可执行代码和数据，例如引导程序，操作系统和比特流。两片 QSPI 芯片是通过并行的方式接入。

为了实现更高性能，两个 Quad-SPI 器件并行连接，共提供 8 位数据总线用于引导和配置。XCZU47DR 挂两片 QSPI Nor Flash，互联方式如下所示：

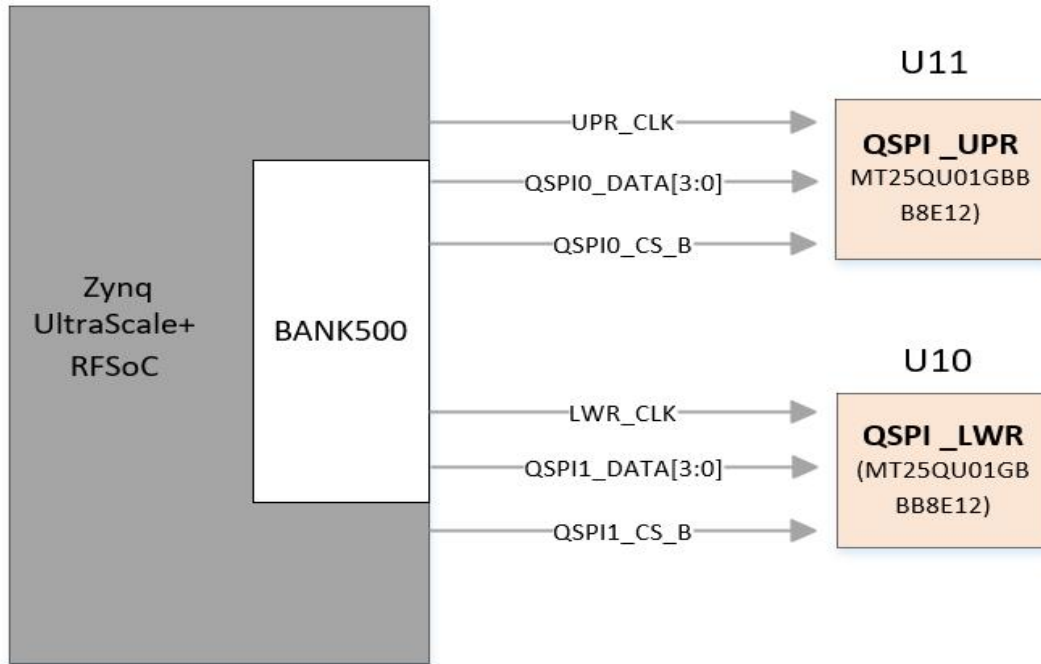


图 9 两片 QSPI Nor Flash 与 XCZU47DR 互联示意图

两片 QSPI Nor Flash 互联引脚定义如下:

FPGA 管脚号	FPGA 管脚名	信号名	QSPI 管脚号	QSPI 管脚名
U1.MIO12_B15	PS_MIO12_B15	MIO12_QSPI_UPR_CLK	U11.B2	C
U1.MIO10_C15	PS_MIO10_C15	MIO10_QSPI_UPR_DQ2	U11.C4	DQ2_W_B
U1.MIO9_F15	PS_MIO9_F15	MIO9_QSPI_UPR_DQ1	U11.D2	DQ1
U1.MIO8_E15	PS_MIO8_E15	MIO8_QSPI_UPR_DQ0	U11.D3	DQ0
U1.MIO11_G16	PS_MIO11_G16	MIO11_QSPI_UPR_DQ3	U11.D4	DQ3_RST_HLD_B
U1.MIO7_K17	PS_MIO7_K17	MIO7_QSPI_UPR_CS_B	U11.C2	S_B
U1.MIO5_H18	PS_MIO5_H18	MIO5_QSPI_LWR_CS_B	U10.C2	S_B
U1.MIO4_G15	PS_MIO4_G15	MIO4_QSPI_LWR_DQ0	U10.D3	DQ0
U1.MIO3_K16	PS_MIO3_K16	MIO3_QSPI_LWR_DQ3	U10.D4	DQ3_RST_HLD_B
U1.MIO2_J16	PS_MIO2_J16	MIO2_QSPI_LWR_DQ2	U10.C4	DQ2_W_B
U1.MIO1_J18	PS_MIO1_J18	MIO1_QSPI_LWR_DQ1	U10.D2	DQ1
U1.MIO0_J17	PS_MIO0_J17	MIO0_QSPI_LWR_CLK	U10.B2	C

表 5 2 片 QSPI Nor Flash 互联引脚定义

3.7 eMMC

核心板提供了 eMMC 存储。连接到主芯片的 PS 端，直接与主芯片进行数据交互。

eMMC 整体连接示意图如下图所示:

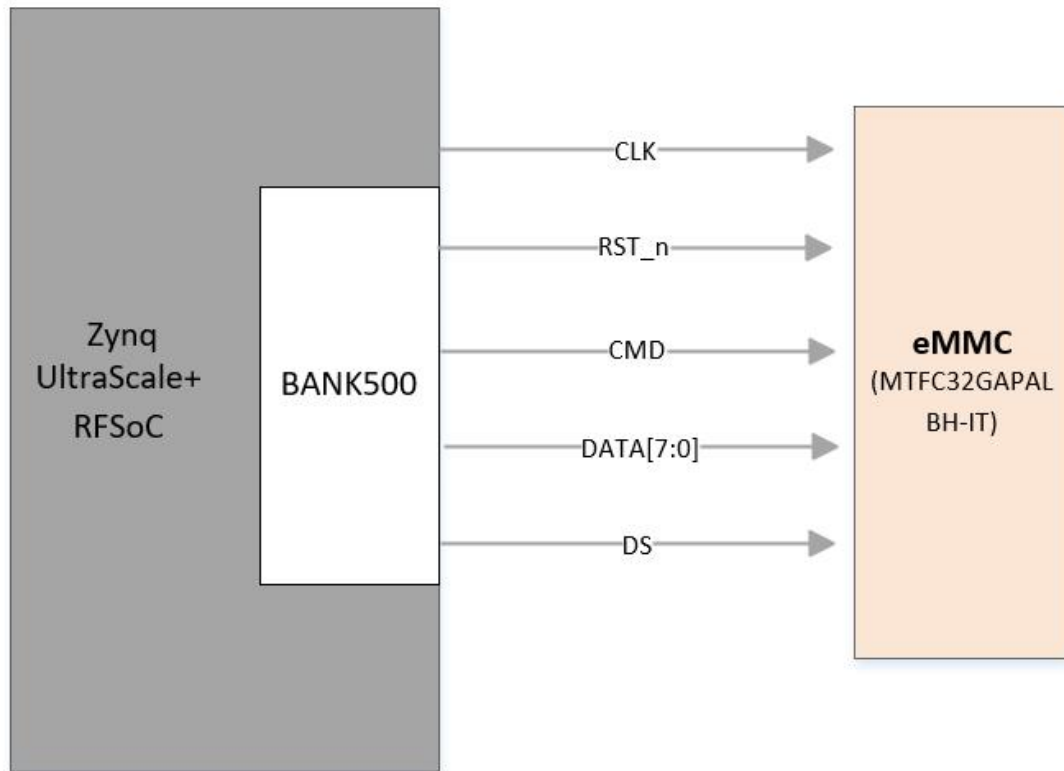


图 10 eMMC 整体连接示意图

eMMC 引脚分配表:

信号名称	引脚名	引脚号
eMMC_DS	PS_MIO25_B17	B17
MIO23_eMMC_RST	PS_MIO23_D17	D17
MIO22_eMMC_CLK	PS_MIO22_E17	E17
MIO21_eMMC_CMD	PS_MIO21_F17	F17
MIO20_eMMC_DAT7	PS_MIO20_B16	B16
MIO20_eMMC_DAT6	PS_MIO19_C16	C16
MIO18_eMMC_DAT5	PS_MIO18_F18	F18
MIO17_eMMC_DAT4	PS_MIO17_E16	E16
MIO16_eMMC_DAT3	PS_MIO16_G17	G17
MIO15_eMMC_DAT2	PS_MIO15_D16	D16
MIO14_eMMC_DAT1	PS_MIO14_A15	A15
MIO13_eMMC_DAT0	PS_MIO13_G18	G18

表 6 eMMC 引脚分配

3.8 EEPROM

核心板上板载了一片 EEPROM，型号为 M24C08-RDW6TP，容量为 8Kb，通过 IIC 总线连接到 PL 端进行通信。

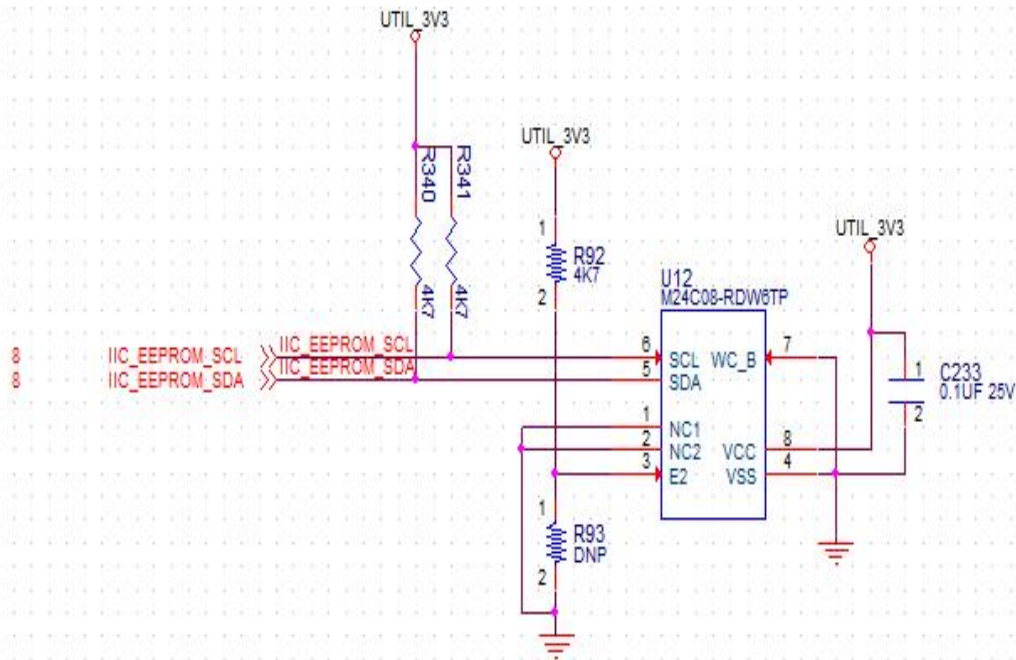


图 11 EEPROM 硬件原理图

EEPROM 引脚分配表:

信号名称	引脚名	引脚号	备注
IIC_EEPROM_SCL	IO_L12N_AD8N_88_A12	A12	I2C 数据信号
IIC_EEPROM_SDA	IO_L12P_AD8P_88_B12	B12	I2C 时钟信号

表 7 EEPROM 引脚定义

3.9 核心板指示灯

主芯片状态指示灯:

本板卡主芯片 XCZU47DR (位号 U1) 状态指示灯有 8 处, 其中 FPGA 状态信号灯的位置如下图, 图 11 主芯片 XCZU47DR 状态指示灯位置示意图所示:

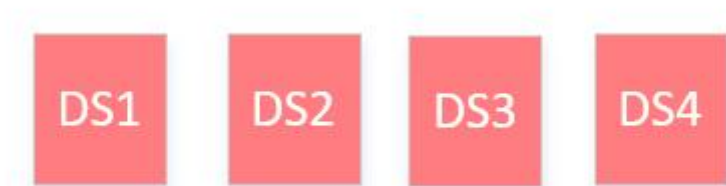


图 12 主芯片 XCZU47DR 状态指示灯位置示意图

每个 LED 灯指示的功能状态如下表 表 8: 第一片 XCZU47DR 状态指示灯功能说明所示:

LED 编号	指示灯颜色	功能
DS1	红色	FPGA 初始化异常
DS2	红色	FPGA 下载异常
DS3	红色	PS_ERR_OUT 指示灯
DS4	红色	PS_ERR_STATUS 指示灯

表 8 主芯片 XCZU47DR 状态指示灯功能说明

整板输入电源指示灯:

本板卡输入电源为 12V, 电源由底板提供, 通过连接器 J4 引入核心板。当输入电源正常, 电源指示灯 DS6 (高亮绿色)。DS6 指示灯位于编号 13 处, DS6 电源指示灯的具体位置示意图如下图 图 12 编号 13 处电源指示灯 DS6 位置示意图所示:

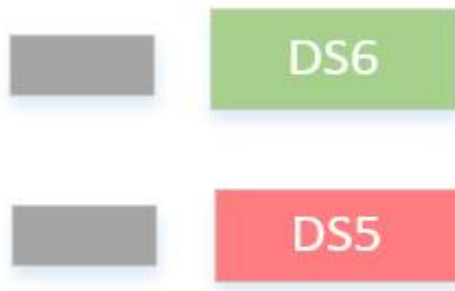


图 13 编号 13 处电源指示灯 DS6 位置示意图

3.10 PS-GTR 接口

核心板的 PS 端 GTR 高速 BANK 未进行任何使用, 全部通过连接器拉出, 支持数据速率最高 6.0Gb/s, 可以当作 PCIE Gen2 的 x1、x2、x4 使用, 也可以作为 SATA 使用, 支持 1.5Gb/s、3.0Gb/s、6Gb/s 数据速率, 也可以支持 DP 接口以及 USB3.0 接口等其它应用。

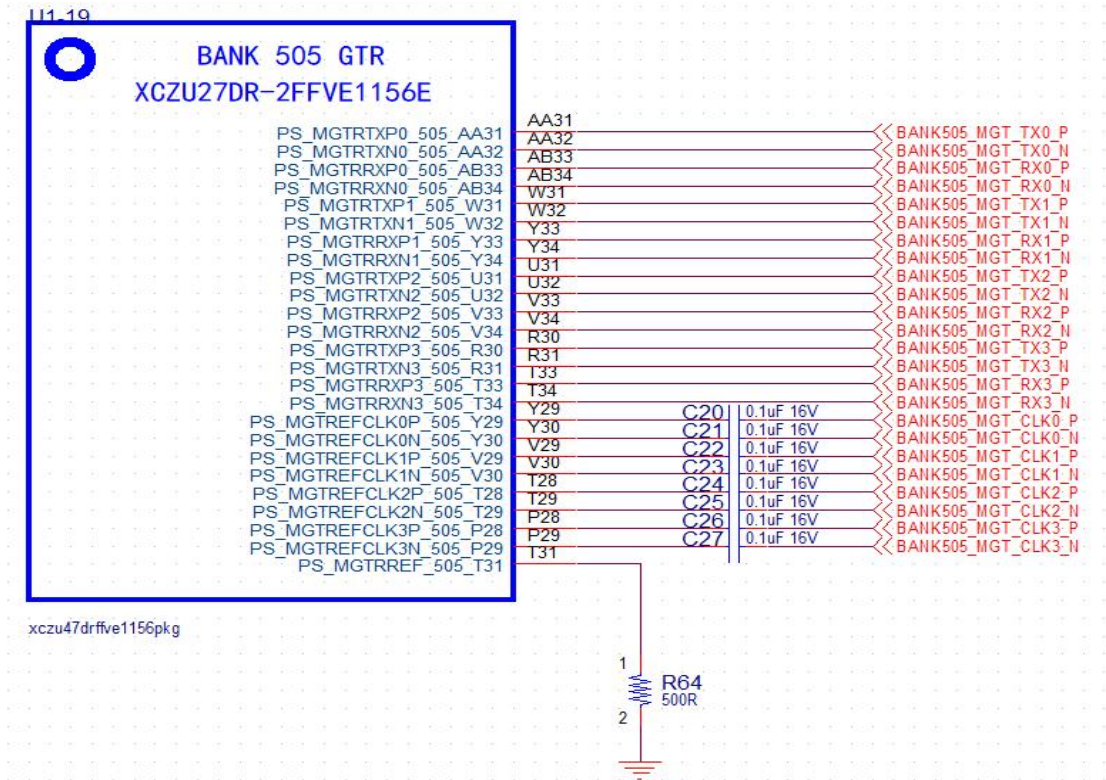


图 14 PS 端 GTR 高速收发器映射图

3.11 PL-GTY 接口

核心板支持 GTY 高速收发器，利用高速收发器，可以实现 PCIe x8 Gen4.0（需要搭配 PCIE 载卡），数据速率高达 16.0Gb/s，也支持 100G 光纤接口互联。方便用户二次开发，设计风险小，方便灵活。

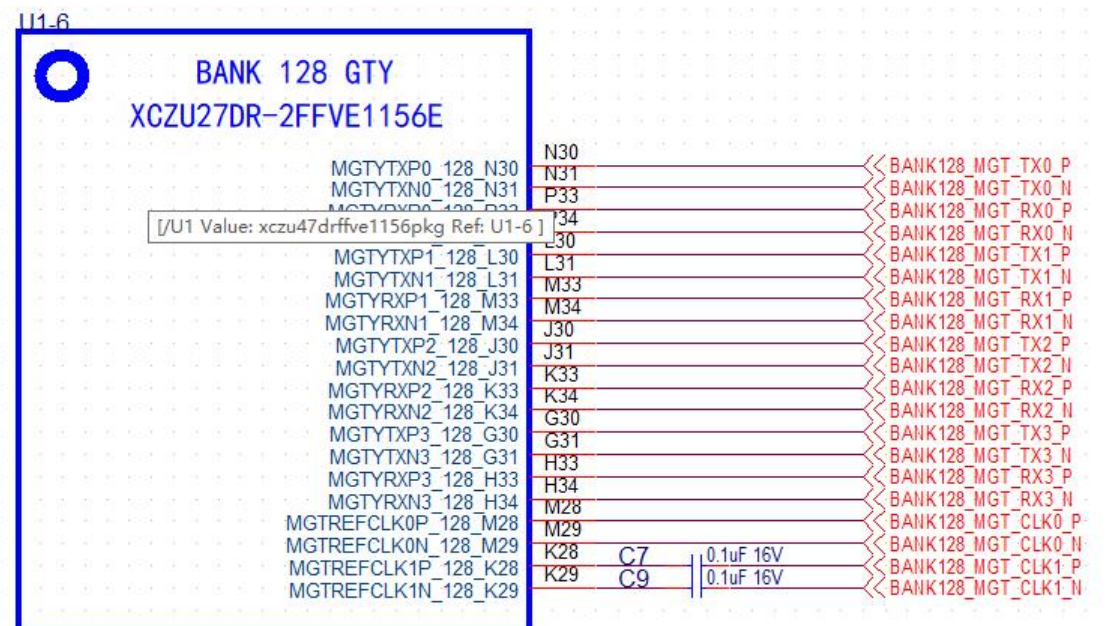


图 15 高速收发器映射图

3.12 RF 接口

核心板使用的 FPGA 芯片是 Zynq™ UltraScale+™ RFSoc Gen3 系列业界唯一单芯片自适应无线电平台，芯片集成了 14-bit 的 RF-ADC，最大采样率可达 5GSPS，并且 VCM 信号也引出至连接器，方便用户调节共模电压。

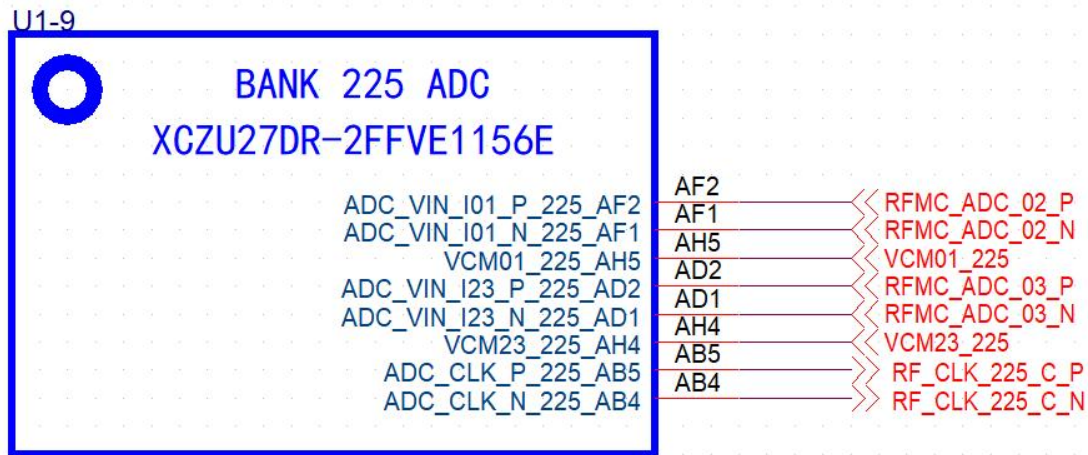


图 16 RF-ADC 接口示意图

核心板使用 FPGA 芯片是 Zynq™ UltraScale+™ RFSoc Gen3 系列业界唯一单芯片自适应无线电平台，芯片集成了 14-bit 的 RF-DAC，最大采样率可达 9.85GSPS。

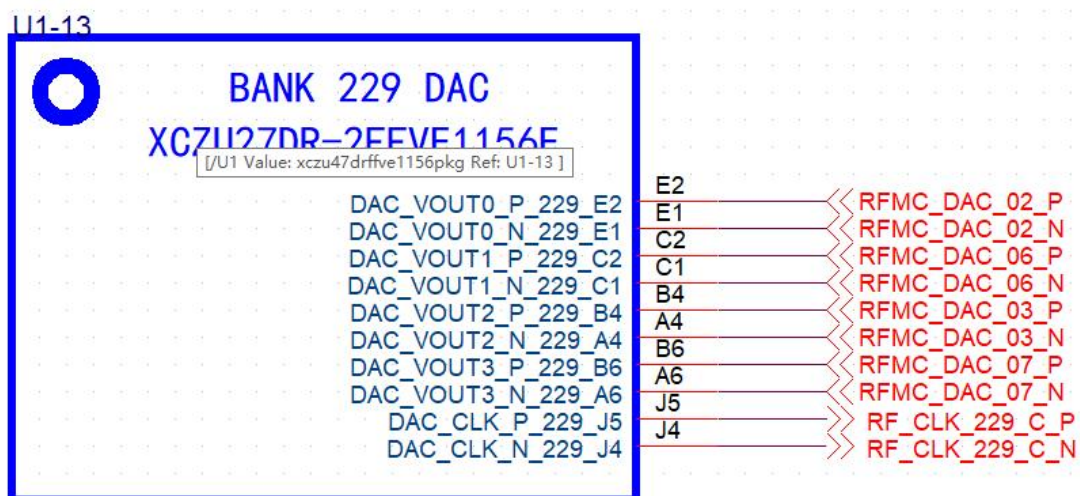


图 17 RF-DAC 接口示意图

3.13 时钟配置

核心板上提供双晶振时钟，系统时钟默认使用 33.3333MHz 有源晶振。晶体 32.768KHz，驱动核心板内部 RTC 电路。时钟电路设计的示意图如下图所示：

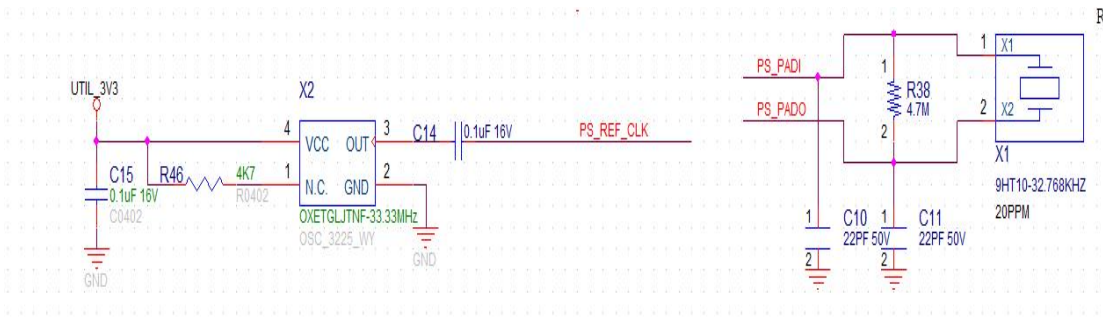


图 18 晶振原理图

核心板采用 LMK04828 时钟芯片分配各个模块所需时钟，主晶振采用 100MHz 晶振。支持 GTY 恢复时钟，支持外部参考时钟的输入与 SYSREF 输入，可实现多模块并联形成更大规模相参射频通道。

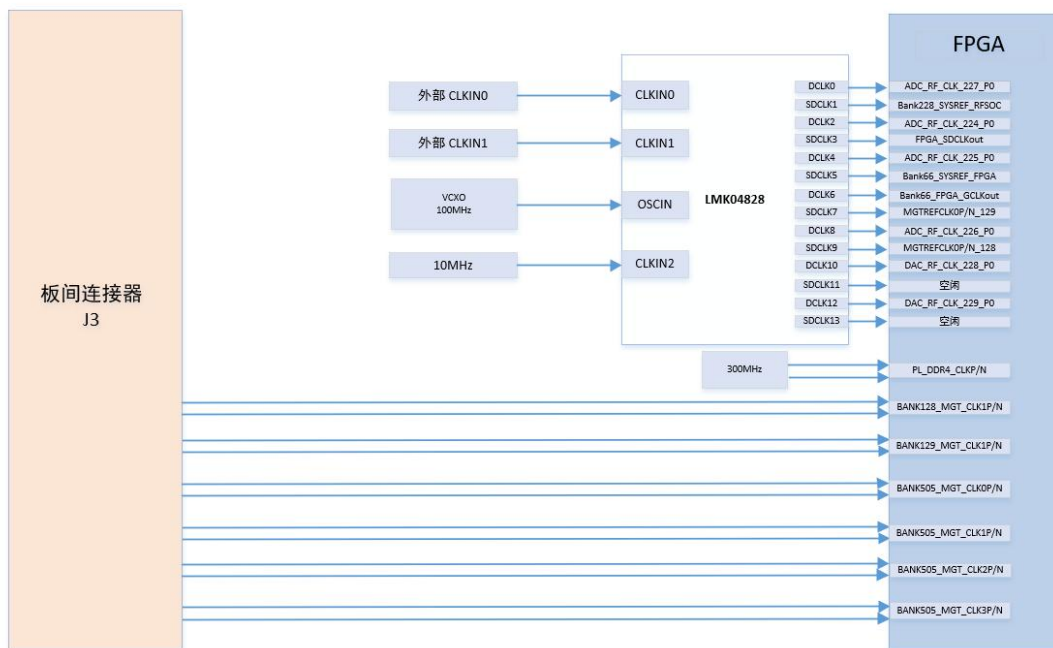


图 19 整板时钟拓扑图示意图

3.14 电源

核心板采用直流 12V 供电，通过连接器底板给核心板供电。核心板典型功耗 60W。12V 系统电源通过降压型稳压器变换不同的电压驱动板卡上的 FPGA 以及其它电路，板卡 ADC 与 DAC 的供电由线性低压 LDO 提供，具有较好的电源抑制 (PSRR)。

核心模块的扩展 IO BANK 接口电平如下：

BANK	电平	备注
BANK65	1.2V	未进行任何定义，将剩余 IO 拉至连接器
BANK88	3.3V	HD_BANK 支持 1.2~3.3V (HD I/O only) at $\pm 5\%$
BANK89	1.8V 或 3.3V	核心板默认 1.8V,可通过磁珠调整该 BANK 电平
BANK128	MGTY(1.2V)	PCIE Gen4 信号
BANK129	MGTY(1.2V)	PCIE Gen4 信号
BANK501	1.8V 或 3.3V	核心板默认 1.8V,可通过磁珠调整该 BANK 电平
BANK502	1.8V 或 3.3V	核心板默认 1.8V,可通过磁珠调整该 BANK 电平
BANK503	1.8V 固定	配置管脚输出，模式选择，系统复位信号
BANK505	PS_MGTR	未进行任何定义，高速信号管脚和时钟信号全部拉出至连接器

表 9 主芯片 XCZU47DR 状态指示灯功能说明

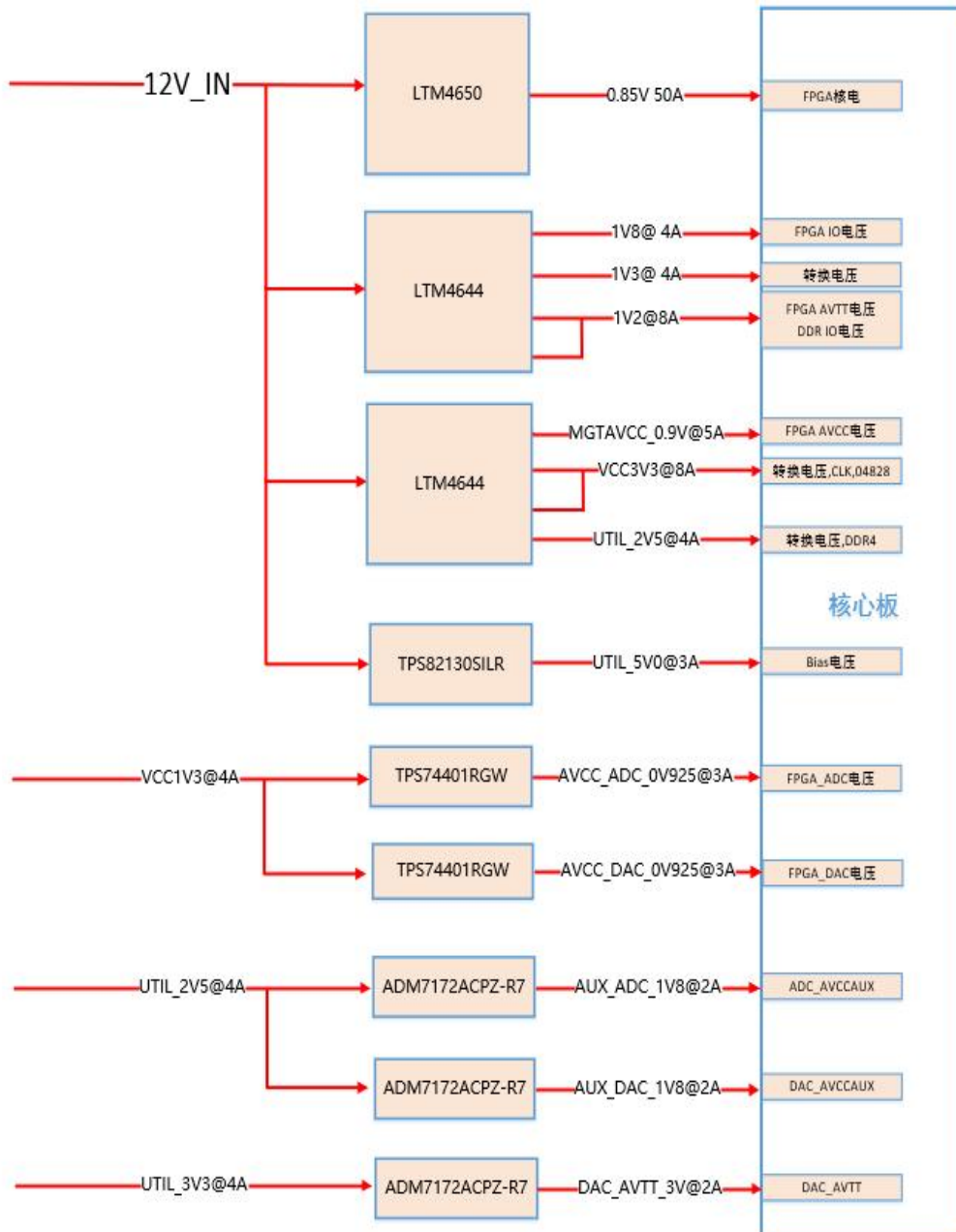


图 20 整板电源结构树

3.15 结构图

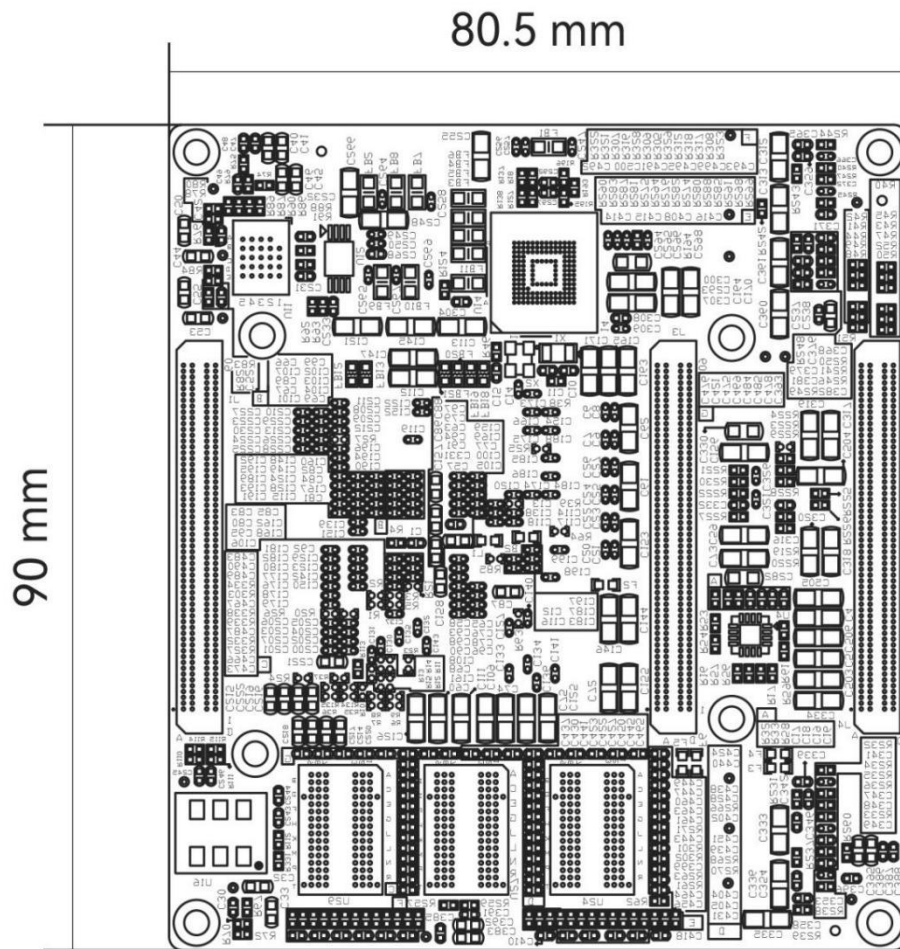


图 21 核心板正面结构图

3.16 用户扩展接口定义

核心板一共扩展出 3 个高速扩展口，使用个 240Pin 的板间连接器 (J1、J3、J4) 和底板连接，连接器使用 Samtec 公司的 ADM6-60-01.5-L-4-2-TR 连接器。连接器信号定义如下所示：

J1 连接器定义：

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A01	GND	B01	GND	C01	GND	D01	GND
A02	GND	B02	GND	C02	GND	D02	GND
A03	GND	B03	GND	C03	GND	D03	GND
A04	GND	B04	GND	C04	GND	D04	GND
A05	GND	B05	GND	C05	GND	D05	GND
A06	VCM01_224	B06	VCM01_225	C06	VCM01_226	D06	VCM01_227
A07	GND	B07	GND	C07	GND	D07	GND
A08	GND	B08	GND	C08	GND	D08	GND
A09	GND	B09	GND	C09	GND	D09	GND

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A10	GND	B10	GND	C10	GND	D10	GND
A11	VCM23_224	B11	VCM23_225	C11	VCM23_226	D11	VCM23_227
A12	GND	B12	GND	C12	GND	D12	GND
A13	GND	B13	GND	C13	GND	D13	GND
A14	GND	B14	GND	C14	GND	D14	GND
A15	GND	B15	GND	C15	GND	D15	GND
A16	RFMC_ADC_01_N	B16	RFMC_ADC_01_P	C16	RFMC_ADC_00_N	D16	RFMC_ADC_00_P
A17	GND	B17	GND	C17	GND	D17	GND
A18	GND	B18	GND	C18	GND	D18	GND
A19	GND	B19	GND	C19	GND	D19	GND
A20	GND	B20	GND	C20	GND	D20	GND
A21	RFMC_ADC_03_N	B21	RFMC_ADC_03_P	C21	RFMC_ADC_02_N	D21	RFMC_ADC_02_P
A22	GND	B22	GND	C22	GND	D22	GND
A23	GND	B23	GND	C23	GND	D23	GND
A24	GND	B24	GND	C24	GND	D24	GND
A25	GND	B25	GND	C25	GND	D25	GND
A26	RFMC_ADC_05_N	B26	RFMC_ADC_05_P	C26	RFMC_ADC_04_N	D26	RFMC_ADC_04_P
A27	GND	B27	GND	C27	GND	D27	GND
A28	GND	B28	GND	C28	GND	D28	GND
A29	GND	B29	GND	C29	GND	D29	GND
A30	GND	B30	GND	C30	GND	D30	GND
A31	RFMC_ADC_05_N	B31	RFMC_ADC_05_P	C31	RFMC_ADC_06_N	D31	RFMC_ADC_06_P
A32	GND	B32	GND	C32	GND	D32	GND
A33	GND	B33	GND	C33	GND	D33	GND
A34	GND	B34	GND	C34	GND	D34	GND
A35	GND	B35	GND	C35	GND	D35	GND
A36	RFMC_DAC_04_N	B36	RFMC_DAC_04_P	C36	RFMC_DAC_00_N	D36	RFMC_DAC_00_P
A37	GND	B37	GND	C37	GND	D37	GND
A38	GND	B38	GND	C38	GND	D38	GND
A39	GND	B39	GND	C39	GND	D39	GND
A40	GND	B40	GND	C40	GND	D40	GND
A41	RFMC_DAC_05_N	B41	RFMC_DAC_05_P	C41	RFMC_DAC_01_N	D41	RFMC_DAC_01_P
A42	GND	B42	GND	C42	GND	D42	GND
A43	GND	B43	GND	C43	GND	D43	GND
A44	GND	B44	GND	C44	GND	D44	GND
A45	GND	B45	GND	C45	GND	D45	GND
A46	RFMC_DAC_06_N	B46	RFMC_DAC_06_P	C46	RFMC_DAC_02_N	D46	RFMC_DAC_02_P
A47	GND	B47	GND	C47	GND	D47	GND
A48	GND	B48	GND	C48	GND	D48	GND
A49	GND	B49	GND	C49	GND	D49	GND
A50	GND	B50	GND	C50	GND	D50	GND
A51	RFMC_DAC_07_N	B51	RFMC_DAC_07_P	C51	RFMC_DAC_03_N	D51	RFMC_DAC_03_P

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A52	GND	B52	GND	C52	GND	D52	GND
A53	GND	B53	GND	C53	GND	D53	GND
A54	GND	B54	GND	C54	GND	D54	GND
A55	GND	B55	GND	C55	GND	D55	GND
A56	GND	B56	GND	C56	GND	D56	GND
A57	GND	B57	GND	C57	GND	D57	GND
A58	GND	B58	GND	C58	GND	D58	GND
A59	GND	B59	GND	C59	GND	D59	GND
A60	GND	B60	GND	C60	GND	D60	GND

表 10 扩展接口 J1 与主芯片的信号互联表格

J3 连接器定义:

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A01	GND	B01	GND	C01	GND	D01	GND
A02	GND	B02	GND	C02	GND	D02	GND
A03	GND	B03	GND	C03	GND	D03	GND
A04	GND	B04	GND	C04	GND	D04	GND
A05	CLKIN0_P	B05	CLKIN0_N	C05	CLKIN1_P	D05	CLKIN1_N
A06	GND	B06	GND	C06	GND	D06	GND
A07	GND	B07	GND	C07	GND	D07	GND
A08	GND	B08	GND	C08	IO_L2P_T0L_N2_66_AP6_1V2	D08	IO_L2N_T0L_N3_66_AP5_1V2
A09	GND	B09	IO_T3U_N12_66_AH12_1V2	C09	GND	D09	GND
A10	GND	B10	GND	C10	IO_L3P_T0L_N4_AD15P_66_AM6_1V2	D10	IO_L3N_T0L_N5_AD15N_66_AM5_1V2
A11	VCC_PSBATT_C	B11	PS_DONE	C11	GND	D11	GND
A12	GND	B12	GND	C12	GND	D12	PS_ERR_OUT
A13	GND	B13	GND	C13	GND	D13	GND
A14	JTAG_TDO	B14	GND	C14	IO_L5P_T0U_N8_AD14P_66_AP3_1V2	D14	IO_L5N_T0U_N9_AD14N_66_AP2_1V2
A15	GND	B15	PS_INIT_B	C15	GND	D15	GND
A16	GND	B16	GND	C16	PS_ERR_STATUS	D16	PS_PROG_B
A17	GND	B17	GND	C17	GND	D17	GND
A18	PS_POR_B	B18	PS_SRST_B	C18	GND	D18	GND
A19	GND	B19	GND	C19	IO_L1P_T0L_N0_DBC_66_AP8_1V2	D19	IO_L1N_T0L_N1_DBC_66_AP7_1V2
A20	JTAG_TCK	B20	JTAG_TMS	C20	GND	D20	GND
A21	GND	B21	GND	C21	IO_L6P_T0U_N10_AD6P_66_AN2_1V2	D21	IO_L6N_T0U_N11_AD6N_66_AN1_1V2
A22	IO_L4P_T0U_N6_DBC_AD7P_66_AN5_1V2	B22	IO_L4N_T0U_N7_DBC_AD7N_66_AN4_1V2	C22	GND	D22	GND
A23	GND	B23	GND	C23	GND	D23	GND

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A24	PS_MODE3	B24	JTAG_TDI	C24	GND	D24	GND
A25	GND	B25	GND	C25	PS_MODE2	D25	LMK_SYNC_C
A26	PS_MODE1	B26	PS_MODE0	C26	GND	D26	GND
A27	GND	B27	GND	C27	GND	D27	GND
A28	GND	B28	GND	C28	BANK505_MGT_RX0_P	D28	BANK505_MGT_RX0_N
A29	BANK505_MGT_CLK0_P	B29	BANK505_MGT_CLK0_N	C29	GND	D29	GND
A30	GND	B30	GND	C30	BANK505_MGT_RX1_P	D30	BANK505_MGT_RX1_N
A31	BANK505_MGT_TX0_P	B31	BANK505_MGT_TX0_N	C31	GND	D31	GND
A32	GND	B32	GND	C32	BANK505_MGT_RX2_P	D32	BANK505_MGT_RX2_N
A33	BANK505_MGT_TX1_P	B33	BANK505_MGT_TX1_N	C33	GND	D33	GND
A34	GND	B34	GND	C34	BANK505_MGT_RX3_P	D34	BANK505_MGT_RX3_N
A35	BANK505_MGT_TX2_P	B35	BANK505_MGT_TX2_N	C35	GND	D35	GND
A36	GND	B36	GND	C36	BANK505_MGT_CLK1_P	D36	BANK505_MGT_CLK1_N
A37	BANK505_MGT_CLK2_P	B37	BANK505_MGT_CLK2_N	C37	GND	D37	GND
A38	GND	B38	GND	C38	BANK505_MGT_CLK3_P	D38	BANK505_MGT_CLK3_N
A39	BANK505_MGT_TX3_P	B39	BANK505_MGT_TX3_N	C39	GND	D39	GND
A40	GND	B40	GND	C40	BANK128_MGT_RX0_P	D40	BANK128_MGT_RX0_N
A41	BANK128_MGT_TX0_P	B41	BANK128_MGT_TX0_N	C41	GND	D41	GND
A42	GND	B42	GND	C42	BANK128_MGT_CLK1_P	D42	BANK128_MGT_CLK1_N
A43	BANK128_MGT_TX1_P	B43	BANK128_MGT_TX1_N	C43	GND	D43	GND
A44	GND	B44	GND	C44	BANK128_MGT_RX1_P	D44	BANK128_MGT_RX1_N
A45	BANK129_MGT_CLK1_P	B45	BANK129_MGT_CLK1_N	C45	GND	D45	GND
A46	GND	B46	GND	C46	BANK128_MGT_RX2_P	D46	BANK128_MGT_RX2_N
A47	BANK128_MGT_TX2_P	B47	BANK128_MGT_TX2_N	C47	GND	D47	GND
A48	GND	B48	GND	C48	BANK128_MGT_RX3_P	D48	BANK128_MGT_RX3_N
A49	BANK128_MGT_TX3_P	B49	BANK128_MGT_TX3_N	C49	GND	D49	GND
A50	GND	B50	GND	C50	BANK129_MGT_RX0_P	D50	BANK129_MGT_RX0_N
A51	BANK129_MGT_TX0_P	B51	BANK129_MGT_TX0_N	C51	GND	D51	GND
A52	GND	B52	GND	C52	BANK129_MGT_RX1_P	D52	BANK129_MGT_RX1_N

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A53	BANK129_MGT_TX1_P	B53	BANK129_MGT_TX1_N	C53	GND	D53	GND
A54	GND	B54	GND	C54	BANK129_MGT_RX2_P	D54	BANK129_MGT_RX2_N
A55	BANK129_MGT_TX2_P	B55	BANK129_MGT_TX2_N	C55	GND	D55	GND
A56	GND	B56	GND	C56	BANK129_MGT_RX3_P	D56	BANK129_MGT_RX3_N
A57	BANK129_MGT_TX3_P	B57	BANK129_MGT_TX3_N	C57	GND	D57	GND
A58	GND	B58	GND	C58	GND	D58	GND
A59	GND	B59	GND	C59	GND	D59	GND
A60	GND	B60	GND	C60	GND	D60	GND

表 11 扩展接口 J3 与主芯片的信号互联表格

J4 连接器定义:

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A01	VCC12V_SW	B01	VCC12V_SW	C01	VCC12V_SW	D01	VCC12V_SW
A02	VCC12V_SW	B02	VCC12V_SW	C02	VCC12V_SW	D02	VCC12V_SW
A03	VCC12V_SW	B03	VCC12V_SW	C03	VCC12V_SW	D03	VCC12V_SW
A04	VCC12V_SW	B04	VCC12V_SW	C04	VCC12V_SW	D04	VCC12V_SW
A05	GND	B05	GND	C05	GND	D05	GND
A06	GND	B06	GND	C06	GND	D06	GND
A07	GND	B07	GND	C07	GND	D07	GND
A08	GND	B08	GND	C08	DXP	D08	DXN
A09	BANK501_PS_MIO28	B09	GND	C09	GND	D09	GND
A10	GND	B10	GND	C10	BANK502_PS_MIO66	D10	BANK502_PS_MIO67
A11	BANK501_PS_MIO29	B11	BANK501_PS_MIO30	C11	GND	D11	GND
A12	GND	B12	GND	C12	BANK502_PS_MIO68	D12	BANK502_PS_MIO76
A13	BANK501_PS_MIO33	B13	BANK501_PS_MIO31	C13	GND	D13	GND
A14	GND	B14	GND	C14	BANK502_PS_MIO69	D14	BANK502_PS_MIO77
A15	BANK501_PS_MIO35	B15	BANK501_PS_MIO32	C15	GND	D15	GND
A16	GND	B16	GND	C16	BANK502_PS_MIO72	D16	BANK502_PS_MIO74
A17	BANK501_PS_MIO49	B17	BANK501_PS_MIO42	C17	GND	D17	GND
A18	GND	B18	GND	C18	BANK502_PS_MIO70	D18	BANK502_PS_MIO75
A19	BANK501_PS_MIO47	B19	BANK501_PS_MIO50	C19	GND	D19	GND
A20	GND	B20	GND	C20	BANK502_PS_MIO73	D20	BANK502_PS_MIO64
A21	BANK501_PS_MIO48	B21	BANK501_PS_MIO51	C21	GND	D21	GND
A22	GND	B22	GND	C22	BANK502_PS_MIO65	D22	BANK502_PS_MIO71
A23	BANK501_PS_MIO44	B23	BANK501_PS_MIO45	C23	GND	D23	GND
A24	GND	B24	GND	C24	BANK502_PS_MIO54	D24	BANK502_PS_MIO56
A25	BANK501_PS_MIO46	B25	BANK501_PS_MIO39	C25	GND	D25	GND
A26	GND	B26	GND	C26	BANK502_PS_MIO60	D26	BANK502_PS_MIO62

标号	信号网络	标号	信号网络	标号	信号网络	标号	信号网络
A27	BANK501_PS_MIO41	B27	BANK501_PS_MIO43	C27	GND	D27	GND
A28	GND	B28	GND	C28	BANK502_PS_MIO63	D28	BANK502_PS_MIO58
A29	BANK501_PS_MIO27	B29	BANK501_PS_MIO26	C29	GND	D29	GND
A30	GND	B30	GND	C30	BANK502_PS_MIO59	D30	BANK502_PS_MIO55
A31	BANK501_PS_MIO40	B31	BANK501_PS_MIO38	C31	GND	D31	GND
A32	GND	B32	GND	C32	BANK502_PS_MIO61	D32	BANK501_PS_MIO37
A33	BANK501_PS_MIO36	B33	BANK500_PS_MIO24	C33	GND	D33	GND
A34	GND	B34	GND	C34	BANK502_PS_MIO57	D34	BANK502_PS_MIO52
A35	BANK501_PS_MIO34	B35	BANK500_PS_MIO6	C35	GND	D35	GND
A36	GND	B36	GND	C36	BANK502_PS_MIO53	D36	GND
A37	GND	B37	GND	C37	GND	D37	GND
A38	GND	B38	GND	C38	GND	D38	BANK88_IO_GC_L5N
A39	BANK89_IO_L10P	B39	BANK89_IO_L10N	C39	GND	D39	GND
A40	GND	B40	GND	C40	BANK89_IO_L12P	D40	BANK89_IO_L12N
A41	BANK89_IO_L9P	B41	BANK89_IO_L9N	C41	GND	D41	GND
A42	GND	B42	GND	C42	BANK89_IO_L11P	D42	BANK89_IO_L11N
A43	BANK89_IO_GC_L8P	B43	BANK89_IO_GC_L8N	C43	GND	D43	GND
A44	GND	B44	GND	C44	BANK88_IO_GC_L6P	D44	BANK88_IO_GC_L6N
A45	GND	B45	GND	C45	GND	D45	GND
A46	GND	B46	GND	C46	BANK88_IO_GC_L7P	D46	BANK88_IO_GC_L7N
A47	BANK89_IO_GC_L7P	B47	BANK89_IO_GC_L7N	C47	GND	D47	GND
A48	GND	B48	GND	C48	BANK88_IO_L9P	D48	BANK88_IO_L9N
A49	BANK89_IO_GC_L5P	B49	BANK89_IO_GC_L5N	C49	GND	D49	GND
A50	GND	B50	GND	C50	BANK88_IO_L10P	D50	BANK88_IO_L10N
A51	BANK89_IO_L4P	B51	BANK89_IO_L4N	C51	GND	D51	GND
A52	GND	B52	GND	C52	BANK88_IO_L11P	D52	BANK88_IO_L11N
A53	BANK89_IO_L2P	B53	BANK89_IO_L2N	C53	GND	D53	GND
A54	GND	B54	GND	C54	BANK88_IO_GC_L8P	D54	BANK88_IO_GC_L8N
A55	BANK89_IO_L3P	B55	BANK89_IO_L3N	C55	GND	D55	GND
A56	GND	B56	GND	C56	BANK89_IO_L1P	D56	BANK89_IO_L1N
A57	BANK89_IO_GC_L6P	B57	BANK89_IO_GC_L6N	C57	GND	D57	GND
A58	GND	B58	GND	C58	GND	D58	GND
A59	GND	B59	GND	C59	GND	D59	GND
A60	GND	B60	GND	C60	GND	D60	GND

表 12 扩展接口 J4 与主芯片的信号互联表格

4 载板

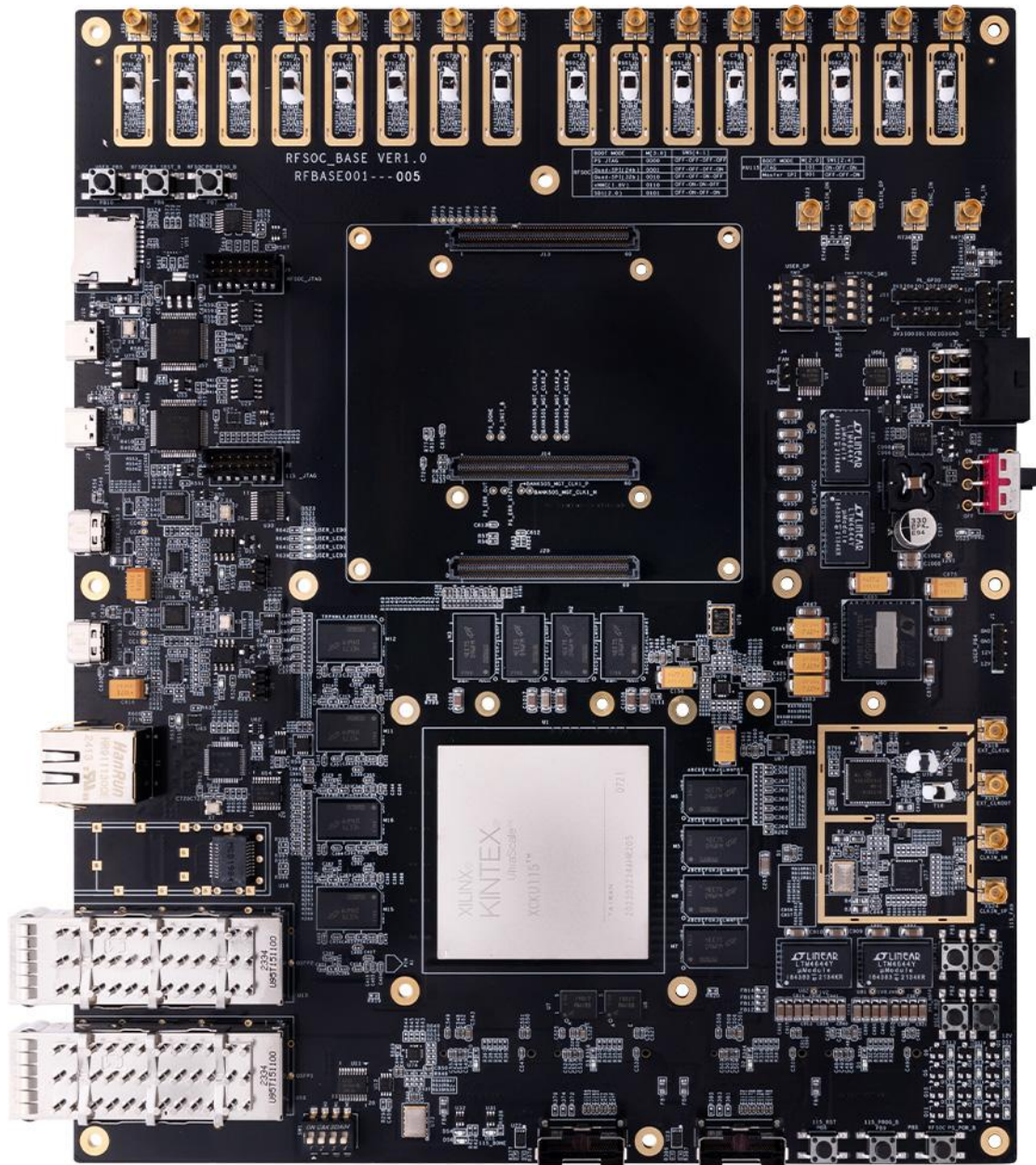


图 22 载板正面图

4.1 载板框图

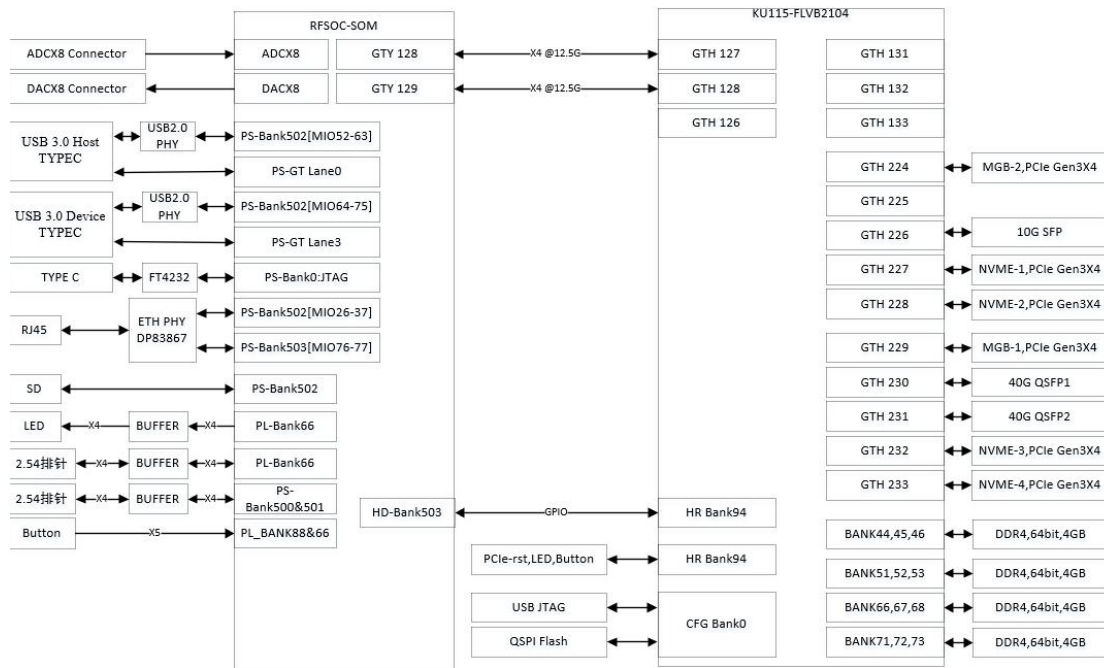


图 23 载板框图

4.2 载板关键参数

载板搭载芯片 XCKU115-FLVB2104，载板关键参数如下表：

主芯片	◆ XCKU115-FLVB2104
尺寸	◆ 215mm * 260mm
存储	◆ KU115 扩展 Nor Flash 512Mb *2 ◆ KU115 扩展出 4 组 64-bit DDR4
RFSOC 端	◆ USB&JTAG ◆ USB3.0*2 ◆ 千兆网口 ◆ DAC*8 ◆ ADC*8 ◆ SD Card ◆ 状态指示灯*4

	◆ 按键*5
KU115 端	<ul style="list-style-type: none"> ◆ NVMe 接口*4 ◆ MGB 接口*2 ◆ QSFP*2 ◆ SFP+ ◆ USB&JTAG ◆ 用户自定义指示灯*8
板卡供电	◆ 12V
功耗	60W (根据用途, 以实测值)
环境温度要求	工作时-40°C~110°C

表 13 载板关键参数

4.3 载板部分功能与位置

载板部分功能及位置说明见下图, 图 23 和图 24 为载板标识图, 每个位置的功能描述见表 13:

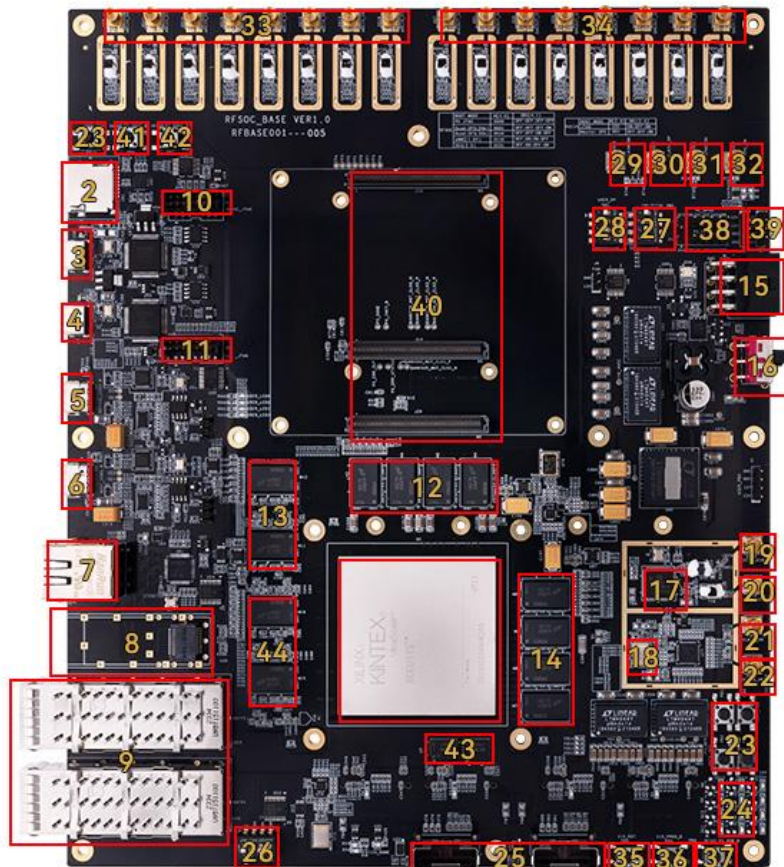


图 24 载板正面接口标记图

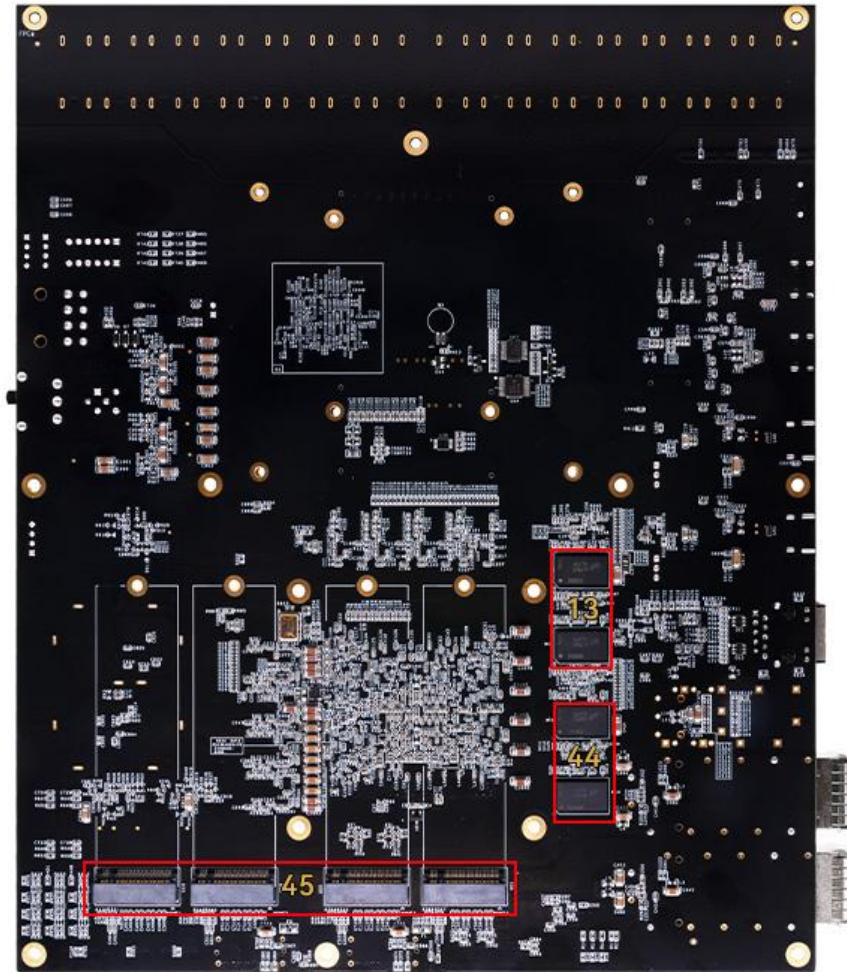


图 25 载板背面接口标记图

编号	功能
1	主芯片, XCKU115-FLVB2104, 位号 U1。
2	RFSOC 侧 SD 卡槽。
3	RFSOC 侧 USB&JTAG, 位号 J10。
4	KU115 侧 USB&JTAG, 位号 J3。
5	RFSOC 侧 USB3.0, 位号 J8。
6	RFSOC 侧 USB3.0, 位号 J6。
7	RFSOC 侧网口。
8	KU115 侧 SFP 座子。

编号	功能
9	KU115 侧两个 QSFP 笼子, 位号 U10 和 U13。
10	RFSOC 侧 JTAG 接口。
11	KU115 侧 JTAG 接口。
12	KU115 侧 DDR4 扩展内存 C0, 最大 2666Mb/s, 64bit 位宽, 容量共 4GB。
13	KU115 侧 DDR4 扩展内存 C2, 最大 2666Mb/s, 64bit 位宽, 容量共 4GB。
14	KU115 侧 DDR4 扩展内存 C1, 最大 2666Mb/s, 64bit 位宽, 容量共 4GB。
15	载板 12V 电源接口 J27。
16	电源开关 SW6。
17	时钟发生器 SI5341。
18	KU115 100MHz 时钟晶振。
19	SI5341 IN0 外部时钟输入端口 XS18。
20	SI5341 OUT9 时钟输出端口 XS19。
21	核心板 LMK04828 CLKIN1 N 输入时钟端口 XS25。
22	核心板 LMK04828 CLKIN1 P 输入时钟端口 XS24。
23	RFSOC 侧用户可自定义按键。
24	KU115 侧扩展 LED 灯。
25	KU115 侧 MGB1 和 MGB2 连接器, 位号 P1 和 P2。
26	KU115 侧模式控制开关, 位号 SW1。
27	RFSOC 侧模式控制开关, 位号 SW5。
28	KU115 侧预留拨码开关 SW2。
29	核心板 LMK04828 CLKIN0 N 输入时钟端口 XS23。

编号	功能
30	核心板 LMK04828 CLKIN0 P 输入时钟端口 XS22。
31	核心板 LMK04828 SYNC 输入端口 XS21。
32	RFSOC 侧 PPS 信号接口 XS17。
33	RFSOC 侧 ADC_IN。
34	RFSOC 侧 DAC_OUT。
35	KU115 侧复位按键 PB8。
36	KU115 侧 PROGRAM_B 按键 PB9。
37	RFSOC 侧 PS_POR_B 按键 PB5。
38	RFSOC 预留 IO 接口 J11、J12。
39	RFSOC 风扇接口 J22、J23。
40	板对板连接器，位号 J13、J14、J20。
41	RFSOC 侧 PS_SRST_B 按键 PB6。
42	RFSOC 侧 PS_PROG_B 按键 PB7。
43	QSPI Flash，存储代码及数据,U7 和 U8。
44	KU115 侧 DDR4 扩展内存 G3，最大 2666Mb/s，64bit 位宽，容量共 4GB。
45	NVMe 座子，U18、U19、U20、U21。

表 14 载板各位置功能说明

4.4 载板启动模式

载板有 2 种启动模式，JTAG 模式、QSPI 模式，通过拨码开关 SW1 即可配置 XCKU115-FLVB2104 的启动模式。

载板搭载芯片 XCKU115-FLVB2104（位号 U1），板卡通过开关 SW1 对设备配置方式进行选择，表 14 XCKU115-FLVB2104 各个状态对应的配置模式：

BOOT 模式	Mode pin [2:0]	SW1[2:4]
JTAG	101	ON, OFF, ON

QSPI	001	OFF,OFF, ON
------	-----	-------------

表 15 载板 XCKU115-FLVB2104 模式配置

4.5 Micro SD 卡座

载板包含一个由 RFSOC 引出的 Micro SD 卡接口, 以提供用户访问 SD 卡存储器, 用于存储 BOOT 程序、Linux 操作系统内核、文件系统以及其它的用户数据文件。SD 卡 IO 信号与 PS BANK501 的 MIO 信号相连, PS 和 SD 卡连接器连接示意图如下所示:

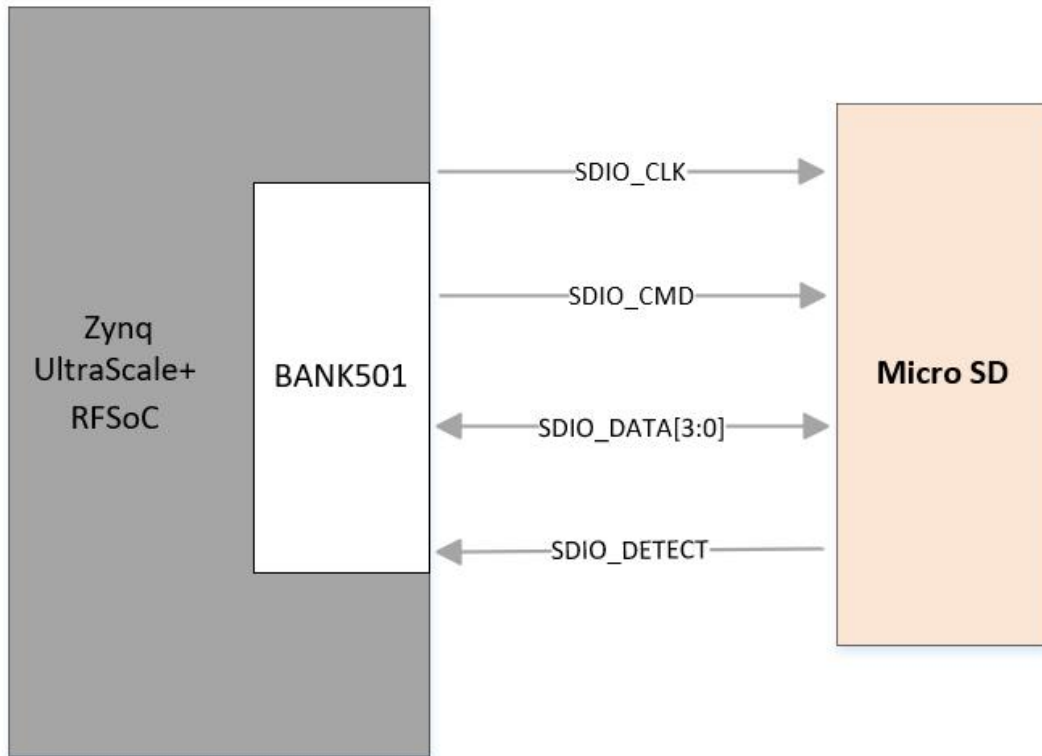


图 26 SD 卡连接示意图

SD 卡引脚分配:

信号名称	引脚名	引脚号	备注
SDIO_CLK	PS_MIO51_B21	B21	SD 时钟信号
SDIO_CMD	PS_MIO50_A22	A22	SD 命令信号
SDIO_DAT0	PS_MIO46_A20	A20	SD 数据 Bit0
SDIO_DAT1	PS_MIO47_D21	D21	SD 数据 Bit1
SDIO_DAT2	PS_MIO48_C21	C21	SD 数据 Bit2
SDIO_DAT3	PS_MIO49_E21	E21	SD 数据 Bit3
SDIO_DETECT	PS_MIO45_B20	B20	SD 卡检测信号

表 16 SD 卡引脚分配

4.6 USB3.0 接口

载板上 RFSOC 侧有 2 个 USB3.0 接口，支持 HOST、SLAVE 工作模式，数据传输速率高达 5.0Gb/s。USB3.0 通过 HD3SS3220IRNHT 和 Type-C 接口连接，USB2.0 通过 ULPI 接口连接外部 USB3320C 芯片，实现高速的 USB3.0 和 USB2.0 数据通信。USB3.0 连接示意图如下：

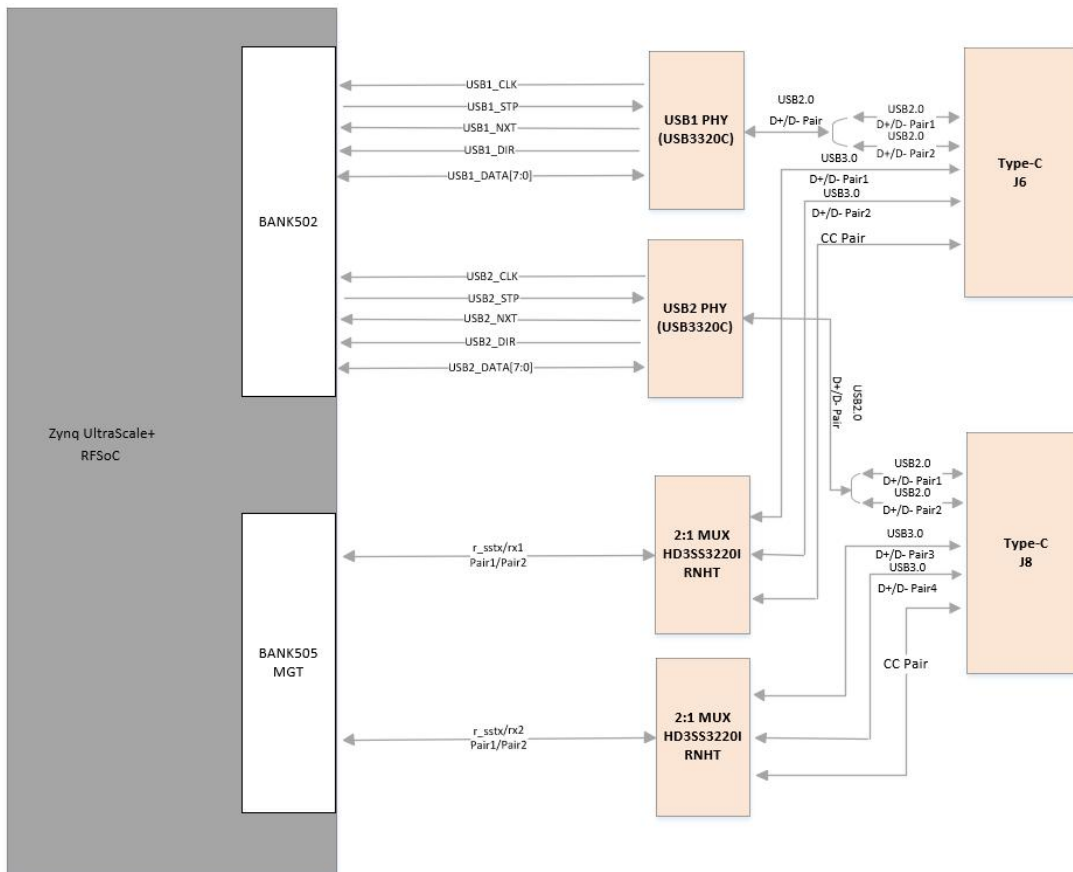


图 27 USB3.0 连接示意图

信号名称	引脚名	ZYNQ 引脚号	备注
r_sstxp1	PS_MGTRTXP3_505_R30	R30	USB3.0 数据发送正
r_sstxn1	PS_MGTRTXN3_505_R31	R31	USB3.0 数据发送负
r_ssrxp1	PS_MGTRRXP3_505_T33	T33	USB3.0 数据接送正
r_ssrxn1	PS_MGTRRXN3_505_T34	T34	USB3.0 数据接送负
USB1_DATA0	PS_MIO68_E25	E25	USB2.0 数据 Bit0
USB1_DATA1	PS_MIO69_E24	E24	USB2.0 数据 Bit1
USB1_DATA2	PS_MIO66_F24	F24	USB2.0 数据 Bit2
USB1_DATA3	PS_MIO71_A24	A24	USB2.0 数据 Bit3
USB1_DATA4	PS_MIO72_C25	C25	USB2.0 数据 Bit4

USB1_DATA5	PS_MIO73_A25	A25	USB2.0 数据 Bit5
USB1_DATA6	PS_MIO74_C26	C26	USB2.0 数据 Bit6
USB1_DATA7	PS_MIO75_B26	B26	USB2.0 数据 Bit7
USB1_STP	PS_MIO70_B25	B25	USB2.0 停止信号
USB1_DIR	PS_MIO65_C24	C24	USB2.0 数据方向信号
USB1_CLK	PS_MIO64_D24	D24	USB2.0 时钟信号
USB1_NXT	PS_MIO67_F25	F25	USB2.0 下一个数据信号
r_sstxp2	PS_MGTRTXP0_505_AA31	AA31	USB3.0 数据发送正
r_sstxn2	PS_MGTRTXN0_505_AA32	AA32	USB3.0 数据发送负
r_ssrxp2	PS_MGTRRX0_505_AB33	AB33	USB3.0 数据接送正
r_ssrxn2	PS_MGTRRXN0_505_AB34	AB34	USB3.0 数据接送负
USB2_DATA0	PS_MIO56_G23	G23	USB2.0 数据 Bit0
USB2_DATA1	PS_MIO57_F23	F23	USB2.0 数据 Bit1
USB2_DATA2	PS_MIO54_H23	H23	USB2.0 数据 Bit2
USB2_DATA3	PS_MIO59_D23	D23	USB2.0 数据 Bit3
USB2_DATA4	PS_MIO60_A23	A23	USB2.0 数据 Bit4
USB2_DATA5	PS_MIO61_E22	E22	USB2.0 数据 Bit5
USB2_DATA6	PS_MIO62_B23	B23	USB2.0 数据 Bit6
USB2_DATA7	PS_MIO63_C23	C23	USB2.0 数据 Bit7
USB2_STP	PS_MIO58_B22	B22	USB2.0 停止信号
USB2_DIR	PS_MIO53_F22	F22	USB2.0 数据方向信号
USB2_CLK	PS_MIO52_G22	G22	USB2.0 时钟信号
USB2_NXT	PS_MIO55_D22	D22	USB2.0 下一个数据信号

表 17 USB 接口引脚分配

4.7 千兆以太网接口

载板上有 1 路千兆以太网接口连接到 RFSOC PS 端。以太网芯片采用 TEXAS INSTRUMENTS 的 DP83867IRRGZ 芯片为用户提供网络通信服务。PS 端的以太网 PHY 芯片连接到 ZYNQ 的 PS 端 BANK501 的 MIO 上。DP83867IRRGZ 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 ZYNQ 系统的 MAC 层进行数据通信。千兆以太网 PHY 芯片连接示意图如下图所示：

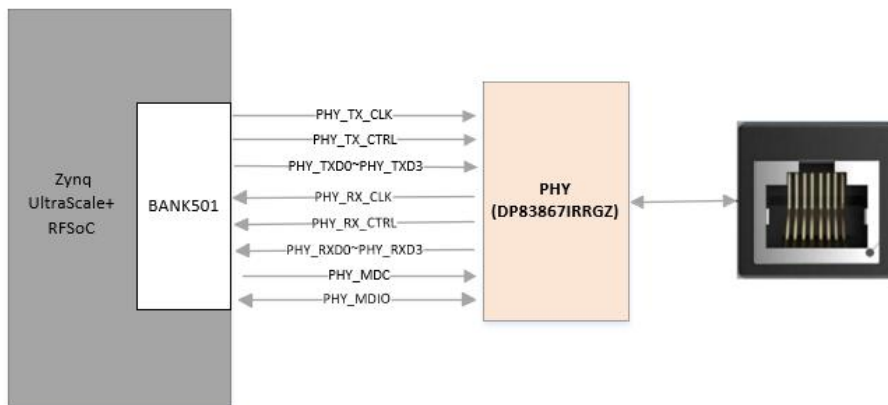


图 28 以太网连接示意图

信号名称	引脚名	引脚	PHY 芯片	
			引脚号	引脚名
ENET_TX_CLK	PS_MIO26_K19	K19	29	TX_CLK
ENET_TX_D0	PS_MIO27_H19	H19	28	TXD0
ENET_TX_D1	PS_MIO28_J19	J19	27	TXD1
ENET_TX_D2	PS_MIO29_H21	H21	26	TXD2
ENET_TX_D3	PS_MIO30_H20	H20	25	TXD3
ENET_TX_CTRL	PS_MIO31_G20	G20	37	TX_CTRL
ENET_RX_CLK	PS_MIO32_F19	F19	32	RXCLK
ENET_RX_D0	PS_MIO33_G21	G21	33	RXD0
ENET_RX_D1	PS_MIO34_D18	D18	34	RXD1
ENET_RX_D2	PS_MIO35_F20	F20	35	RXD2
ENET_RX_D3	PS_MIO36_C18	C18	36	RXD3
ENET_RX_CTRL	PS_MIO37_E19	E19	38	RX_CTRL
ENET_MDC	PS_MIO76_E26	E26	16	MDC
ENET_MDIO	PS_MIO77_D26	D26	17	MDIO
ENET_RESET_B(MIO41_ETH_RESET#)	PS_MIO41_C19	C19	43	RESET_B
PS_POR_B	PS_POR_B_N24	N24		

表 18 PHY 到 XCZU47DR 引脚分配

4.8 JTAG&UART

载板上预留了 2 个 JTAG&UART 接口，分别用于核心板 RFSOC (J10) 和 KU115(J3)，用于下载调试 FPGA 程序或者固化程序到 FLASH。我们这里使用了 FTDI 的第 5 代 USB 设备芯片 FT4232HL-REEL 芯片，它是一个 USB2.0 高速至 UART/FIFO 芯片，有两个多协议同步串行引擎允许使用 JTAG。具有在多种工业标准串行或并行接口配置的能力。JTAG&UART 连接示意图如下图所示：

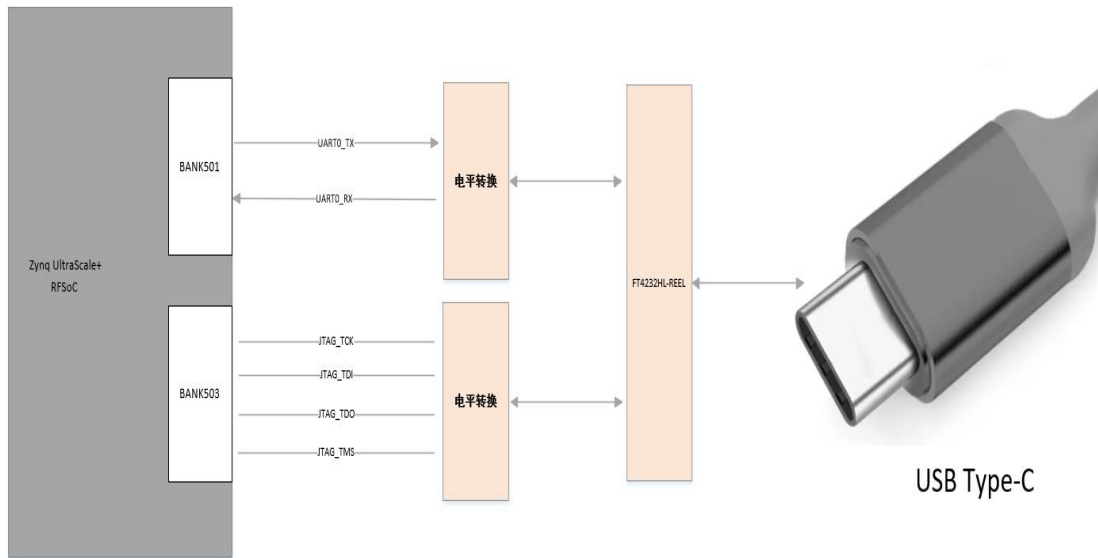


图 29 RFSOC 侧 JTAG&UART 连接器连接示意图

信号名称	引脚名	引脚号	备注
UART0_RXD_MIO39_TXD	PS_MIO39_D19	D19	PS Uart 数据输出
UART0_TXD_MIO38_RXD	PS_MIO38_B18	B18	PS Uart 数据输入

表 19 RFSOC 侧 JTAG&UART 引脚分配

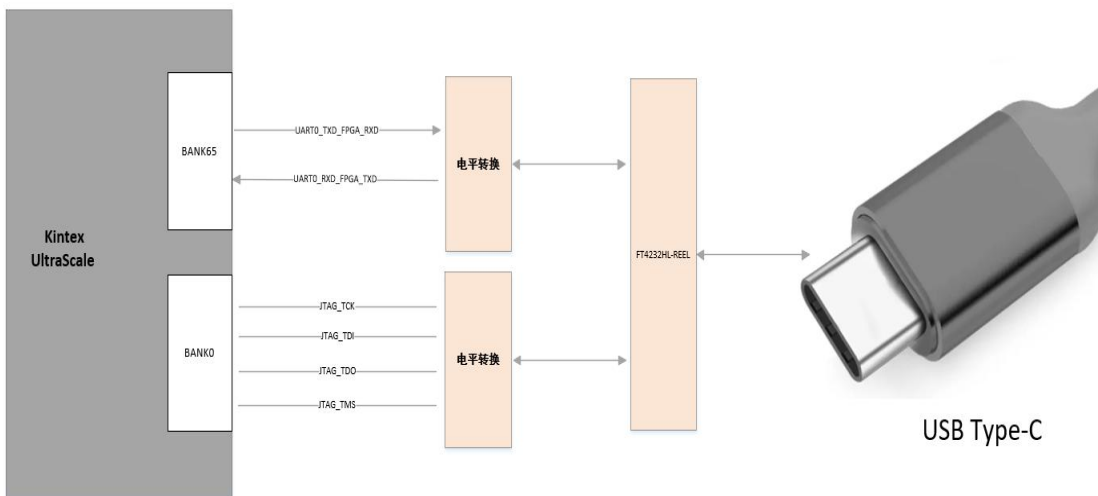


图 30 KU115 侧 JTAG&UART 连接器连接示意图

信号名称	引脚名	引脚号	备注
UART0_TXD_FPGA_RXD	IO_L23P_T3U_N8_I2C_SCLK_65_AM27	AM27	Uart 数据输出
UART0_RXD_FPGA_TXD	IO_L20P_T3L_N2_AD1P_D08_65_AN28	AN28	Uart 数据输入

表 20 KU115 侧 JTAG&UART 引脚分配

4.9 DDR4 内存

载板上配有 16 片 Micron (镁光) 的 1GB 的 DDR4 芯片, 型号为 MT40A512M16LY-075:E, 其中 KU115 的 BANK44、45、46 上挂载了 4 片 DDR4, BANK66、67、68 上挂载了 4 片 DDR4, BANK51、52、53 上挂载了 4 片 DDR4, BANK71、72、73 上挂载了 4 片 DDR4, 分别组成 64 位数据总线带宽。DDR4 SDRAM 的最高运行速度可达 1200MHz (数据速率 2400Mbps), DDR4 SDRAM 的具体配置如下表所示:

位置	位号	芯片型号	容量	厂家
KU115	M1~M16	MT40A512M16LY-075:E	512x16bit	Micron

表 21 DDR4 型号和参数

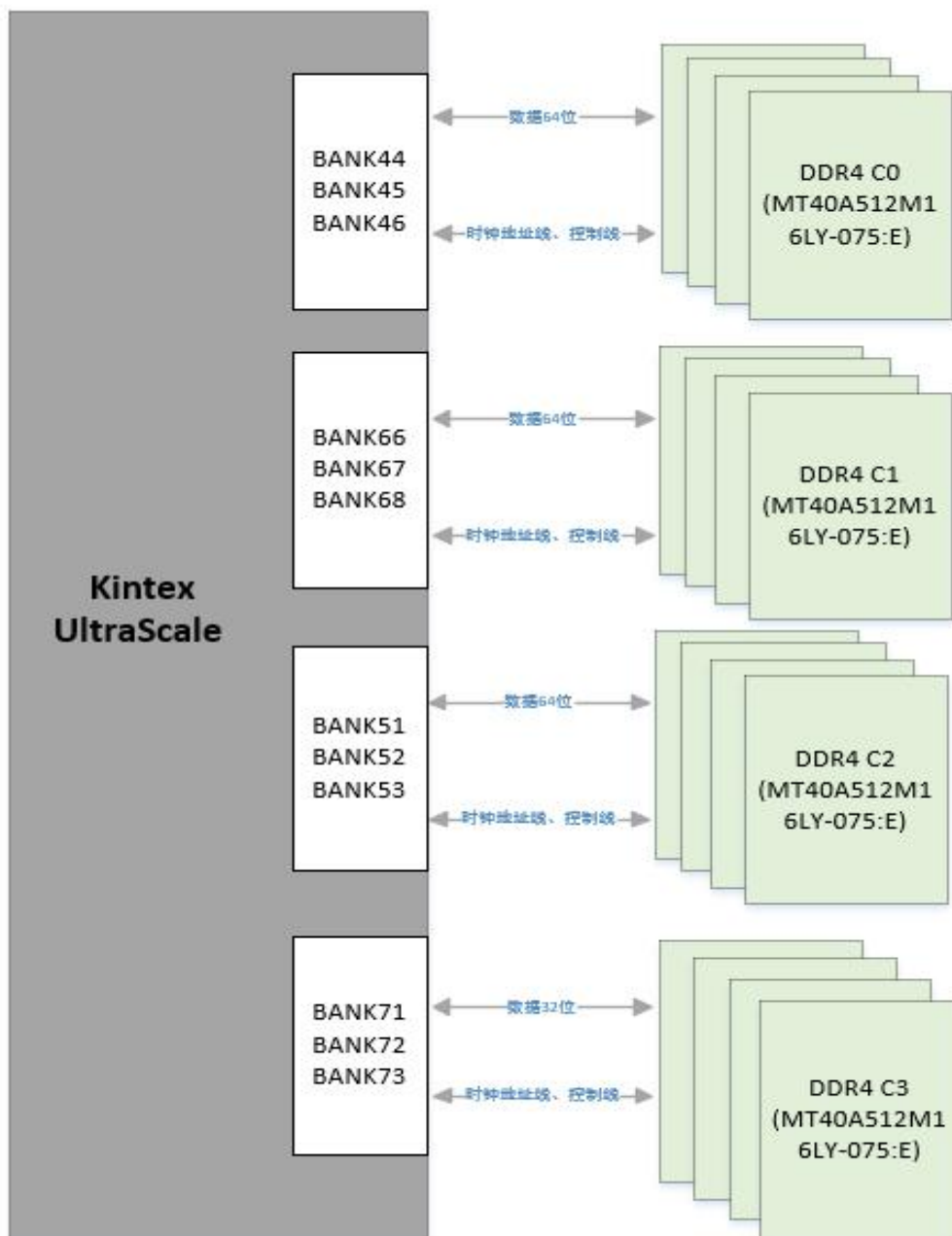


图 31 DDR4 SDRAM 连接示意图

4.10 QSPI Flash

底板配有 2 片 512Mbit 大小的 FLASH 芯片组成 8 位带宽数据总线，FLASH 型号为 MT25QU512AB，它使用 1.8V 电压。由于 QSPI FLASH 的非易失特性，在使用中可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及它的用户数据文件。QSPI FLASH 的具体型号和相关特性见下表。

位置	位号	芯片型号	容量	厂家
KU115 BANK65	U7、U8	MT25QU512AB	512Mb	Micron

表 22 QSPI FLASH 型号和参数

QSPI FLASH 连接到 KU115 芯片的 BANK65 上。

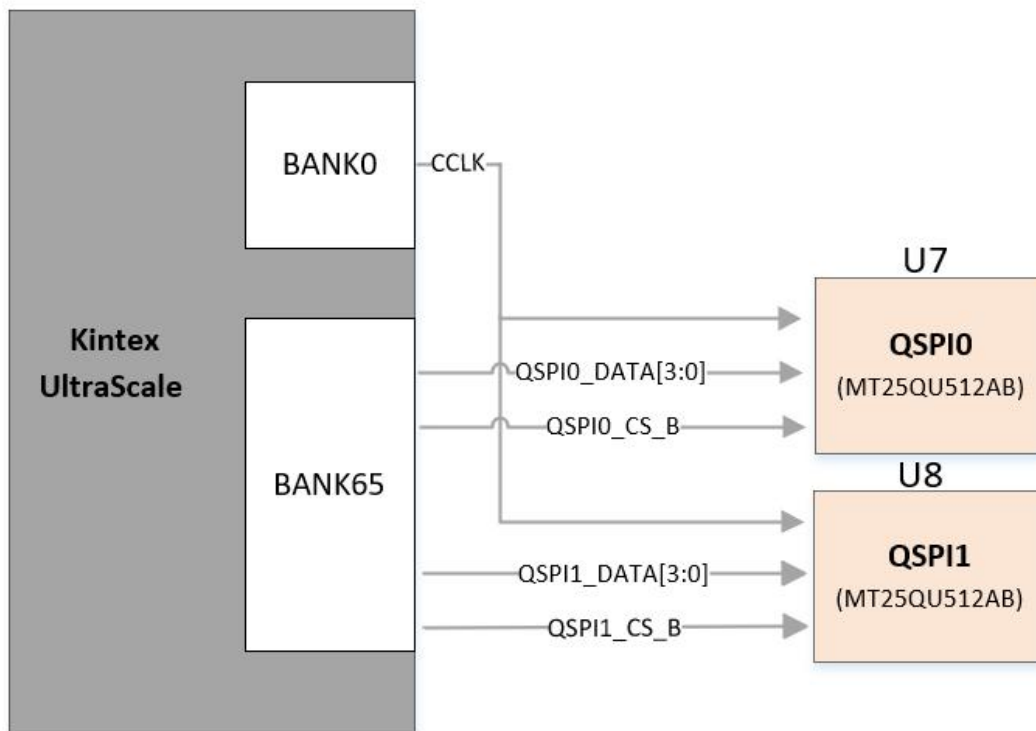


图 32 KU115 上 QSPI FLASH 连接示意图

FPGA(U1)管脚名	信号名	QSPI 管脚号	QSPI 管脚名
CCLK_0_AG13	FPGA_CCLK	U7.B2	C_B2
D02_0_AL12	SPI0_WP#	U7.C4	W#DQ2
D01_DIN_0_AJ12	SPI0_DQ1	U7.D2	DQ1
D00_MOSI_0_AK12	SPI0_DQ0	U7.D3	DQ0
D03_0_AH12	SPI0_HOLD_B	U7.D4	DQ3_HOLD_B
RDWR_FCS_B_0_AG12	SPI0_CS_B	U7.C2	S#
IO_L2N_T0L_N3_FWE_FC S2_B_65_BF27	SPI1_CS_B	U8.C2	S#

FPGA(U1)管脚名	信号名	QSPI 管脚号	QSPI 管脚名
IO_L22P_T3U_N6_DBC_A D0P_D04_65_AM26	SPI1_DQ0	U8.D3	DQ0
IO_L21N_T3L_N5_AD8N_ D07_65_AM25	SPI1_HOLD_B	U8.D4	DQ3_HOLD_B
IO_L21P_T3L_N4_AD8P_D 06_65_AL25	SPI1_WP	U8.C4	W#DQ2
IO_L22N_T3U_N7_DBC_A D0N_D05_65_AN26	SPI1_DQ1	U8.D2	DQ1
CCLK_0_AG13	FPGA_CCLK	U8.B2	C_B2

表 23 KU115 上 QSPI FLASH 芯片引脚分配

4.11 光纤接口

载板上有 3 路光纤接口，1 路 SFP 接口，2 路 QSFP 接口。3 路光纤接口分别跟 KU115 的 BANK226、BANK230、BAN231 上的 GT 收发器相连接。GT BANK 的参考时钟既可以从载板上的差分晶振提供 156.25MHz 时钟，也可以从 Si5341 提供 156.25MHz。

光纤接口连接示意图如下图所示：

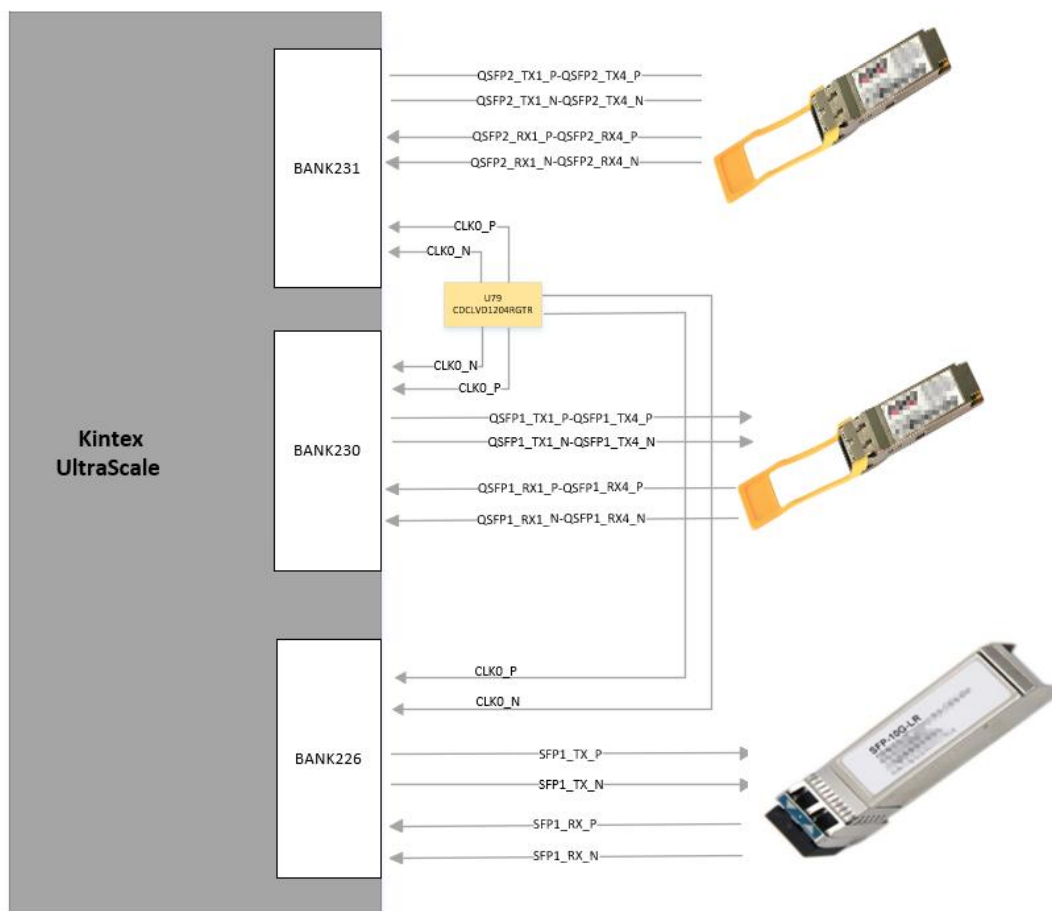


图 33 光纤设计示意图

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
QSFP1_TX1_P	MGTHTXP0_230_U9	U9	
QSFP1_TX1_N	MGTHTXN0_230_U8	U8	
QSFP1_RX1_P	MGTHRXP0_230_U4	U4	
QSFP1_RX1_N	MGTHRXN0_230_U3	U3	
QSFP1_TX2_P	MGTHTXP1_230_T7	T7	
QSFP1_TX2_N	MGTHTXN1_230_T6	T6	
QSFP1_RX2_P	MGTHRXP1_230_T2	T2	
QSFP1_RX2_N	MGTHRXN1_230_T1	T1	
QSFP1_TX3_P	MGTHTXP2_230_R9	R9	
QSFP1_TX3_N	MGTHTXN2_230_R8	R8	
QSFP1_RX3_P	MGTHRXP2_230_R4	R4	
QSFP1_RX3_N	MGTHRXN2_230_R3	R3	
QSFP1_TX4_P	MGTHTXP3_230_P7	P7	
QSFP1_TX4_N	MGTHTXN3_230_P6	P6	
QSFP1_RX4_P	MGTHRXP3_230_P2	P2	
QSFP1_RX4_N	MGTHRXN3_230_P1	P1	
QSFP2_TX1_P	MGTHTXP0_231_N9	N9	
QSFP2_TX1_N	MGTHTXN0_231_N8	N8	
QSFP2_RX1_P	MGTHRXP0_231_N4	N4	
QSFP2_RX1_N	MGTHRXN0_231_N3	N3	
QSFP2_TX2_P	MGTHTXP1_231_M7	M7	
QSFP2_TX2_N	MGTHTXN1_231_M6	M6	
QSFP2_RX2_P	MGTHRXP1_231_M2	M2	
QSFP2_RX2_N	MGTHRXN1_231_M1	M1	
QSFP2_TX3_P	MGTHTXP2_231_L9	L9	
QSFP2_TX3_N	MGTHTXN2_231_L8	L8	
QSFP2_RX3_P	MGTHRXP2_231_L4	L4	
QSFP2_RX3_N	MGTHRXN2_231_L3	L3	
QSFP2_TX4_P	MGTHTXP3_231_K7	K7	
QSFP2_TX4_N	MGTHTXN3_231_K6	K6	
QSFP2_RX4_P	MGTHRXP3_231_K2	K2	
QSFP2_RX4_N	MGTHRXN3_231_K1	K1	

表 24 QSFP 接口引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
GT230_REFCLK0_C_P	MGTREFCLK0P_230_T11	T11	CDCLVD1204RGTR 的 OUT3 输出，默认配置 156.25MHz 晶振，可选从 Si5341 输出

GT230_REFCLK0_C_N	MGTREFCLK0N_230_T10	T10	CDCLVD1204RGTR 的 OUT3 输出, 默认配置 156.25MHz 晶振, 可选从 Si5341 输出
MGB1_REFCLK1_P	MGTREFCLK1P_230_P11	P11	连接器 ARF6-16-S-D-A-K-TR 输出
MGB1_REFCLK1_N	MGTREFCLK1N_230_P10	P10	连接器 ARF6-16-S-D-A-K-TR 输出
GT231_REFCLK0_C_P	MGTREFCLK0P_231_M11	M11	CDCLVD1204RGTR 的 OUT2 输出, 默认配置 156.25MHz 晶振, 可选从 Si5341 输出
GT231_REFCLK0_C_N	MGTREFCLK0N_231_M10	M10	CDCLVD1204RGTR 的 OUT2 输出, 默认配置 156.25MHz 晶振, 可选从 Si5341 输出
GT226_REFCLK0_C_P	MGTREFCLK0P_226_AM11	AM11	CDCLVD1204RGTR 的 OUT1 输出, 默认配置 156.25MHz 晶振, 可选从 Si5341 输出
GT226_REFCLK0_C_N	MGTREFCLK0N_226_AM10	AM10	CDCLVD1204RGTR 的 OUT1 输出, 默认配置 156.25MHz 晶振, 可选从 Si5341 输出

表 25 BANK230、BANK231、BANK226 参考时钟分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SFP1_RX_P	MGTHRXP3_226_AK2	AK2	
SFP1_RX_N	MGTHRXN3_226_AK1	AK1	
SFP1_TX_P	MGHTXP3_226_AK7	AK7	
SFP1_TX_N	MGHTXN3_226_AK6	AK6	

表 26 SFP 接口引脚分配

低速控制 IO 处理:

QSFP 低速 IO 信号名	备注	SFP 低速 IO 信号名	备注
MODESELL	下拉 GND	txfault_0	上拉 3.3V
ResetL	上拉 3.3V	mod_def0_0	上拉 3.3V
MODPRSL	上拉 3.3V	mod_def1_0	上拉 3.3V
SDA	上拉 3.3V	mod_def2_0	上拉 3.3V
SCL	上拉 3.3V	los_0	上拉 3.3V

intL	上拉 3.3V	txdisable_0	下拉 GND
LPMODE	下拉 GND		

表 27 光纤低速 IO 信号处理方

4.12 M.2 接口

底板配备了 4 个 PCIE x4 标准的 M.2 接口, 用于连接 M.2 的 SSD 固态硬盘。M.2 接口使用 M key 插槽, 只支持 PCI-E, 不支持 SATA, 用户选择 SSD 固态硬盘的时候需要选择 PCIE 类型的 SSD 固态硬盘。PCIE 信号直接跟 KU115 的 BANK227、BANK228、BANK232、BANK233 相连接, TX 信号和 RX 信号都是以差分信号方式连接到 MGT 的 LANE0、LANE1、LANE2、LANE3 上。PCIE 的时钟由 100MHz 的差分时钟提供。M.2 电路设计示意图如下所示:

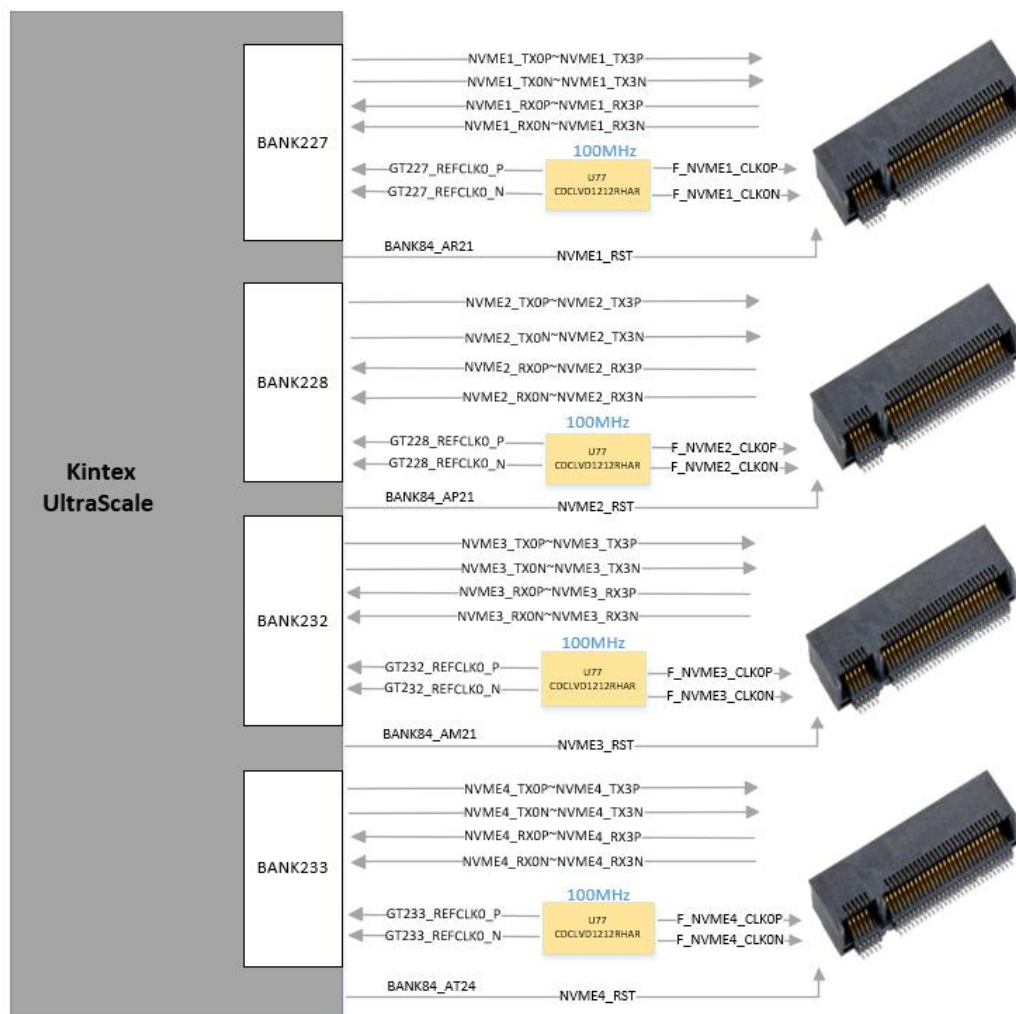


图 34 NVMe 接口设计示意图

信号名称	FPGA 引脚名	NVMe 连接器	
		引脚号	名称
F_NVME1_TX0P	MGTHTXP3_227_AF7	U18.49	PERP0
F_NVME1_TX0N	MGTHTXN3_227_AF6	U18.47	PERN0
F_NVME1_RX0P	MGTHRXP3_227_AF2	U18.43	PETP0

F_NVME1_RX0N	MGTHRXN3_227_AF1	U18.41	PETN0
F_NVME1_TX1P	MGHTXP2_227_AG9	U18.37	PERP1
F_NVME1_TX1N	MGHTXN2_227_AG8	U18.35	PERN1
F_NVME1_RX1P	MGTHRXP2_227_AG4	U18.31	PETP1
F_NVME1_RX1N	MGTHRXN2_227_AG3	U18.29	PETN1
F_NVME1_TX2P	MGHTXP1_227_AH7	U18.25	PERP2
F_NVME1_TX2N	MGHTXN1_227_AH6	U18.23	PERN2
F_NVME1_RX2P	MGTHRXP1_227_AH2	U18.19	PETP2
F_NVME1_RX2N	MGTHRXN1_227_AH1	U18.17	PETN2
F_NVME1_TX3P	MGHTXP0_227_AJ9	U18.13	PERP3
F_NVME1_TX3N	MGHTXN0_227_AJ8	U18.11	PERN3
F_NVME1_RX3P	MGTHRXP0_227_AJ4	U18.7	PETP3
F_NVME1_RX3N	MGTHRXN0_227_AJ3	U18.5	PETN3
GT227_REFCLK0_P	MGTREFCLK0P_227_AH11		
GT227_REFCLK0_N	MGTREFCLK0N_227_AH10		
F_NVME2_TX0P	MGHTXP3_228_AB7	U19.49	PERP0
F_NVME2_TX0N	MGHTXN3_228_AB6	U19.47	PERN0
F_NVME2_RX0P	MGTHRXP3_228_AB2	U19.43	PETP0
F_NVME2_RX0N	MGTHRXN3_228_AB1	U19.41	PETN0
F_NVME2_TX1P	MGHTXP2_228_AC9	U19.37	PERP1
F_NVME2_TX1N	MGHTXN2_228_AC8	U19.35	PERN1
F_NVME2_RX1P	MGTHRXP2_228_AC4	U19.31	PETP1
F_NVME2_RX1N	MGTHRXN2_228_AC3	U19.29	PETN1
F_NVME2_TX2P	MGHTXP1_228_AD7	U19.25	PERP2
F_NVME2_TX2N	MGHTXN1_228_AD6	U19.23	PERN2
F_NVME2_RX2P	MGTHRXP1_228_AD2	U19.19	PETP2
F_NVME2_RX2N	MGTHRXN1_228_AD1	U19.17	PETN2
F_NVME2_TX3P	MGHTXP0_228_AE9	U19.13	PERP3
F_NVME2_TX3N	MGHTXN0_228_AE8	U19.11	PERN3
F_NVME2_RX3P	MGTHRXP0_228_AE4	U19.7	PETP3
F_NVME2_RX3N	MGTHRXN0_228_AE4	U19.5	PETN3
GT228_REFCLK0_P	MGTREFCLK0P_228_AD11		
GT228_REFCLK0_N	MGTREFCLK0N_228_AD10		
F_NVME3_TX0P	MGHTXP3_232_F7	U20.49	PERP0
F_NVME3_TX0N	MGHTXN3_232_F6	U20.47	PERN0
F_NVME3_RX0P	MGTHRXP3_232_F2	U20.43	PETP0
F_NVME3_RX0N	MGTHRXN3_232_F1	U20.41	PETN0
F_NVME3_TX1P	MGHTXP2_232_G9	U20.37	PERP1
F_NVME3_TX1N	MGHTXN2_232_G8	U20.35	PERN1
F_NVME3_RX1P	MGTHRXP2_232_G4	U20.31	PETP1

F_NVME3_RX1N	MGTHRXP2_232_G3	U20.29	PETN1
F_NVME3_TX2P	MGHTXP1_232_H7	U20.25	PERP2
F_NVME3_TX2N	MGHTXP1_232_H6	U20.23	PERN2
F_NVME3_RX2P	MGTHRXP1_232_H2	U20.19	PETP2
F_NVME3_RX2N	MGTHRXP1_232_H1	U20.17	PETN2
F_NVME3_TX3P	MGHTXP0_232_J9	U20.13	PERP3
F_NVME3_TX3N	MGHTXP0_232_J8	U20.11	PERN3
F_NVME3_RX3P	MGTHRXP0_232_J4	U20.7	PETP3
F_NVME3_RX3N	MGTHRXP0_232_J3	U20.5	PETN3
GT232_REFCLK0_P	MGTREFCLK0P_232_H11		
GT232_REFCLK0_N	MGTREFCLK0N_232_H10		
F_NVME4_TX0P	MGHTXP3_233_A9	U21.49	PERP0
F_NVME4_TX0N	MGHTXP3_233_A8	U21.47	PERN0
F_NVME4_RX0P	MGTHRXP3_233_A5	U21.43	PETP0
F_NVME4_RX0N	MGTHRXP3_233_A4	U21.41	PETN0
F_NVME4_TX1P	MGHTXP2_233_C9	U21.37	PERP1
F_NVME4_TX1N	MGHTXP2_233_C8	U21.35	PERN1
F_NVME4_RX1P	MGTHRXP2_233_C4	U21.31	PETP1
F_NVME4_RX1N	MGTHRXP2_233_C3	U21.29	PETN1
F_NVME4_TX2P	MGHTXP1_233_D7	U21.25	PERP2
F_NVME4_TX2N	MGHTXP1_233_D6	U21.23	PERN2
F_NVME4_RX2P	MGTHRXP1_233_D2	U21.19	PETP2
F_NVME4_RX2N	MGTHRXP1_233_D1	U21.17	PETN2
F_NVME4_TX3P	MGHTXP0_233_E9	U21.13	PERP3
F_NVME4_TX3N	MGHTXP0_233_E8	U21.11	PERN3
F_NVME4_RX3P	MGTHRXP0_233_E4	U21.7	PETP3
F_NVME4_RX3N	MGTHRXP0_233_E3	U21.5	PETN3
GT233_REFCLK0_P	MGTREFCLK0P_233_D11		
GT233_REFCLK0_N	MGTREFCLK0N_233_D10		

表 28 NVMe 接口 KU115 引脚分配

4.13 扩展 MGB 接口

扩展板上有两个 MGB 接口，可扩展 2 个 PCIe x4 的接口，支持 PCIe Gen3.0 协议，4 对收发器连接到连接器 (ARF6-16-S-D-A-K-TR) 上进行数据通信。接口的收发信号直接跟 FPGA BANK229, BANK224 收发器相连接，4 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上。

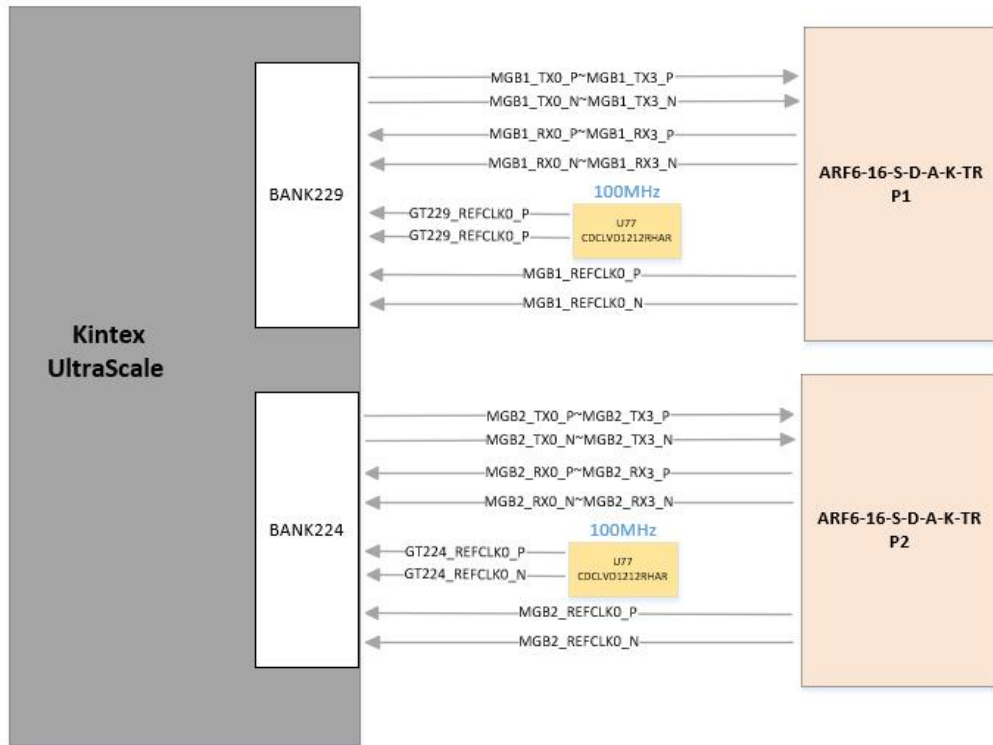


图 35 MGB 接口设计示意图

信号名称	FPGA 引脚名	MGB 连接器	
		引脚号	名称
MGB1_RX0_P	MGTHRXP0_229_AA4	03	RX0_P
MGB1_RX0_N	MGTHRXN0_229_AA3	05	RX0_N
MGB1_RX1_P	MGTHRXP1_229_Y2	09	RX1_P
MGB1_RX1_N	MGTHRXN1_229_Y1	11	RX1_N
MGB1_RX2_P	MGTHRXP2_229_W4	15	RX2_P
MGB1_RX2_N	MGTHRXN2_229_W3	17	RX2_N
MGB1_RX3_P	MGTHRXP3_229_V2	21	RX3_P
MGB1_RX3_N	MGTHRXN3_229_V1	23	RX3_N
MGB1_TX0_P	MGHTXP0_229_AA9	04	TX0_P
MGB1_TX0_N	MGHTXN0_229_AA8	06	TX0_N
MGB1_TX1_P	MGHTXP1_229_Y7	10	TX1_P
MGB1_TX1_N	MGHTXN1_229_Y6	12	TX1_N
MGB1_TX2_P	MGHTXP2_229_W9	16	TX2_P
MGB1_TX2_N	MGHTXN2_229_W8	18	TX2_N
MGB1_TX3_P	MGHTXP3_229_V7	22	TX3_P
MGB1_TX3_N	MGHTXN3_229_V6	24	TX3_N
MGB1_REFCLK1_P	MGTREFCLK1P_230_P11	27	REFCLK1_P
MGB1_REFCLK1_N	MGTREFCLK1N_230_P10	29	REFCLK1_N
MGB1_REFCLK0_P	MGTREFCLK1P_229_V11	38	REFCLK0_P
MGB1_REFCLK0_N	MGTREFCLK1N_229_V10	30	REFCLK0_N

MGB2_RX0_P	MGTHRXP0_224_BC2	03	RX0_P
MGB2_RX0_N	MGTHRXN0_224_BC1	05	RX0_N
MGB2_RX1_P	MGTHRXP1_224_BA2	09	RX1_P
MGB2_RX1_N	MGTHRXN1_224_BA1	11	RX1_N
MGB2_RX2_P	MGTHRXP2_224_AW4	15	RX2_P
MGB2_RX2_N	MGTHRXN2_224_AW3	17	RX2_N
MGB2_RX3_P	MGTHRXP3_224_AV2	21	RX3_P
MGB2_RX3_N	MGTHRXN3_224_AV1	23	RX3_N
MGB2_TX0_P	MGHTXP0_224_BF5	04	TX0_P
MGB2_TX0_N	MGHTXN0_224_BF4	06	TX0_N
MGB2_TX1_P	MGHTXP1_224_BD5	10	TX1_P
MGB2_TX1_N	MGHTXN1_224_BD4	12	TX1_N
MGB2_TX2_P	MGHTXP2_224_BB5	16	TX2_P
MGB2_TX2_N	MGHTXN2_224_BB4	18	TX2_N
MGB2_TX3_P	MGHTXP3_224_AV7	22	TX3_P
MGB2_TX3_N	MGHTXN3_224_AV6	24	TX3_N
MGB2_REFCLK1_P	MGTREFCLK1P_225_AP11	27	REFCLK1_P
MGB2_REFCLK1_N	MGTREFCLK1N_225_AP10	29	REFCLK1_N
MGB2_REFCLK0_P	MGTREFCLK1P_224_AV11	38	REFCLK0_P
MGB2_REFCLK0_N	MGTREFCLK1N_224_AV10	30	REFCLK0_N

表 29 MGB 接口引脚分配

4.14 扩展 IO 、 LED、 按键

载板在 RFSOC 侧扩展了两组 IO(X4)。

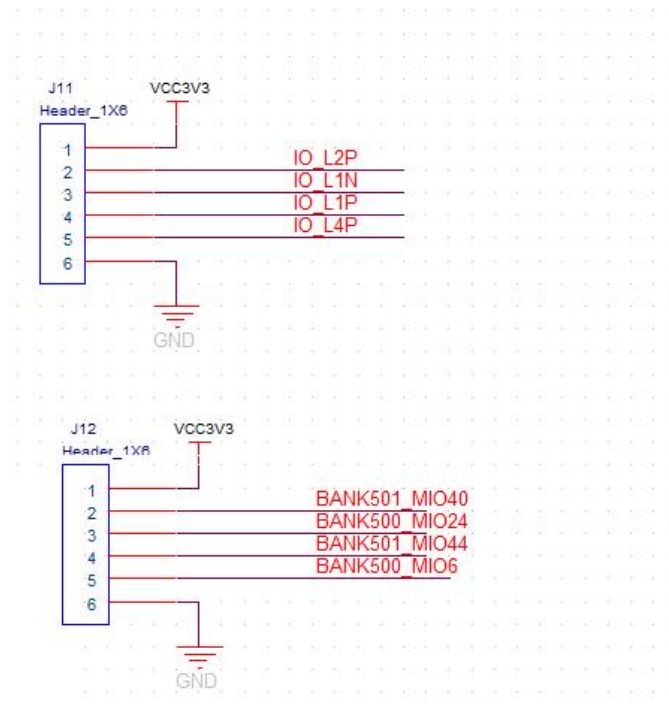


图 36 RFSOC 侧扩展 IO 电路图

J11 扩展 IO 管脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
IO_L2P	IO_L2P_T0L_N2_66_AP6	AP6	
IO_L2N	IO_L1N_T0L_N1_DBC_66_AP7	AP7	
IO_L1P	IO_L1P_T0L_N0_DBC_66_AP8	AP8	
IO_L1N	IO_L4P_T0U_N6_DBC_AD7P_66_AN5	AN5	

表 30 PL 侧 J11 侧扩展 IO 管脚分配

J12 侧扩展 IO 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
BANK501_MIO40	PS_MIO40_A18	A18	
BANK500_MIO24	PS_MIO24_A17	A17	
BANK501_MIO44	PS_MIO44_C20	C20	
BANK500_MIO6	PS_MIO6_H16	H16	

表 31 PS 侧 J12 扩展 IO 管脚分配

载板上 RFSOC 侧扩展出 4 个用户可自定义 LED 灯，4 个 IO 引到 LED 灯

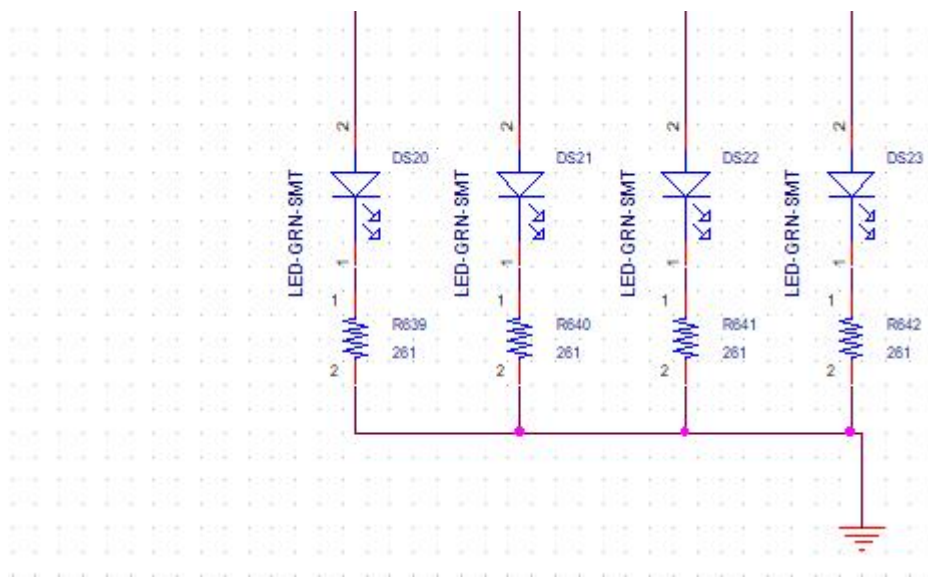


图 37 RFSOC 侧扩展 LED 电路图

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
LED0	IO_T3U_N12_66_AH12	AH12	
LED1	IO_L6N_T0U_N11_AD6N_66_AN1	AN1	
LED2	IO_L6P_T0U_N10_AD6P_66_AN2	AN2	
LED3	IO_L2N_T0L_N3_66_AP5	AP5	

表 32 RFSOC 侧 LED 扩展 IO 管脚分配

载板上 KU115 侧扩展出 8 个用户可自定义 LED 灯，8 个 IO 引到 LED 灯

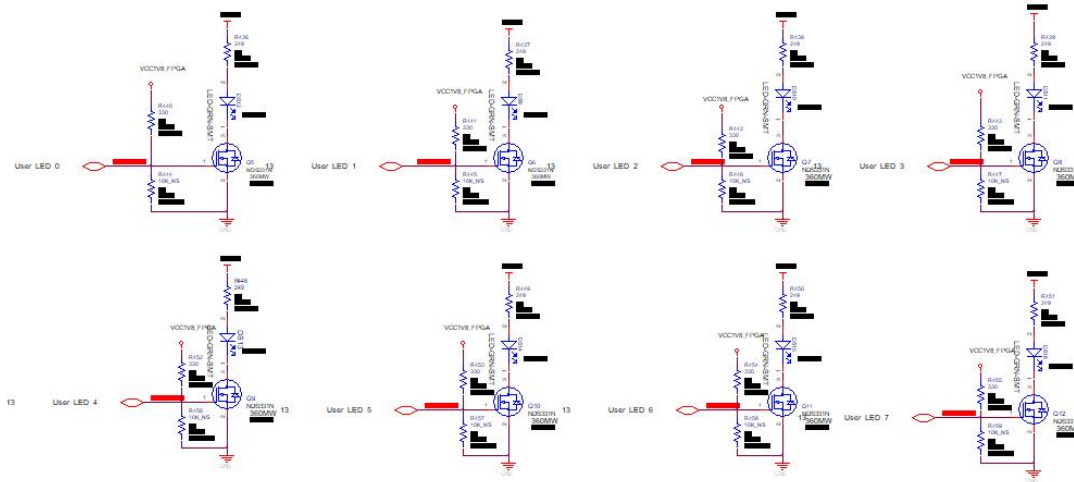


图 38 KU115 侧扩展 LED 电路图

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
User_LED_0	IO_L2P_T0L_N2_FOE_B_65_BE27	BE27	
User_LED_1	IO_L1P_T0L_N0_DBC_RS0_65_BF28	BF28	
User_LED_2	IO_L4N_T0U_N7_DBC_AD7N_A25_65_BE26	BE26	
User_LED_3	IO_L6N_T0U_N11_AD6N_A21_65_BC27	BC27	
User_LED_4	IO_L3N_T0L_N5_AD15N_A27_65_BE28	BE28	
User_LED_5	IO_L4P_T0U_N6_DBC_AD7P_A24_65_BD26	BD26	
User_LED_6	IO_T0U_N12_A28_65_BD25	BD25	
User_LED_7	IO_L1N_T0L_N1_DBC_RS1_65_BF29	BF29	

表 33 KU115 侧 LED 扩展 IO 管脚分配

载板上 RFSOC 侧扩展出 5 个用户可自定义按键，5 个 IO 引到按键，KU115 扩展一个 SW2。

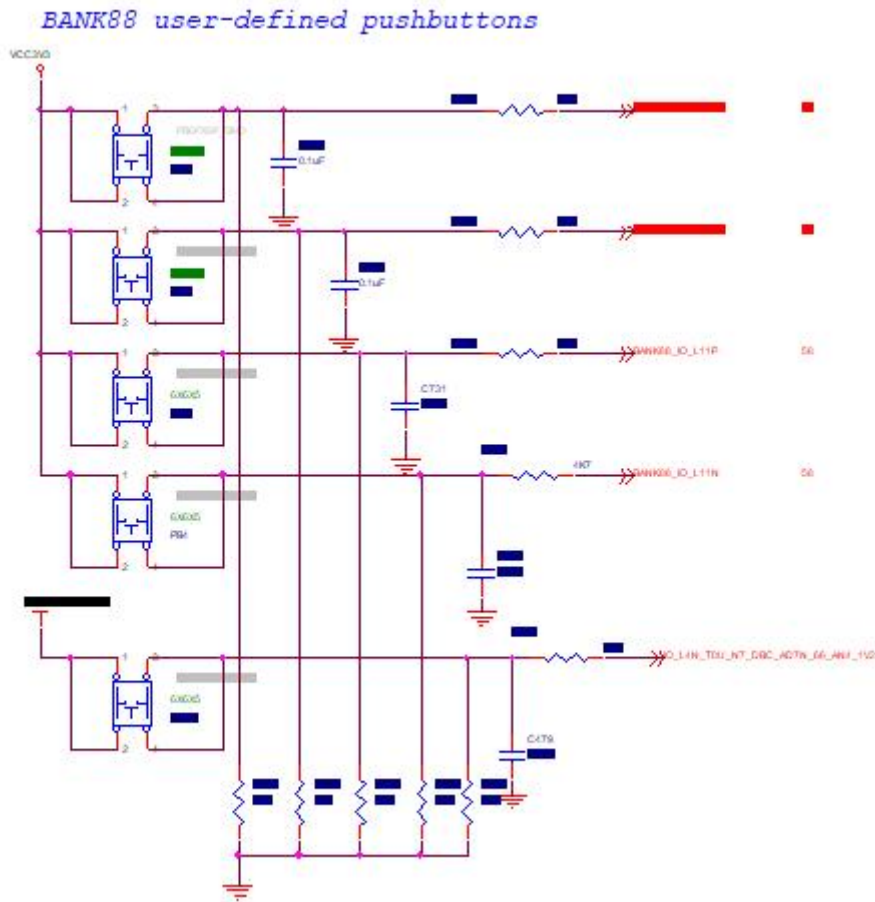


图 39 RFSOC 侧扩展按键电路图

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
BANK88_IO_L10P	IO_L10P_AD10P_88_C14	C14	
BANK88_IO_L10N	IO_L10N_AD10N_88_B13	B13	
BANK88_IO_L11P	IO_L11P_AD9P_88_A14	A14	
BANK88_IO_L11N	IO_L11N_AD9N_88_A13	A13	
IO_L4N_T0U_N7_DBC_AD7N_66_AN4_1V2	IO_L4N_T0U_N7_DBC_AD7N_66_AN4	AN4	

表 34 RFSOC 侧按键扩展 IO 管脚分配

User DIP SW X 4

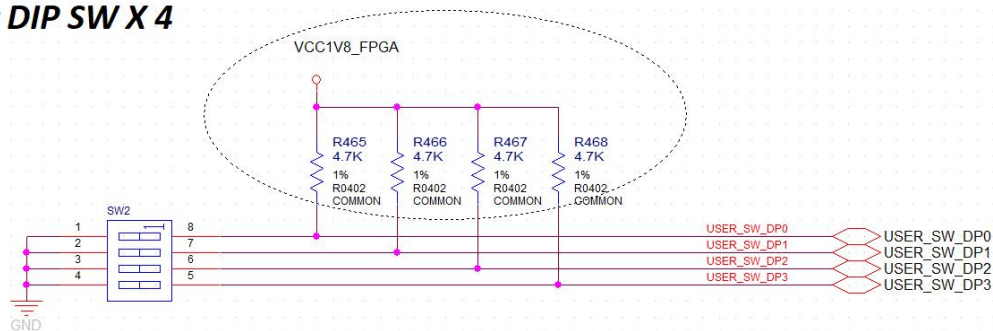


图 40 KU115 侧扩展 SW 电路图

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
USER_SW_DP0	IO_L18P_T2U_N10_AD2P_D12_65_AR28	AR28	
USER_SW_DP1	IO_L15N_T2L_N5_AD11N_A03_D19_65_AU27	AU27	
USER_SW_DP2	IO_L14N_T2L_N3_GC_A05_D21_65_AV28	AV28	
USER_SW_DP3	IO_L14P_T2L_N2_GC_A04_D20_65_AV27	AV27	

表 35 KU115 侧 SW 扩展 IO 管脚分配

4.15 电源

底板的电源输入电压为 VCC12_SW，载板上通过多路电源芯片产生+5V、+1.8V、+3.3V 等多个电源。电源设计框图如下图所示：

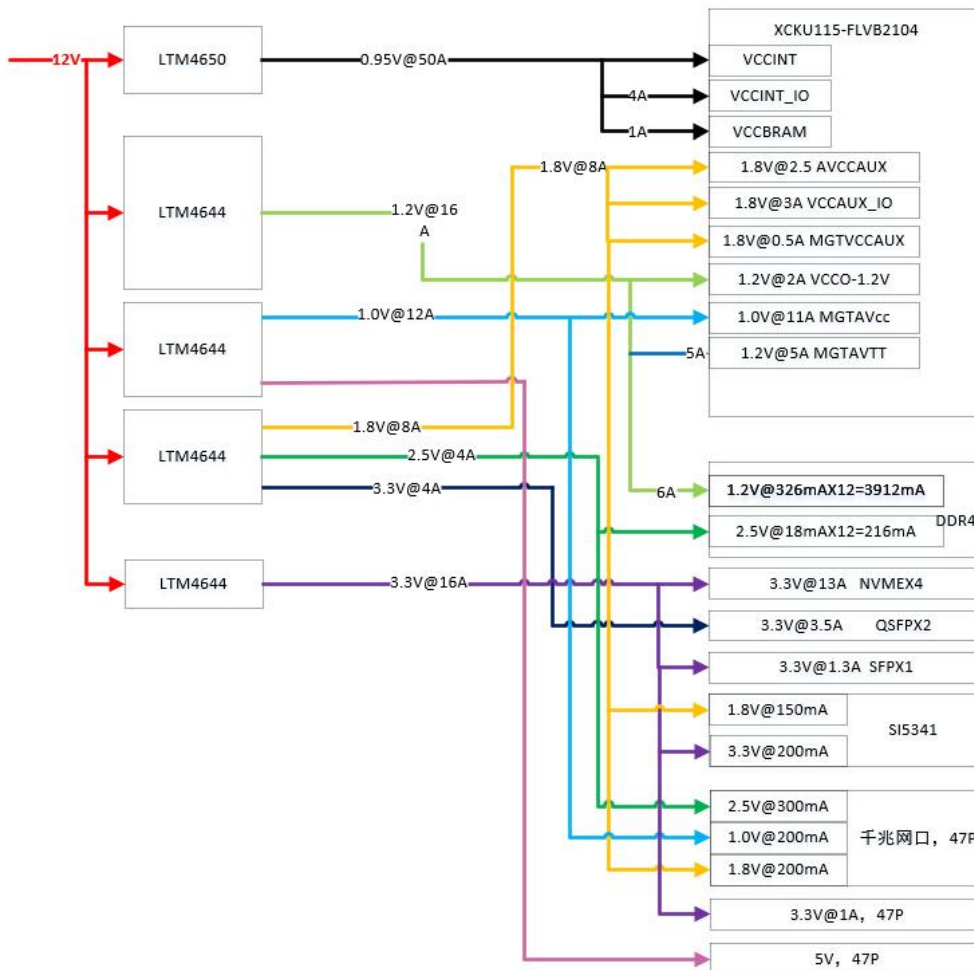


图 41 底板电源设计框图

4.16 结构尺寸图

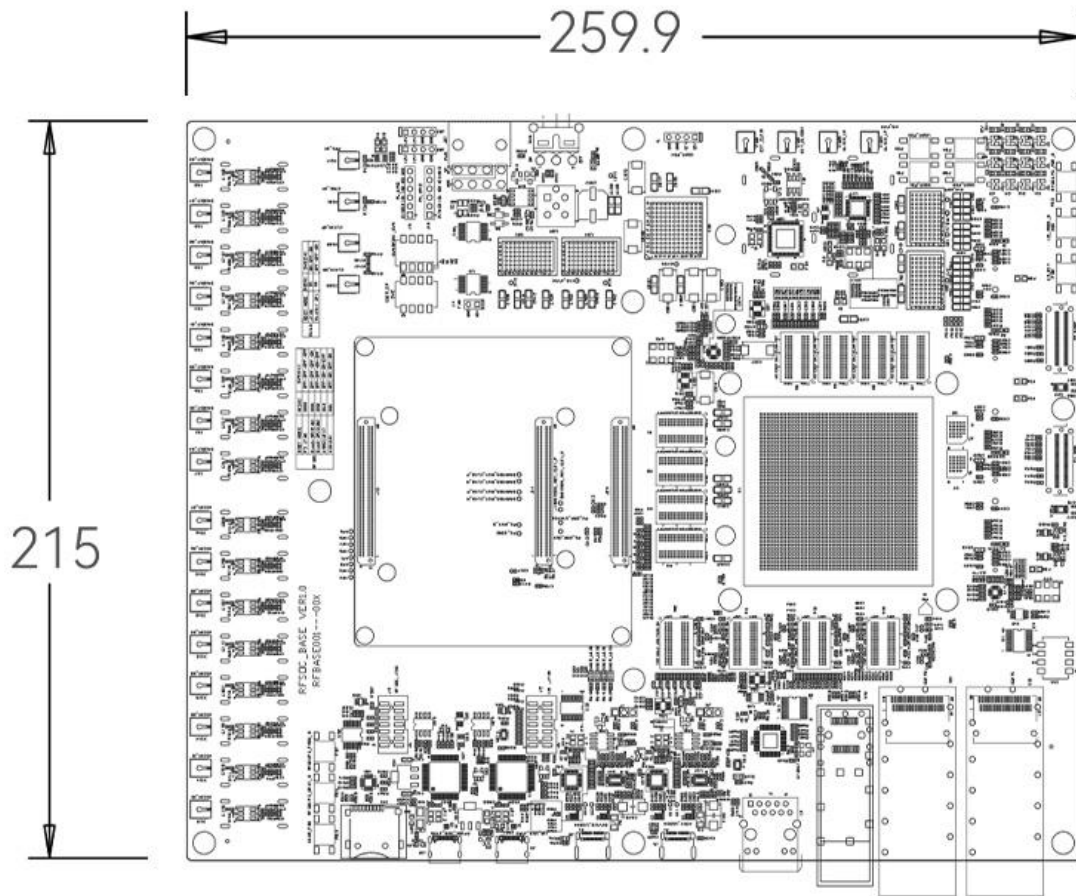


图 42 底板正面结构图