

Zynq UltraScale+ RFSoc AXW49

射频开发板用户手册



版本	修订记录	日期
V1.0	初始版本	2025/1/10

目录

1. 简介.....	4
1.1 产品描述.....	4
1.2 ZYNQ 芯片.....	6
1.3 产品特色.....	7
1.4 应用场景.....	8
2. 平台硬件介绍.....	9
2.1 硬件框图.....	9
2.2 主要规格.....	10
2.3 板卡部分功能与位置.....	11
2.4 启动模式.....	14
2.5 DDR4 SDRAM.....	15
2.6 QSPI FLASH.....	16
2.7 Micro SD 卡座.....	18
2.8 USB3.0 接口.....	19
2.9 Ethernet.....	20
2.10 光口.....	22
2.11 NVMe.....	25
2.12 扩展接口.....	26
2.13 RF.....	29
2.14 COME.....	32
2.15 时钟配置.....	36
2.16 电源.....	39
2.17 结构图.....	40

1.简介

1.1 产品描述

AXW49 的 ZYNQ 芯片是基于 XILINX 公司的 Zynq™ UltraScale+™ RFSoc Gen3 系列 XCZU49DR-2FFVF1760E。同时搭载了一款 Kontron 的 X86 COME 模块，来提供更优的数据处理性能。

AXW49 使用了 8 片 Micron 公司的 DDR4 芯片 MT40A512M16HA，PS 端挂载 4 片 DDR4 芯片，组成 64 位数据总线宽度，PL 端挂载 4 片 DDR4 芯片，组成 64 位数据总线宽度，DDR4 SDRAM 的最高运行数据速率 2400Mb/s。板子也集成了两个 1Gb 大小的 QSPI FLASH 用于启动存储配置和系统文件。

AXW49 板卡也扩展出一路 M.2 NVMe，用于高性能数据处理和存储，同时还引出了一路 SD Card，用于存储文件系统以及其它的用户数据文件。

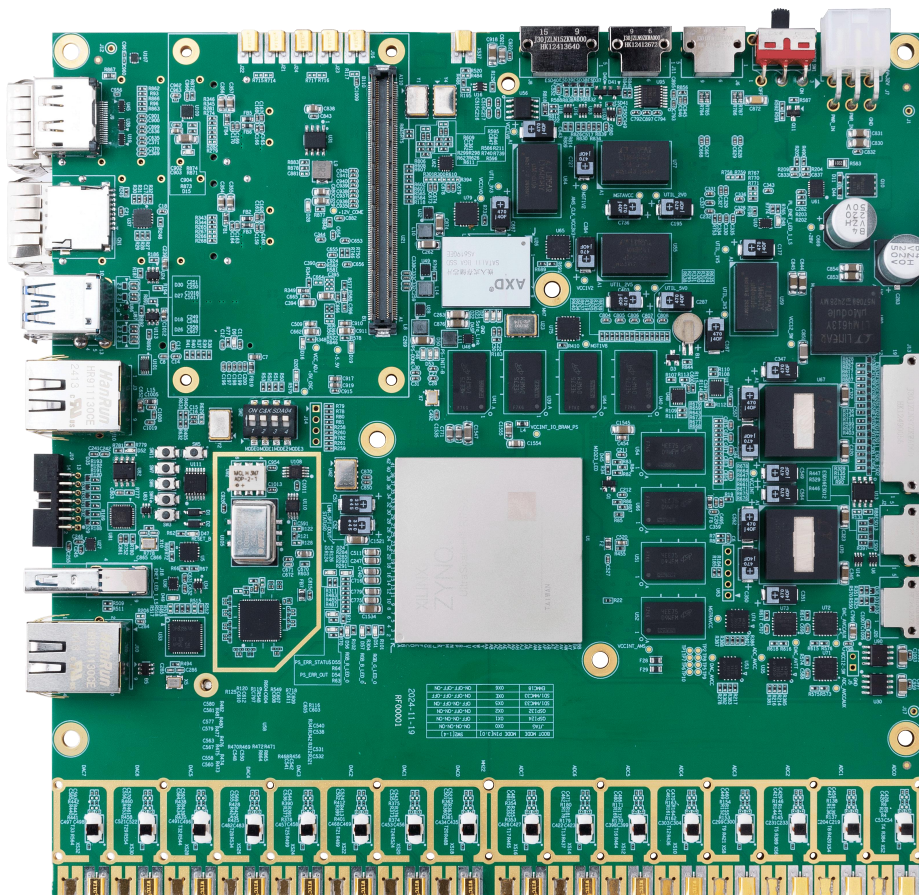


图 1 AXW49 正面

AXW49 板载 2*100Gbps QSFP28 连接器用来提供光口, 可与模拟和数字转换并行地有效处理高速数据, PS 端扩展出一个 USB3.0, 同时 PS 和 PL 分别扩展出一个 10/100/1000 Ethernet。本板卡通过板对板连接器 U21 分别扩展出一路 USB3.0, RJ45, 视频接口以及一个嵌入式存储芯片。

AXW49 板卡引出 16 个 ADC 和 16 个 DAC 端口, 带有 ZU49DR FPGA 的 AXW49 由 16 个 14 位采样率为 2.5GSPS ADC 和 16 个 14 位采样率为 9.85 GSPS DAC 端口提供支持。ADC 和 DAC 端口使用的是高性能微型 RF 连接器 190-0108-AAD1。

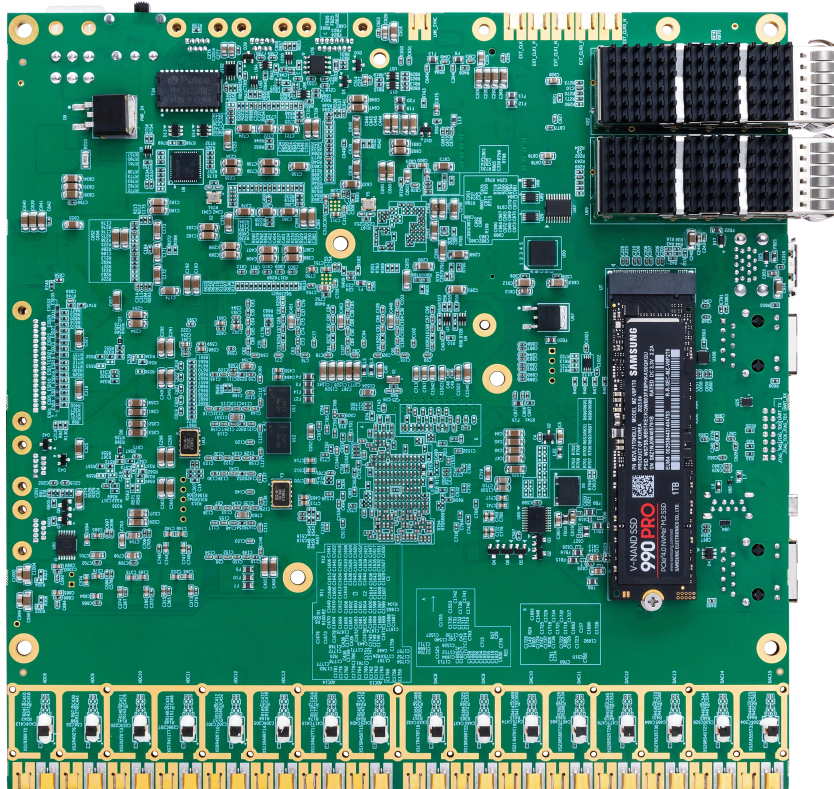


图 2 AXW49 背面



COME 模块图

1.2 ZYNQ 芯片

AXW49 采用的 Xilinx 公司的 Zynq™ UltraScale+™ RFSoc Gen3 系列的芯片，型号为 XCZU49DR-2FFVF1760E。可编程逻辑部分的 FPGA 资源可提供高吞吐量数字信号处理(DSP)和 IP 核，例如数字上/下变频(DUC/DDC)内核。通过软件无线电开发架构应用程序编程接口和 FPGA 基础架构更容易实现 FPGA 加速。这有助于快速启动和运行，以便可以专注于增值 IP。用于快速傅立叶变换 (FFT) 和有限脉冲响应 (FIR) 滤波器等常用功能的 FPGA 系统是一个很好的起点。使用首选的硬件描述语言 (HDL) 将自己的 IP 块添加到模块化架构中除了系统的 FPGA 架构部分，Xilinx UltraScale+ RFSoc 还配备了四个板载应用处理单元 (APU) 和两个实时处理单元 (RPU)，适用于需要板载嵌入式操作系统进行独立操作的应用。

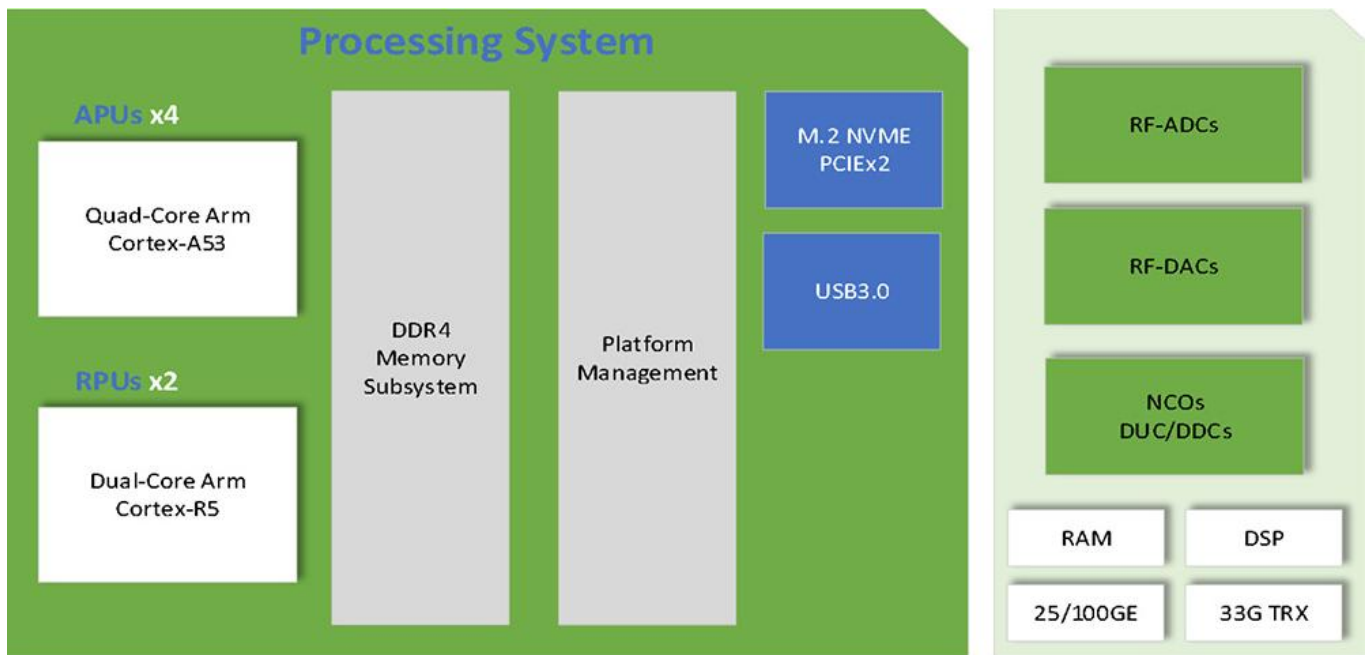


图 3 RFSOM 系统框图

1.3 产品特色

✓ 最大化输入/输出通道密度

- 支持 16 路 14bit RF-ADC, 16 路 14bit RF-DAC, 提供综合 RF 信号链, 最大化输入/输出通道密度, 高宽带、异构处理能力和低功耗, 能够同步所有 16 个通道以及多个板, 以满足更大的系统应用需求。

✓ 降低射频信号链复杂性

- 具有多个信道的雷达和 EW 系统遭受成本和复杂性挑战, 因为更多信道意味着更昂贵和大的 RF 信号上/下转换和信号调节。一种常见的解决方案是直接 RF 采样 - 比传统的模拟频率转换和滤波更灵活的方法。直接 RF 采样可以在数字域中实现, 其消耗更少的功率并且通常成本更低。这意味着 RF 前端可以处理比传统模拟技术更宽的带宽, 同时消耗更少的功率。与 RFSoc 器件一样, 在数据转换器中使用非常高的采样率意味着可以在靠近天线的位置完成大部分模拟滤波和调节, 从而提供比过去更简单, 更灵活的前端。通过将 ADC 和 DAC 集成到器件中, 消除了对 JESD204B 的需求 - 简化了设计复杂性并有助于减少延迟。

✓ 异构处理能力

- 如雷达和电子战系统都需要带有 FPGA 的流式 DSP 和用于决策和控制的通用处理器。过去, 这些处理要求由单独的模块处理, 现在, 借助 AXW49, 可以通过利用 RFSoc 技术将这两种功能集成到一个模块中。这尤其适用于当下智能雷达/电子战技术不断增长的需求。此外, 与 RF 采样器件的简化集成消除了 JESD204B 高速串行接口的复杂性。这意味着诸如设备间通信之类的基本功能消耗的可编程逻辑元件更少, 从而使得特定于应用的 IP 可用的计算资源比过去多。

1.4 应用场景

✓ 通信应用场景

- 5G 及 LTE 无线技术：通过 Zynq RFSoc，无线基础设施制造商可实现显著的占板面积及功耗减少，这对后期 MIMO 技术的发展至关重要。
- 卫星通信：设计人员可通过在 Zynq UltraScale+ RFSoc 中使用直接 RF 采样、高灵活、可重构逻辑及软件可编程性，为信号生成和信号分析构建高速度的多功能仪器。

✓ 雷达应用场景

- 雷达信号处理和数据链：具有 16 通道 ADC 和 16 通道 DAC，可满足更大的应用需求，能够在预警场景下实现低时延收发，获得最佳响应时间。

✓ 测试与测量应用场景

- 设计人员可通过在 Zynq UltraScale+ RFSoc 中利用 RF 采样、高灵活、可重构逻辑及软件可编程性，为信号生成和信号分析构建高速度的多功能仪器。

2. 平台硬件介绍

2.1 硬件框图

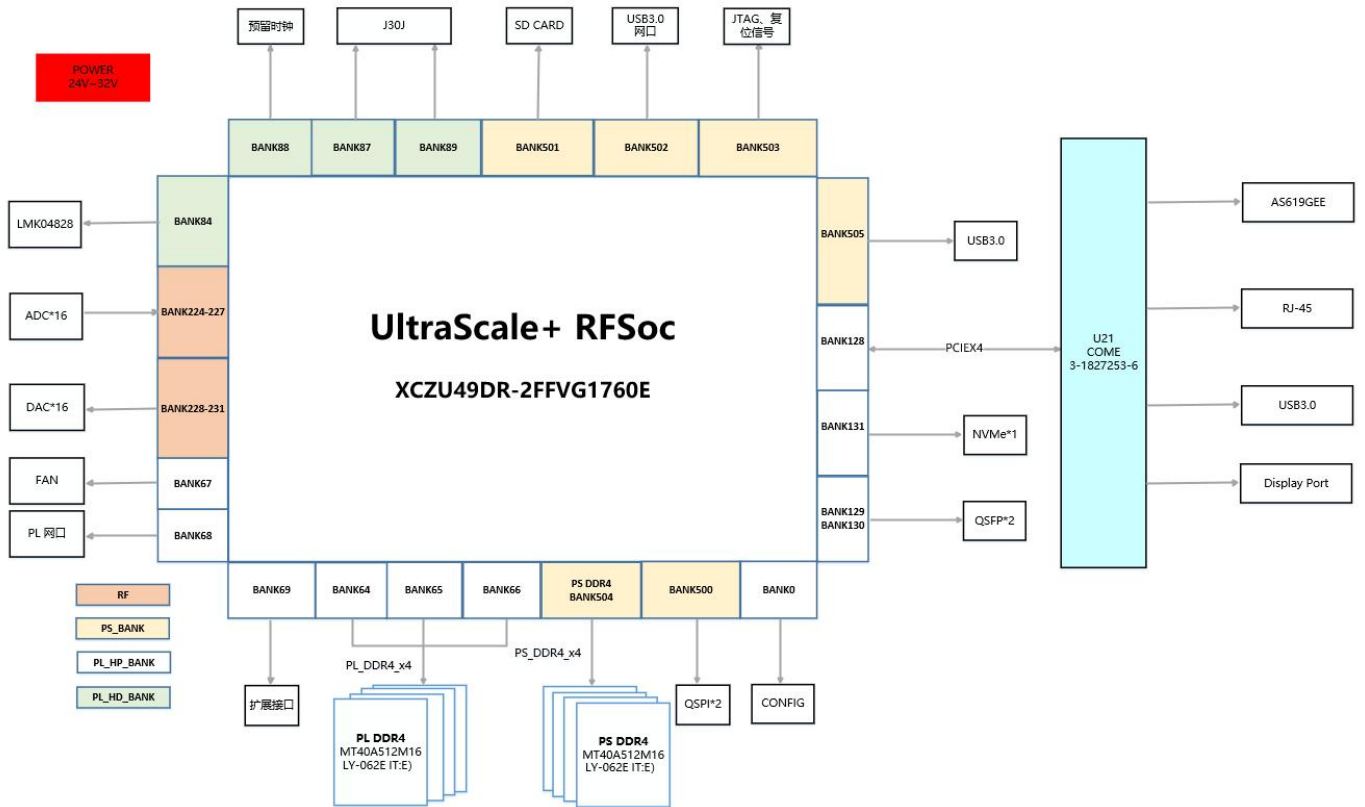


图 4 AXW49 板卡框图

2.2 主要规格

技术参数	
FPGA 芯片	Zynq UltraScale+ XCZU49DR-2FFVF1760E
RF 接口	1) X16ADC (14-bit 、 2.5GSPS) ports 2) X16DAC (14-bit、 9.85GSPS) ports
100G 光口	2
接口速率	支持 100GE*2
M.2 接口	NVMe*1
内存	PS 4xDDR4(4GB,64bit, 2400MT/s) PL 4xDDR4(4GB,64bit,2400MT/s)
板卡供电	电源供电接口采用 39-30-1060 (输入电压 24~32V)
PS 端接口	<ul style="list-style-type: none"> ● 2x QSPI flash(128MB,8bit) 固化配置文件 ● 1x USB 3.0 Port ● 1x 10/100/1000 Ethernet RGMII (RJ45) 网口 ● 1x Mircro SD Card
PL 端接口	<ul style="list-style-type: none"> ● 1x M.2 接口 ● 16 路 ADC (14-bit 、 2.5GSPS)端口 ● 16 路 DAC (14-bit、 9.85GSPS)端口 ● 2x QSFP 100G 光口 ● 32x IO ● 1x 10/100/1000 Ethernet RGMII (RJ45) 网口
尺寸	200mm*200mm
功耗	60W (根据用途, 以实测值)
环境温度要求	工作时-40°C~70°C
参考工程	

- 上位机软件配置 ADC/DAC 相关寄存器
- 高速 ADC/DAC 回环测试工程
- Schematics (.pdf 格式)
- DDR4 参考设计
- FPGA 引脚排列

2.3 板卡部分功能与位置

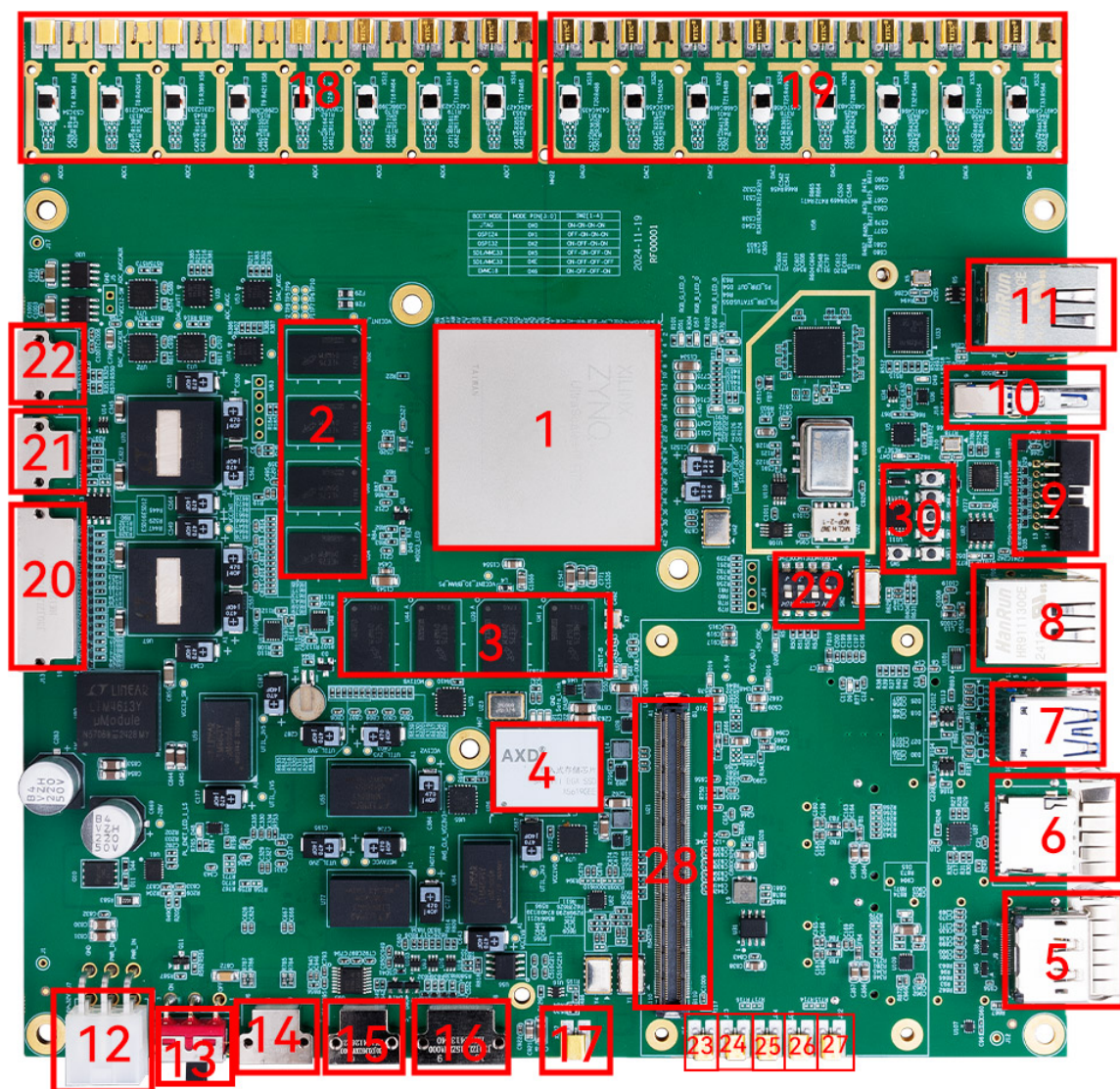


图 5 AXW49 板卡实物 TOP

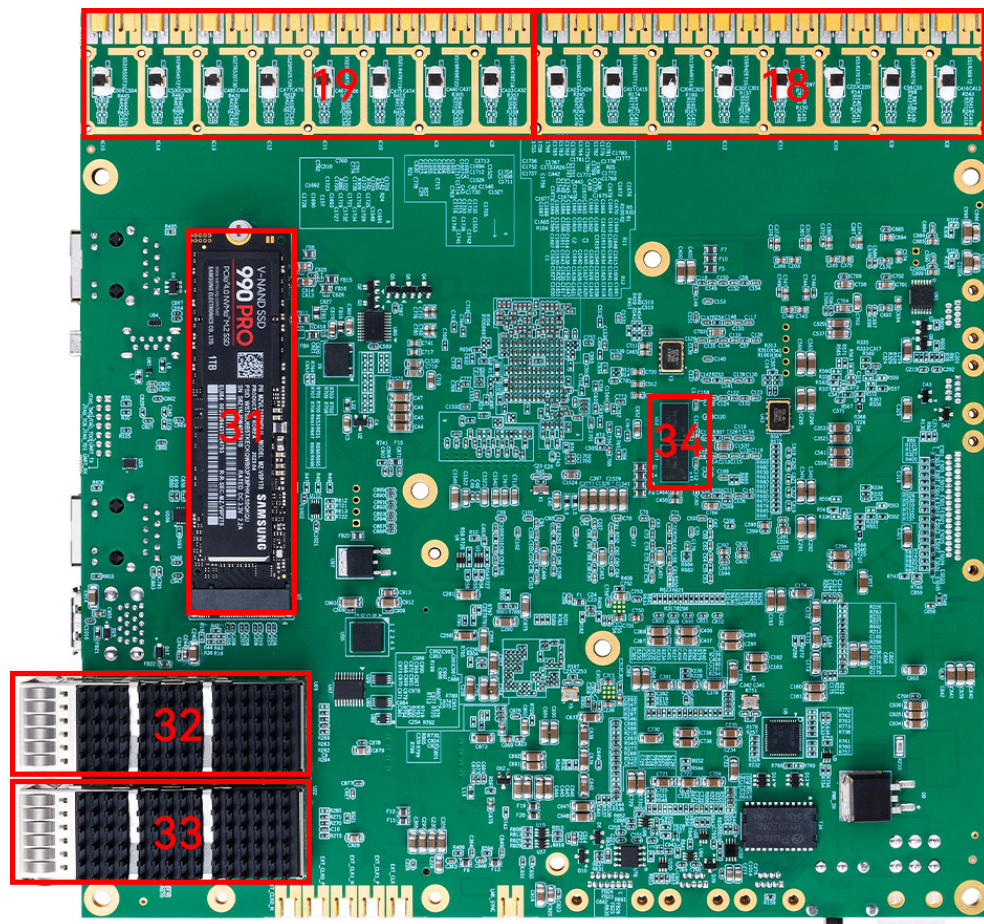


图 6 AXW49 板卡实物 BOTTOM

表 1 主要器件位置

序号	位置	功能
1	U1	XCZU49DR-2FFVF1760E
2	U51、U52、U54、U66	PL 侧 DDR4
3	U39、U40、U41、U44	PS 侧 DDR4
4	U26	COME 引出的存储芯片
5	J9	COME 引出的 Display Port
6	CN1	SD 卡槽
7	J4	COME 引出的 USB 3.0 接口
8	J3	COME 引出的千兆网口
9	J19	JTAG 调试口
10	J18	PS 端 USB3.0 接口

11	J10	PS 端千兆网口
12	J7	电源输入
13	SW1	电源开关
14	J6	PL 端网口
15	J11	扩展接口 (J30JZLN09ZKW)
16	J8	扩展接口 (J30JZLN15ZKW)
17	XS37	LMK_SYNC
18	XS1~XS16	ADC0~ADC15
19	XS17~XS32	DAC0~ADC15
20	J13	扩展 IO(J30JZLN37ZKW)
21	J2	扩展 IO(J30JZLN09ZKW)
22	J20	风扇控制
23	J16	CLK_IN/OUT
24	J23	EXT_CLK1_P
25	J24	EXT_CLK1_N
26	J21	EXT_CLK0_P
27	J22	EXT_CLK0_N
28	U21	板对板连接器
29	SW2	模式控制开关
30	SW3	上电复位按键
	SW4	系统复位按键
	SW6	PS_MIO 普通按键
	SW7	PL_IO 普通按键
	SW11	U20 系统复位按键
	SW5	U20 电源复位按键
31	U7	NVMe 座子
32	U69	100G 光口 1

33	U22	100G 光口 2
34	U11、U12	QSPI Flash

2.4 启动模式

板卡有 3 种启动模式, JTAG 模式、QSPI 模式、SD 卡模式三种, 通过拨码开关 SW2 即可配置 XCZU49DR 的启动模式。

本板卡主芯片 XCZU49DR (位号 U1) 为 RFSOC FPGA, 启动模式通过 PS_MODE0、PS_MODE1、PS_MODE2、PS_MODE3 这 4 个 pin 脚的高低状态来决定。板卡通过四位开关 SW2 对设备配置方式进行选择。

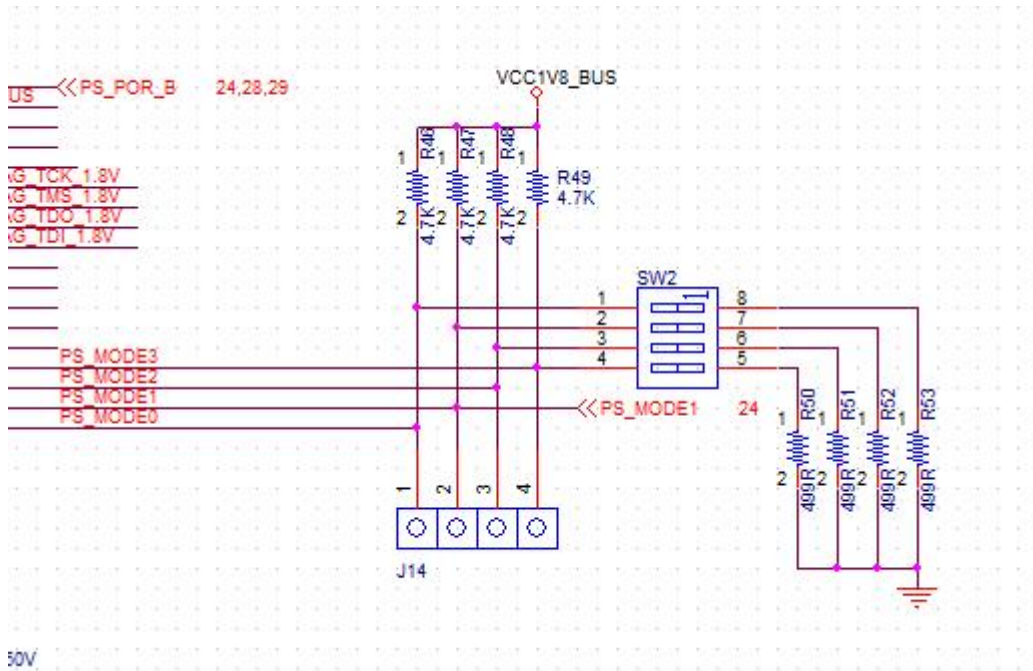


图 7 PS_MODE 电路示意图

表 2 SW2 启动模式配置

BOOT 模式	Mode pin [3:0]	SW[4:1]
JTAG	0000	ON, ON, ON, ON
QSPI	0010	ON, ON, OFF, ON
SD	0101	ON, OFF, ON, OFF

2.5 DDR4 SDRAM

板上配有 8 片 Micron (镁光) 的 1GB 的 DDR4 芯片, 型号为 MT40A512M16HA-083E, 其中 PS 端挂载了 4 片 DDR4, 组成 64 为数据总线带宽。PL 端挂载 4 片 DDR4, 组成 64 为数据总线带宽。PS 端的 DDR4 SDRAM 的最高运行速度可达 2400Mb/s, 4 片 DDR4 存储系统直接连接到了 PS 的 BANK504 的存储器接口上。PL 端的 DDR SDRAM 的最高运行数据速率 2400Mb/s, 4 片 DDR4 连接到了 FPGA 的 BANK64、65、66 的接口上。PS 端和 PL 端 DDR4 SDRAM 的具体配置如下表:

表 3 DDR4 配置

位置	位号	芯片型号	容量	厂家
PS	U39、U40、U41、U44	MT40A512M16HA-083E	512x16bit	Micron
PL	U51、U52、U54、U66	MT40A512M16HA-083E	512x16bit	Micron

PS 端的 DDR4 的硬件连接方式如下图所示:

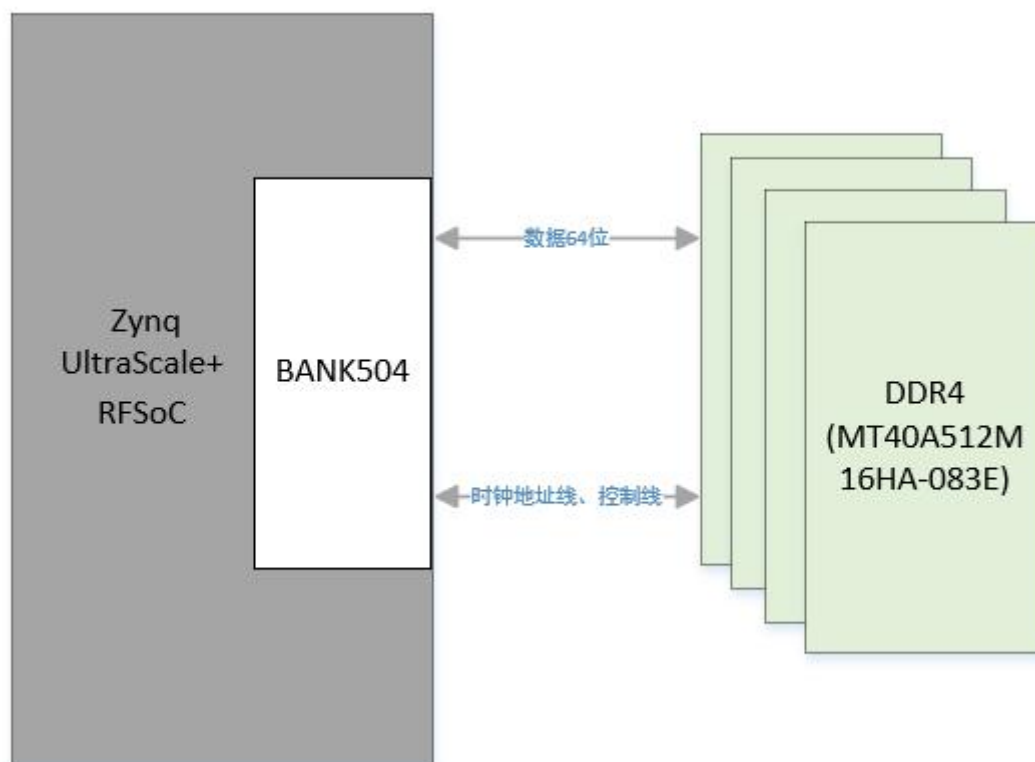


图 8 PS 端的 DDR4 连接示意图

PL 端的 DDR4 的硬件连接方式如下图所示：

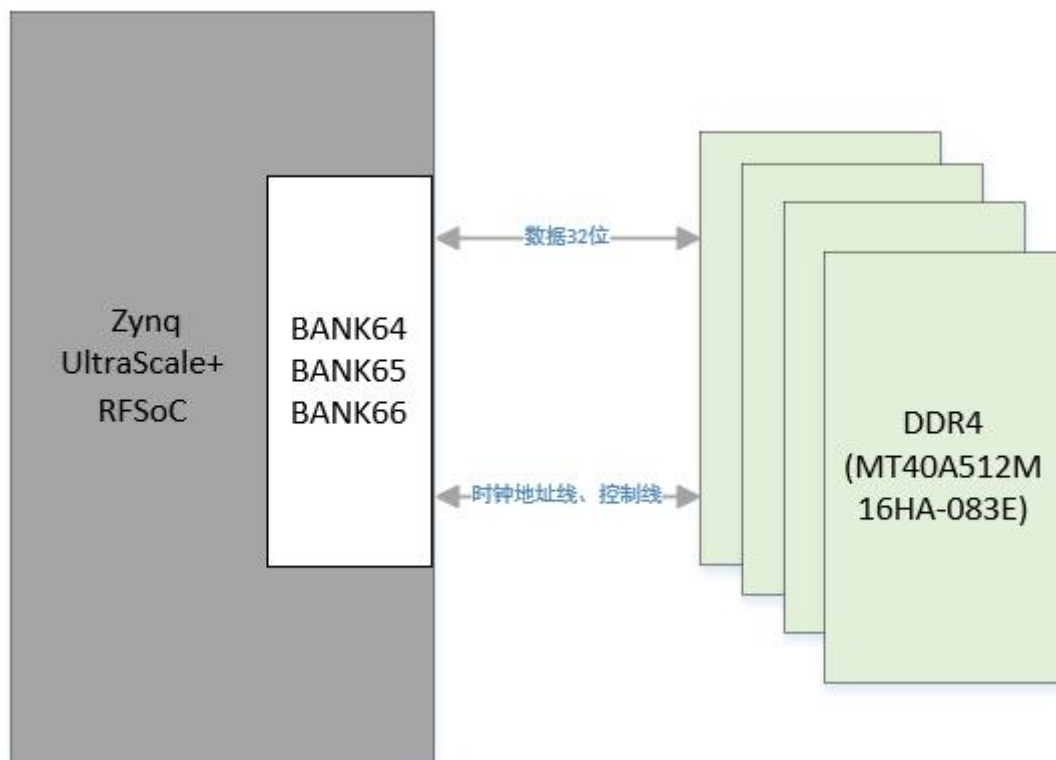


图 9 PL 端的 DDR4 连接示意图

2.6 QSPI FLASH

板卡在 PS 配置了两片 MT25QU01GBBB8E12-0SIT 串行 Nor Flash 存储芯片，可用于存储可执行代码和数据，例如引导程序，操作系统和比特流。两片 QSPI 芯片是通过并行的方式接入。

为了实现更高性能，两个 Quad-SPI 器件并行连接，共提供 8 位数据总线用于引导和配置。互联方式如下所示：

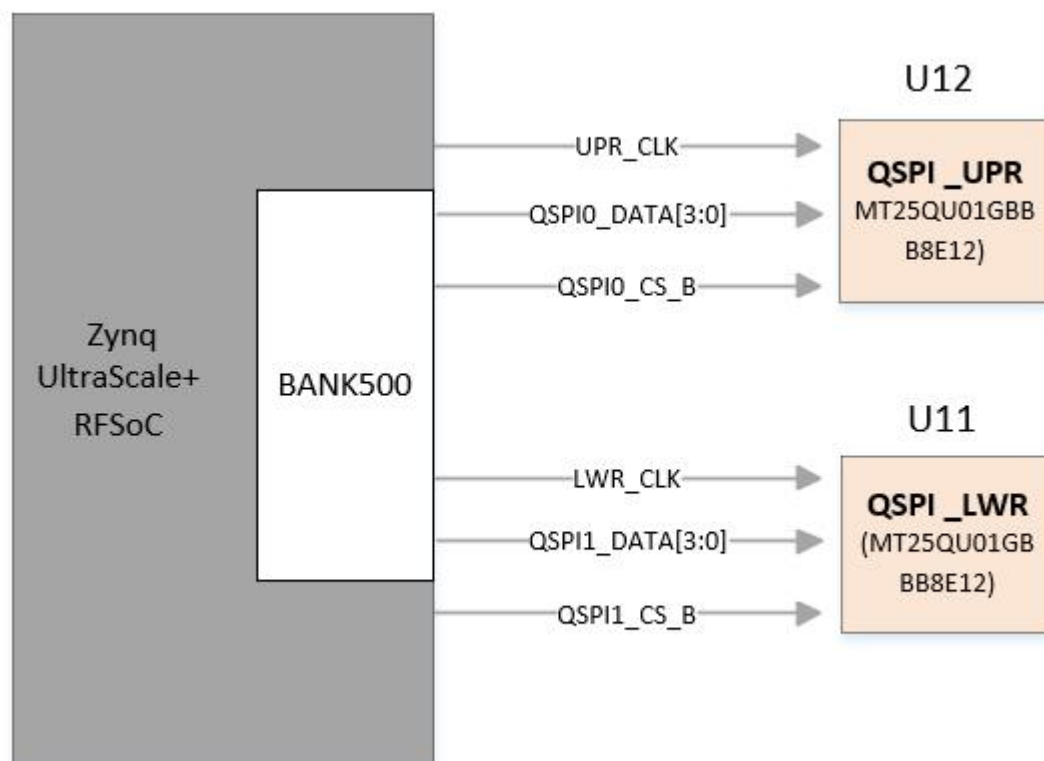


图 10 两片 QSPI Nor Flash 与 XCZU49DR 互联示意图

两片 QSPI Nor Flash 并行连接的引脚定义如下表，2 片 QSPI Nor Flash 互联引脚定义如下：

表 4 2 片 QSPI Nor Flash 互联引脚定义

FPGA(U1)管脚名	信号名	QSPI 管脚号	QSPI 管脚名
PS_MIO12_AV28	MIO12_QSPI_UPR_CLK	U12.B2	C
PS_MIO10_AV26	MIO10_QSPI_UPR_DQ2	U12.C4	DQ2_W_B
PS_MIO9_AW26	MIO9_QSPI_UPR_DQ1	U12.D2	DQ1
PS_MIO8_AW27	MIO8_QSPI_UPR_DQ0	U12.D3	DQ0
PS_MIO11_AW28	MIO11_QSPI_UPR_DQ3	U12.D4	DQ3_RST_HLD_B
PS_MIO7_AY27	MIO7_QSPI_UPR_CS_B	U12.C2	S_B
PS_MIO5_BA29	MIO5_QSPI_LWR_CS_B	U11.C2	S_B
PS_MIO4_BA28	MIO4_QSPI_LWR_DQ0	U11.D3	DQ0
PS_MIO3_BB28	MIO3_QSPI_LWR_DQ3	U11.D4	DQ3_RST_HLD_B
PS_MIO2_BB26	MIO2_QSPI_LWR_DQ2	U11.C4	DQ2_W_B
PS_MIO1_BA27	MIO1_QSPI_LWR_DQ1	U11.D2	DQ1
PS_MIO0_BB27	MIO0_QSPI_LWR_CLK	U11.B2	C

2.7 Micro SD 卡座

AXW49 包含一个 Micro SD 卡接口，以提供用户访问 SD 卡存储器，用于存储 BOOT 程序、Linux 操作系统内核、文件系统以及其它的用户数据文件。SD 卡 IO 信号与 PS BANK501 的 MIO 信号相连，PS 和 SD 卡连接器连接示意图如下所示：

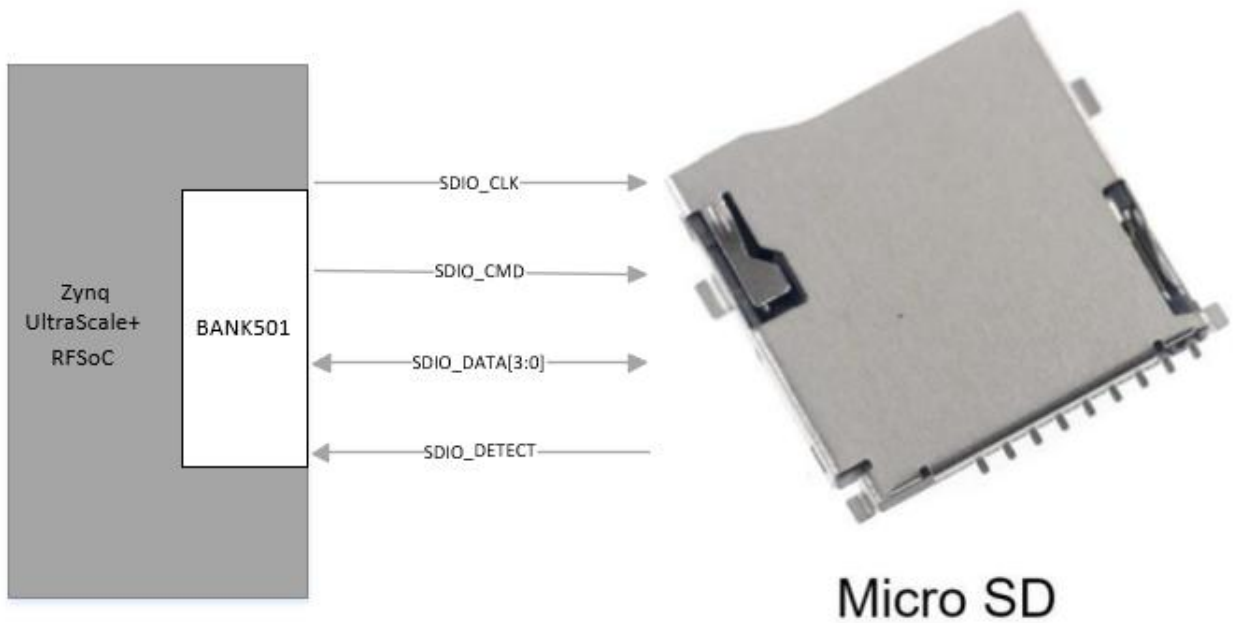


图 11 SD 卡连接示意图

表 5 SD 卡引脚分配如下：

信号名称	引脚名	引脚号	备注
MIO51_SDIO_CLK	PS_MIO51_M31	M31	SD 时钟信号
MIO50_SDIO_CMD	PS_MIO50_M30	M30	SD 命令信号
MIO46_SDIO_DAT0	PS_MIO46_J31	J31	SD 数据 Bit0
MIO47_SDIO_DAT1	PS_MIO47_L32	L32	SD 数据 Bit1
MIO48_SDIO_DAT2	PS_MIO48_M32	M32	SD 数据 Bit2
MIO49_SDIO_DAT3	PS_MIO49_K31	K31	SD 数据 Bit3
MIO45_SDIO_DETECT	PS_MIO45_L30	L30	SD 卡检测信号

2.8 USB3.0 接口

该板卡 PS 端支持 USB3.0, 支持 HOST、SLAVE 工作模式, 数据传输速率高达 5.0Gb/s。USB3.0 直接和外部 Type-A 接口连接, USB2.0 通过 ULPI 接口连接外部 USB3320C 芯片, 实现高速的 USB3.0 和 USB2.0 数据通信。USB3.0 连接示意图如下:

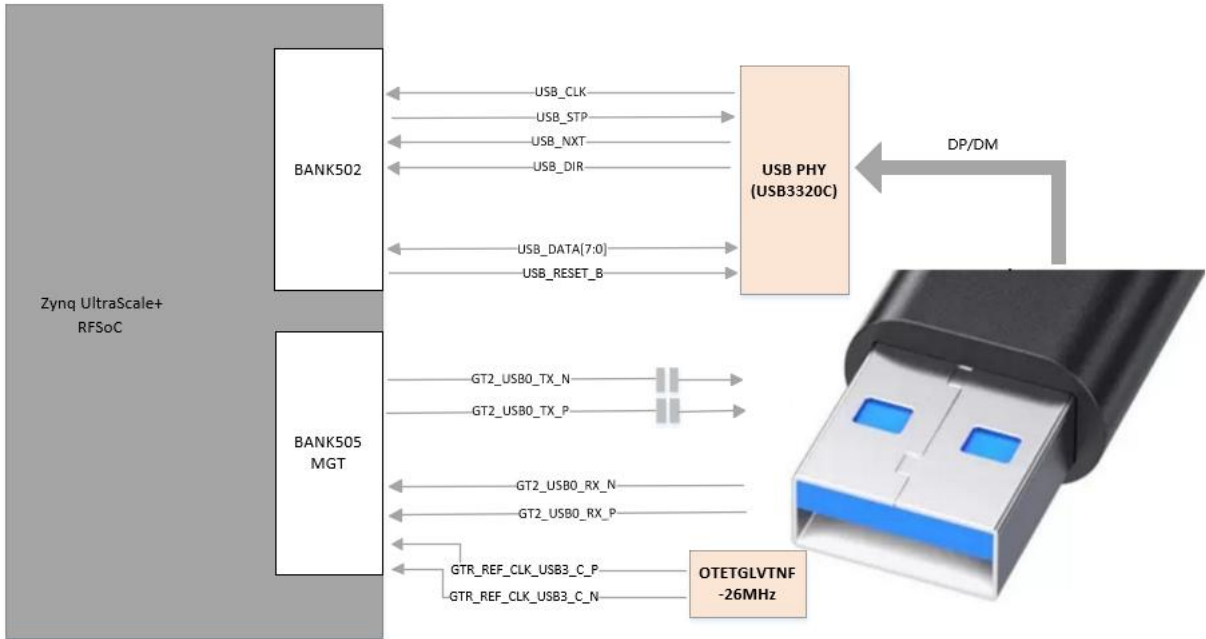


图 12 USB3.0 接口示意图

表 6 USB3.0 接口引脚分配

信号名称	引脚名	ZYNQ 引脚号	备注
MIO53_USB_DIR	PS_MIO53_N30	N30	USB2.0 数据方向信号
MIO52_USB_CLK	PS_MIO52_P28	P28	USB2.0 时钟信
MIO63_USB_DATA7	PS_MIO63_T29	T29	USB2.0 数据 Bit7
MIO62_USB_DATA6	PS_MIO62_V28	V28	USB2.0 数据 Bit6
MIO61_USB_DATA5	PS_MIO61_T28	T28	USB2.0 数据 Bit5
MIO60_USB_DATA4	PS_MIO60_U28	U28	USB2.0 数据 Bit4
MIO59_USB_DATA3	PS_MIO59_T30	T30	USB2.0 数据 Bit3
MIO58_USB_STP	PS_MIO58_R30	R30	USB2.0 停止信号

MIO57_USB_DATA1	PS_MIO57_R29	R29	USB2.0 数据 Bit1
MIO56_USB_DATA0	PS_MIO56_N29	N29	USB2.0 数据 Bit0
MIO55_USB_NXT	PS_MIO55_P29	P29	USB2.0 下一个数据信号
MIO54_USB_DATA2	PS_MIO54_N28	N28	USB2.0 数据 Bit2
GT2_USB0_RX_N	PS_MGTRRXN2_505_AG42	AG42	USB3.0 数据接送负
GT2_USB0_RX_P	PS_MGTRRXP2_505_AG41	AG41	USB3.0 数据接送正
GT2_USB0_TX_N	PS_MGTRTXN2_505_AF40	AF40	USB3.0 数据发送负
GT2_USB0_TX_P	PS_MGTRTXP2_505_AF39	AF39	USB3.0 数据发送正

2.9 Ethernet

AXW49 有 3 路千兆以太网接口，PS 端，PL 端各一路，另一路由连接器 3-1827253-6 引出。以太网芯片采用 TI(德州仪器)公司的 DP83867IRRGZ 芯片为用户提供网络通信服务。PS 端的以太网 PHY 芯片连接到 ZYNQ 的 PS 端 BANK502 的 MIO 上, PL 端的以太网 PHY 芯片连接到 ZYNQ 的 PL 端 BANK67 的 IO 上。DP83867IRRGZ 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 ZYNQ 系统的 MAC 层进行数据通信。千兆以太网 PHY 芯片连接示意图如下图所示：

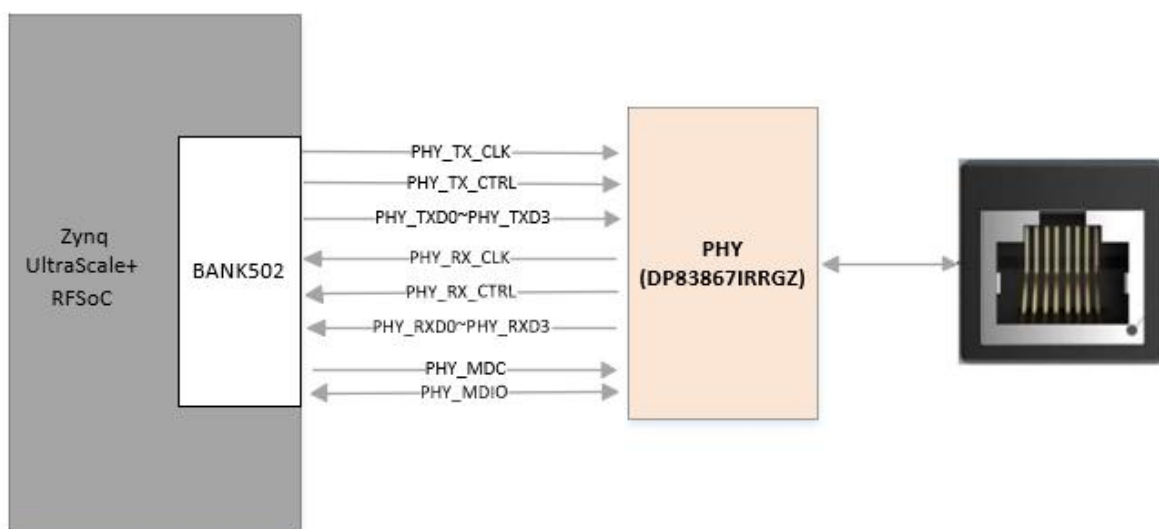


图 13 PS 端以太网连接示意图

表 7 PHY 连接到 XCZU49DR RFSoc PS 端

信号名称	引脚名	引脚	PHY 芯片	
			引脚号	引脚名
MIO64_ENET_TX_CLK	PS_MIO64_U30	U30	29	TX_CLK
MIO65_ENET_TX_D0	PS_MIO65_V30	V30	28	TXD0
MIO66_ENET_TX_D1	PS_MIO66_V29	V29	27	TXD1
MIO67_ENET_TX_D2	PS_MIO67_W28	W28	26	TXD2
MIO68_ENET_TX_D3	PS_MIO68_Y29	Y29	25	TXD3
MIO69_ENET_TX_CTRL	PS_MIO69_W29	W29	37	TX_CTRL
MIO70_ENET_RX_CLK	PS_MIO70_AA28	AA28	32	RXCLK
MIO71_ENET_RX_D0	PS_MIO71_AB28	AB28	33	RXD0
MIO72_ENET_RX_D1	PS_MIO72_AC28	AC28	34	RXD1
MIO73_ENET_RX_D2	PS_MIO73_AA29	AA29	35	RXD2
MIO74_ENET_RX_D3	PS_MIO74_Y30	Y30	36	RXD3
MIO75_ENET_RX_CTRL	PS_MIO75_AC29	AC29	38	RX_CTRL
MIO76_ENET_MDC	PS_MIO76_AB30	AB30	16	MDC
MIO77_ENET_MDIO	PS_MIO77_AA30	AA30	17	MDIO
ENET_RESET_B(MIO43_ETH_RESET#)	PS_MIO43_G31	G31	43	RESET_B

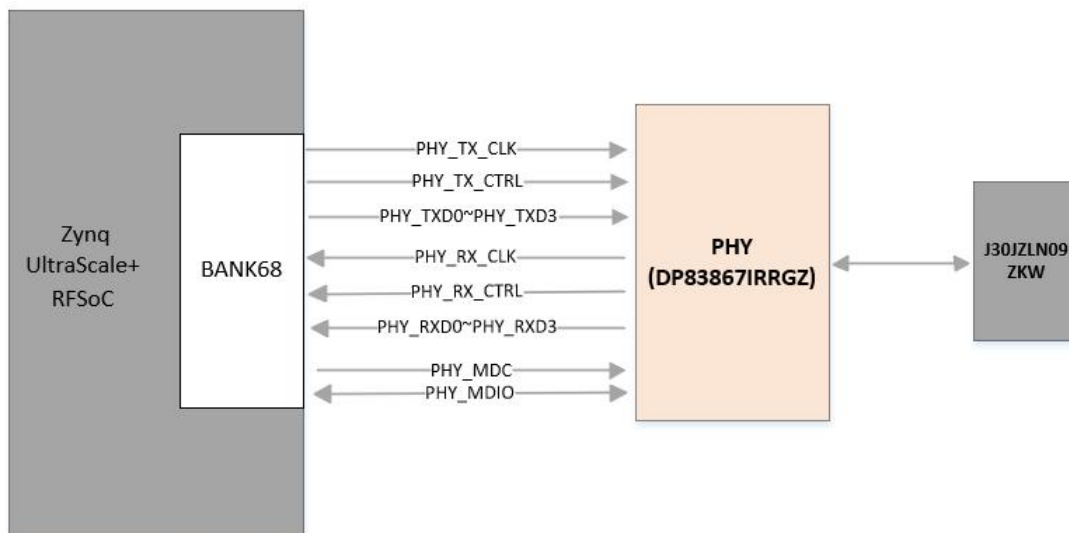


图 14 PL 端以太网连接示意图

表 8 PHY 连接到 XCZU49DR RFSoc PL 端

信号名称	引脚名	引脚号	PHY 芯片	
			引脚号	引脚名

PL_ENET_TX_CLK	IO_L14P_T2L_N2_GC_68_F23	F23	29	TX_CLK
PL_ENET_TX_D0	IO_L18P_T2U_N10_AD2P_68_D23	D23	28	TXD0
PL_ENET_TX_D1	IO_L18N_T2U_N11_AD2N_68_C23	C23	27	TXD1
PL_ENET_TX_D2	IO_T2U_N12_68_E24	E24	26	TXD2
PL_ENET_TX_D3	IO_L19P_T3L_N0_DBC_AD9P_68_C26	C26	25	TXD3
PL_ENET_TX_CTRL	IO_L19N_T3L_N1_DBC_AD9N_68_B26	B26	37	TX_CTRL
PL_ENET_RX_CLK	IO_L13P_T2L_N0_GC_QBC_68_H26	H26	32	RXCLK
PL_ENET_RX_D0	IO_L15P_T2L_N4_AD11P_68_G25	G25	33	RXD0
PL_ENET_RX_D1	IO_L15N_T2L_N5_AD11N_68_F25	F25	34	RXD1
PL_ENET_RX_D2	IO_L16P_T2U_N6_QBC_AD3P_68_E22	E22	35	RXD2
PL_ENET_RX_D3	IO_L16N_T2U_N7_QBC_AD3N_68_D22	D22	36	RXD3
PL_ENET_RX_CTRL	IO_L17P_T2U_N8_AD10P_68_E26	E26	38	RX_CTRL
PL_ENET_MDC	O_L20N_T3L_N3_AD1N_68_C24	C24	16	MDC
PL_ENET_MDIO	IO_L21P_T3L_N4_AD8P_68_C25	C25	17	MDIO
PL_ETH_RESET#	IO_12N_T1U_N11_GC_68_F22	F22	43	RESET_B

2.10 光口

AXW49 上有 2 路 QSFP 接口。2 路光纤接口分别跟 ZYNQ 的 BANK129、BAN130 上的 GTY 收发器相连接。BANK129 的 CLK0 和 BANK130 的 CLK0 由差分晶振提供，可选时钟 156.25MHz 或 106.25MHz。BANK129 的 CLK1 差分晶振提供 125MHz 时钟，QSFP28 接口连接示意图如下图所示：

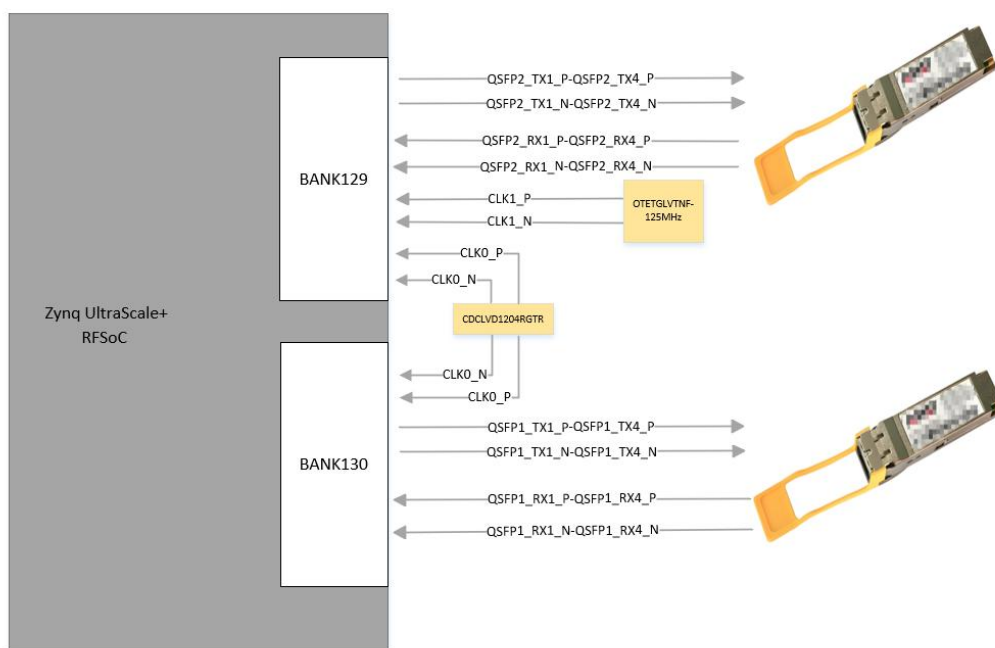


图 15 光纤设计示意图

表 9 QSFP1 和 QSFP2 接口引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
QSFP1_TX1_P	MGTYTXP0_130_K38	K38	
QSFP1_TX1_N	MGTYTXN0_130_K39	K39	
QSFP1_RX1_P	MGTYRXP0_130_L41	L41	
QSFP1_RX1_N	MGTYRXN0_130_L42	L42	
QSFP1_TX2_P	MGTYTXP1_130_J36	J36	
QSFP1_TX2_N	MGTYTXN1_130_J37	J37	
QSFP1_RX2_P	MGTYRXP1_130_J41	J41	
QSFP1_RX2_N	MGTYRXP1_130_J42	J42	
QSFP1_TX3_P	MGTYTXP2_130_H38	H38	
QSFP1_TX3_N	MGTYTXP2_130_H39	H39	
QSFP1_RX3_P	MGTYRXP2_130_G41	G41	
QSFP1_RX3_N	MGTYRXP2_130_G42	G42	
QSFP1_TX4_P	MGTYTXP3_130_G36	G36	
QSFP1_TX4_N	MGTYTXP3_130_G37	G37	
QSFP1_RX4_P	MGTYRXP3_130_F39	F39	
QSFP1_RX4_N	MGTYRXP3_130_F40	F40	
QSFP2_TX1_P	MGTYTXP0_129_P38	P38	

QSFP2_TX1_N	MGTYTXN0_129_P39	P39	
QSFP2_RX1_P	MGTYRXP0_129_W41	W41	
QSFP2_RX1_N	MGTYRXN0_129_W42	W42	
QSFP2_TX2_P	MGTYTXP1_129_N36	N36	
QSFP2_TX2_N	MGTYTXN1_129_N37	N37	
QSFP2_RX2_P	MGTYRXP1_129_U41	U41	
QSFP2_RX2_N	MGTYRXN1_129_U42	U42	
QSFP2_TX3_P	MGTYTXP2_129_M38	M38	
QSFP2_TX3_N	MGTYTXN2_129_M39	M39	
QSFP2_RX3_P	MGTYRXP2_129_R41	R41	
QSFP2_RX3_N	MGTYRXN2_129_R42	R42	
QSFP2_TX4_P	MGTYTXP3_129_L36	L36	
QSFP2_TX4_N	MGTYTXN3_129_L37	L37	
QSFP2_RX4_P	MGTYRXP3_129_N41	N41	
QSFP2_RX4_N	MGTYRXN3_129_N42	N42	

表 10 BANK129 和 BANK130 参考时钟分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
QSFP1_CLK_P	MGTREFCLK0P_130_P34	P34	CDCLVD1204RGTR 的 OUT0 输出, 默认配置 156.25MHz, 可选 106.25MHz
QSFP1_CLK_N	MGTREFCLK0N_130_P35	P35	CDCLVD1204RGTR 的 OUT0 输出, 默认配置 156.25MHz, 可选 106.25MHz
QSFP2_CLK_P	MGTREFCLK0P_129_V34	V34	CDCLVD1204RGTR 的 OUT1 输出, 默认配置 156.25MHz, 可选 106.25MHz
QSFP2_CLK_N	MGTREFCLK0N_129_V35	V35	CDCLVD1204RGTR 的 OUT1 输出, 默认配置 156.25MHz, 可选 106.25MHz
QSFP_REF_CLK_125M_P	MGTREFCLK1P_129_T34	T34	125MHz 差分输出
QSFP_REF_CLK_125M_N	MGTREFCLK1N_129_T35	T35	125MHz 差分输出

低速控制 IO 处理:

表 11 光纤低速 IO 信号处理方式:

QSFP 低速 IO 信号名	备注
MODSELL	下拉 GND
ResetL	上拉 3.3V
MODPRSL	上拉 3.3V
SDA	上拉 3.3V
SCL	上拉 3.3V
intL	上拉 3.3V
LPMODE	上拉 3.3V

2.11 NVMe

AXW49 配备了一个 PCIE x4 标准的 M.2 接口，用于连接 NVMe SSD 固态硬盘。M.2 接口使用 M key 插槽，只支持 PCI-E，用户选择 SSD 固态硬盘的时候需要选择 PCIE 类型的 SSD 固态硬盘。PCIE 信号直接跟 ZU49DR 的 BANK131 MGT 收发器相连接，4 路 TX 信号和 RX 信号都是以差分信号方式连接到 MGT 的 LANE0、LANE1、LANE2、LANE3 上。PCIE 的时钟由 100MHz 的差分时钟提供，M.2 电路设计示意图如下所示：

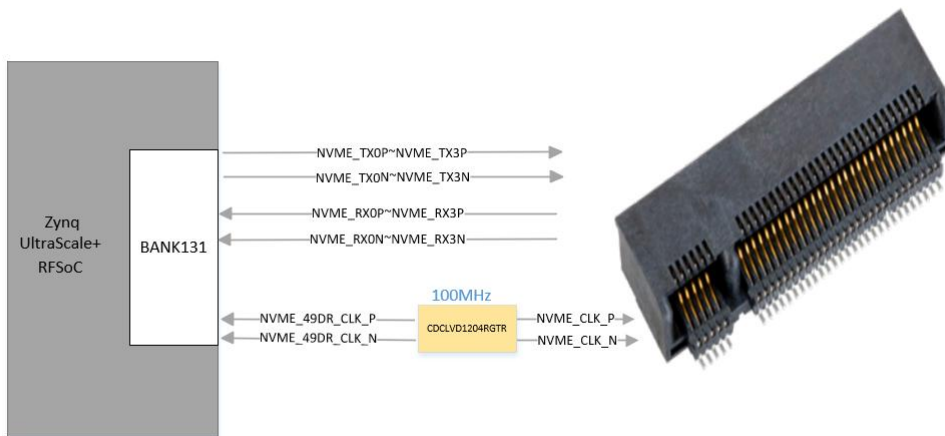


图 16 M.2 接口设计示意图

表 12 M.2 接口 ZYNQ 引脚分配

信号名称	ZYNQ 引脚名	NVMe 连接器 U7	
		引脚号	名称
NVME_TX0P	MGTYTXP0_131_F34	49	PERP0
NVME_TX0N	MGTYTXP0_131_F35	47	PERN0
NVME_RX0P	MGTYRXP0_131_E41	43	PETP0
NVME_RX0N	MGTYRXP0_131_E42	41	PETN0
NVME_TX1P	MGTYRXP0_131_E36	37	PERP1
NVME_TX1N	MGTYRXP0_131_E37	35	PERN1
NVME_RX1P	MGTYRXP0_131_D39	31	PETP1
NVME_RX1N	MGTYRXP0_131_D40	29	PETN1
NVME_TX2P	MGTYRXP0_131_C36	25	PERP2
NVME_TX2N	MGTYRXP0_131_C37	23	PERN2
NVME_RX2P	MGTYRXP0_131_C41	19	PETP2
NVME_RX2N	MGTYRXP0_131_C42	17	PETN2
NVME_TX3P	MGTYRXP0_131_A36	13	PERP3
NVME_TX3N	MGTYRXP0_131_A37	11	PERN3
NVME_RX3P	MGTYRXP0_131_B39	7	PETP3
NVME_RX3N	MGTYRXP0_131_B40	5	PETN3
NVME_49DR_CLK_P	MGTREFCLK0P_131_K34		
NVME_49DR_CLK_N	MGTREFCLK0N_131_K35		

2.12 扩展接口

AXW49 板上扩展了四组 IO。

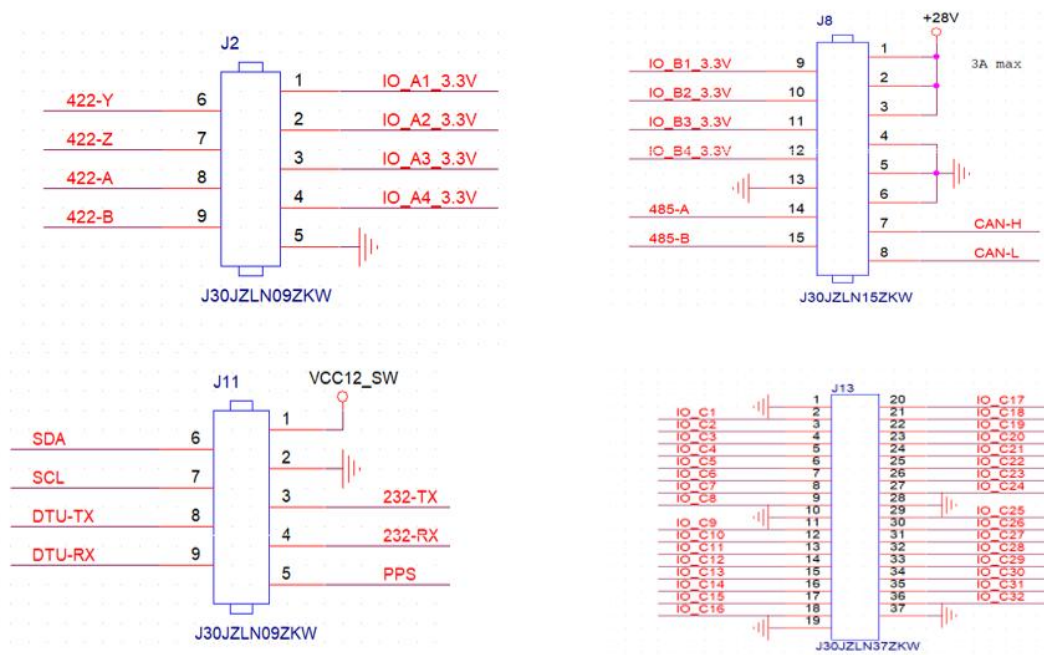


图 17 扩展 IO 电路连接图

表 13 J2 扩展 IO 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
IO_A1_3.3V	IO_L3P_AD13P_87_D14	D14	
IO_A2_3.3V	IO_L2N_AD14N_87_D12	D12	
IO_A3_3.3V	IO_L2P_AD14P_87_D13	D13	
IO_A4_3.3V	IO_L1N_AD15N_87_E12	E12	
422-Y	IO_T2U_N12_69_E19 IO_L18N_T2U_N11_AD2N_69_D18	E19 D18	
422-Z			
422-A			
422-B			

表 14 J8 扩展 IO 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
IO_B1_3.3V	IO_L3N_AD9N_89_H9	H9	
IO_B2_3.3V	IO_L3P_AD9P_89_H10	H10	
IO_B3_3.3V	IO_L2N_AD10N_89_J11	J11	

IO_B4_3.3V	IO_L2P_AD10P_89_J12	J12	
CAN-H	IO_L17P_T2U_N8_AD10P_69_E21	E21	CAN 接口
CAN-L	IO_L16N_T2U_N7_QBC_AD3N_69_D17	D17	CAN 接口
485-A	IO_L21P_T3L_N4_AD8P_69_B21	B21	
485-B	IO_L20P_T3L_N2_AD1P_69_C19	C19	

表 15 J11 扩展 IO 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SDA	PS_MIO15_AT27	AT27	I2C 接口
SCL	PS_MIO14_AU27	AU27	I2C 接口
DTU-TX	IO_L13N_T2L_N1_GC_QBC_69_G20	G20	
DTU-RX	IO_L13P_T2L_N0_GC_QBC_69_H20	H20	
232-TX	IO_L15P_T2L_N4_AD11P_69_G21	G21	UART 接口
232-RX	IO_L14N_T2L_N3_GC_69_F18	F18	UART 接口
PPS	IO_L18N_T2U_N11_AD2N_67_D27	D27	

表 16 J13 扩展 IO 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
IO_C1	IO_L12N_AD8N_87_F13	F13	
IO_C2	IO_L12P_AD8P_87_F14	F14	
IO_C3	IO_L6P_HDGC_87_F15	F15	
IO_C4	IO_L6N_HDGC_87_E14	E14	
IO_C5	IO_L9P_AD11P_87_E16	E16	
IO_C6	IO_L9N_AD11N_87_E15	E15	
IO_C7	IO_L10P_AD10P_87_D16	D16	
IO_C8	IO_L7P_HDGC_87_C15	C15	
IO_C9	IO_L10N_AD10N_87_C16	C16	
IO_C10	IO_L7N_HDGC_87_C14	C14	
IO_C11	IO_L8P_HDGC_87_B16	B16	
IO_C12	IO_L8N_HDGC_87_B15	B15	
IO_C13	IO_L11P_AD9P_87_A15	A15	
IO_C14	IO_L11N_AD9N_87_A14	A14	

IO_C15	IO_L5P_HDGC_87_A13	A13	
IO_C16	IO_L5N_HDGC_87_A12	A12	
IO_C17	IO_L5P_HDGC_AD7P_89_G12	G12	
IO_C18	IO_L5N_HDGC_AD7N_89_G11	G11	
IO_C19	IO_L6N_HDGC_AD6N_89_F9	F9	
IO_C20	IO_L6P_HDGC_AD6P_89_F10	F10	
IO_C21	IO_L7N_HDGC_AD5N_89_E9	E9	
IO_C22	IO_L9P_AD3P_89_D9	D9	
IO_C23	IO_L7P_HDGC_AD5P_89_E10	E10	
IO_C24	IO_L8P_HDGC_AD4P_89_E11	E11	
IO_C25	IO_L12N_AD0N_89_A9	A9	
IO_C26	IO_L9N_AD3N_89_C9	C9	
IO_C27	IO_L12P_AD0P_89_A10	A10	
IO_C28	IO_L11N_AD1N_89_B10	B10	
IO_C29	IO_L10N_AD2N_89_B11	B11	
IO_C30	IO_L8N_HDGC_AD4N_89_D11	D11	
IO_C31	IO_L10P_AD2P_89_C11	C11	
IO_C32	IO_L11P_AD1P_89_C10	C10	

2.13 RF

产品支持 16 路 14 位 ADC 2.5GSPS 输入,16 路 14 位 DAC 9.85 GSPS 输出,RF 连接器为 190-0108-AAD1, 单端信号输入输出, 通过巴伦器件进行差分单端互转功能, 完成对数据的发送和接收, 并且 VCM 信号也引出至 TP, 方便用户调节共模电压。

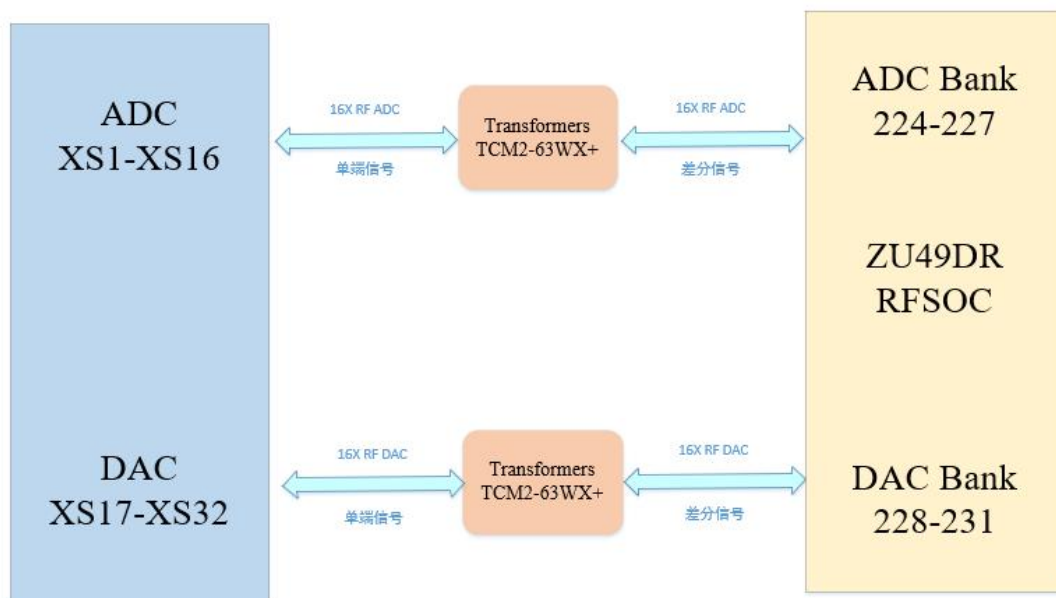


图 18 ADC&DAC 连接示意图

表 17 ADC 及 DAC 管脚分配表

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
ADC224_T0_CH0_P	ADC_VIN0_P_224_AU5	AU5
ADC224_T0_CH0_N	ADC_VIN0_N_224_AU4	AU4
ADC224_T0_CH1_P	ADC_VIN1_P_224_AU2	AU2
ADC224_T0_CH1_N	ADC_VIN1_N_224_AU1	AU1
ADC224_T0_CH2_P	ADC_VIN2_P_224_AR5	AR5
ADC224_T0_CH2_N	ADC_VIN2_N_224_AR4	AR4
ADC224_T0_CH3_P	ADC_VIN3_P_224_AR2	AR2
ADC224_T0_CH3_N	ADC_VIN3_N_224_AR1	AR1
ADC225_T1_CH0_P	ADC_VIN0_P_225_AN5	AN5
ADC225_T1_CH0_N	ADC_VIN0_N_225_AN4	AN4
ADC225_T1_CH1_P	ADC_VIN1_P_225_AN2	AN2
ADC225_T1_CH1_N	ADC_VIN1_N_225_AN1	AN1
ADC225_T1_CH2_P	ADC_VIN2_P_225_AL5	AL5
ADC225_T1_CH2_N	ADC_VIN2_N_225_AL4	AL4
ADC225_T1_CH3_P	ADC_VIN3_P_225_AL2	AL2
ADC225_T1_CH3_N	ADC_VIN3_N_225_AL1	AL1
ADC226_T2_CH0_P	ADC_VIN0_P_226_AJ5	AJ5
ADC226_T2_CH0_N	ADC_VIN0_N_226_AJ4	AJ4
ADC226_T2_CH1_P	ADC_VIN1_P_226_AJ2	AJ2

ADC226_T2_CH1_N	ADC_VIN1_N_226_AJ1	AJ1
ADC226_T2_CH2_P	ADC_VIN2_P_226_AG5	AG5
ADC226_T2_CH2_N	ADC_VIN2_N_226_AG4	AG4
ADC226_T2_CH3_P	ADC_VIN3_P_226_AG2	AG2
ADC226_T2_CH3_N	ADC_VIN3_N_226_AG1	AG1
ADC227_T3_CH0_P	ADC_VIN0_P_227_AE5	AE5
ADC227_T3_CH0_N	ADC_VIN0_N_227_AE4	AE4
ADC227_T3_CH1_P	ADC_VIN1_P_227_AE2	AE2
ADC227_T3_CH1_N	ADC_VIN1_N_227_AE1	AE1
ADC227_T3_CH2_P	ADC_VIN2_P_227_AC5	AC5
ADC227_T3_CH2_N	ADC_VIN2_N_227_AC4	AC4
ADC227_T3_CH3_P	ADC_VIN3_P_227_AC2	AC2
ADC227_T3_CH3_N	ADC_VIN3_N_227_AC1	AC1
DAC228_T0_CH0_P	DAC_VOUT0_P_228_Y5	Y5
DAC228_T0_CH0_N	DAC_VOUT0_N_228_Y4	Y4
DAC228_T0_CH1_P	DAC_VOUT1_P_228_Y2	Y2
DAC228_T0_CH1_N	DAC_VOUT1_N_228_Y1	Y1
DAC228_T0_CH2_P	DAC_VOUT2_P_228_V5	V5
DAC228_T0_CH2_N	DAC_VOUT2_N_228_V4	V4
DAC228_T0_CH3_P	DAC_VOUT3_P_228_V2	V2
DAC228_T0_CH3_N	DAC_VOUT3_N_228_V1	V1
DAC229_T1_CH0_P	DAC_VOUT0_P_229_T5	T5
DAC229_T1_CH0_N	DAC_VOUT0_N_229_T4	T4
DAC229_T1_CH1_P	DAC_VOUT1_P_229_T2	T2
DAC229_T1_CH1_N	DAC_VOUT1_N_229_T1	T1
DAC229_T1_CH2_P	DAC_VOUT2_P_229_P5	P5
DAC229_T1_CH2_N	DAC_VOUT2_N_229_P4	P4
DAC229_T1_CH3_P	DAC_VOUT3_P_229_P2	P2
DAC229_T1_CH3_N	DAC_VOUT3_N_229_P1	P1
DAC230_T2_CH0_P	DAC_VOUT0_P_230_M5	M5
DAC230_T2_CH0_N	DAC_VOUT0_N_230_M4	M4
DAC230_T2_CH1_P	DAC_VOUT1_P_230_M2	M2
DAC230_T2_CH1_N	DAC_VOUT1_N_230_M1	M1
DAC230_T2_CH2_P	DAC_VOUT2_P_230_K5	K5
DAC230_T2_CH2_N	DAC_VOUT2_N_230_K4	K4
DAC230_T2_CH3_P	DAC_VOUT3_P_230_K2	K2

DAC230_T2_CH3_N	DAC_VOUT3_N_230_K1	K1
DAC231_T3_CH0_P	DAC_VOUT0_P_231_H5	H5
DAC231_T3_CH0_N	DAC_VOUT0_N_231_H4	H4
DAC231_T3_CH1_P	DAC_VOUT1_P_231_H2	H2
DAC231_T3_CH1_N	DAC_VOUT1_N_231_H1	H1
DAC231_T3_CH2_P	DAC_VOUT2_P_231_F5	F5
DAC231_T3_CH2_N	DAC_VOUT2_N_231_F4	F4
DAC231_T3_CH3_P	DAC_VOUT3_P_231_F2	F2
DAC231_T3_CH3_N	DAC_VOUT3_N_231_F1	F1

2.14 COME

- USB3.0

该板卡 COME 端支持 USB3.0，数据传输，USB3.0 直接和外部 Type-A 接口连接，实现高速的 USB3.0 数据通信。USB3.0 连接示意图如下：

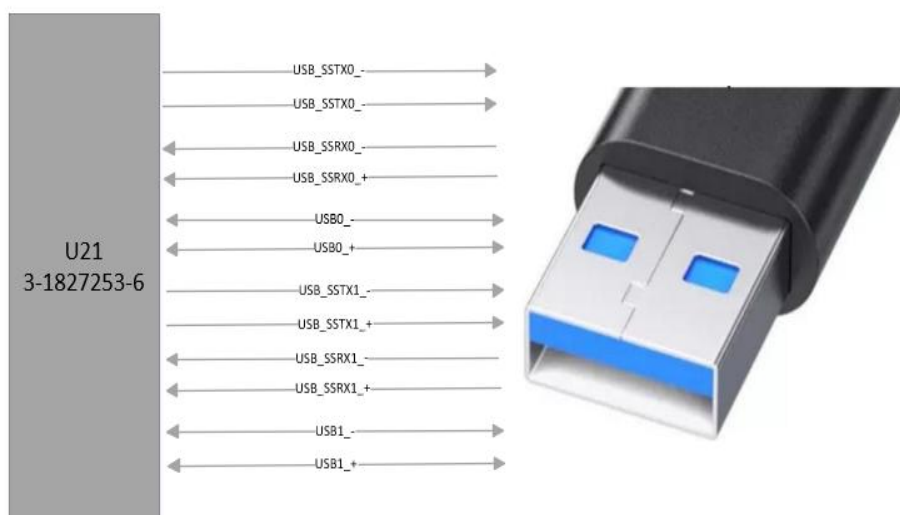


图 19 COME 端 USB3.0 示意图

表 18 COME 端 USB3.0 引脚对应表

信号名称	U21 引脚名	U21 引脚号	备注

USB_SSRX0_-	USB_SSRX0-	A22	
USB_SSRX0_+	USB_SSRX0+	A23	
USB_SSTX0_-	USB_SSTX0-	B22	
USB_SSTX0_+	USB_SSTX0+	B23	
USB0_-	USB0_-	A45	
USB0_+	USB0_+	A46	
USB_SSRX1_-	USB_SSRX1-	A25	
USB_SSRX1_+	USB_SSRX1+	A26	
USB_SSTX1_-	USB_SSTX1-	B25	
USB_SSTX1_+	USB_SSTX1+	B26	
USB1_-	USB1_-	B45	
USB1_+	USB1_+	B46	

● Ethernet

板卡 COME 端支持以太网通信，进行数据传输，通过 HR911130CE 引出。

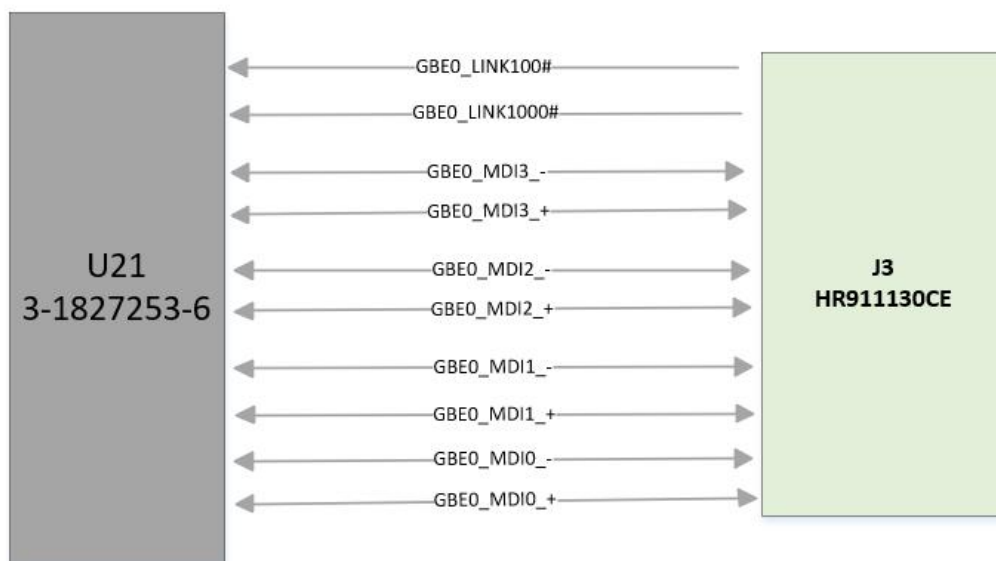


图 20 COME 端 Ethernet 示意图

表 19 COME 端 Ethernet 引脚对应表

信号名称	U21 引脚名	U21 引脚号	备注
GBE0_LINK100#	GBE0_LINK100#	A4	
GBE0_LINK1000#	GBE0_LINK1000#	A5	

GBE0_MDI0_-	GBE0_MDI0-	A12	
GBE0_MDI0_+	GBE0_MDI0+	A13	
GBE0_MDI1_-	GBE0_MDI1-	A9	
GBE0_MDI1_+	GBE0_MDI1+	A10	
GBE0_MDI2_-	GBE0_MDI2-	A6	
GBE0_MDI2_+	GBE0_MDI2+	A7	
GBE0_MDI3_-	GBE0_MDI3-	A2	
GBE0_MDI3_+	GBE0_MDI3+	A3	

- Display Port

COME 端 DisplayPort。

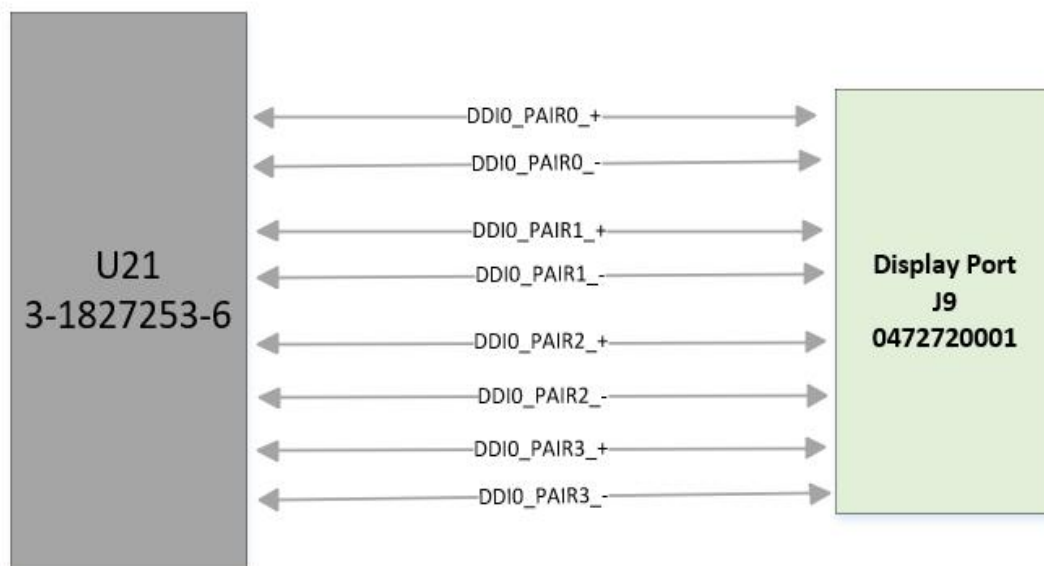


图 21 COME 端 Display Port 示意图

表 20 COME 端 Display Port 引脚对应表

信号名称	U21 引脚名	U21 引脚号	备注
DDIO_PAIR0_+	DDIO_PAIR0+/SDVO1_RED+	B71	
DDIO_PAIR0_-	DDIO_PAIR0-/SDVO1_RED	B72	
DDIO_PAIR1_+	DDIO_PAIR1+/SDVO1_GRN+	B73	
DDIO_PAIR1_-	DDIO_PAIR1-/SDVO1_GRN	B74	
DDIO_PAIR2_+	DDIO_PAIR2+/SDVO1_BLU+	B75	
DDIO_PAIR2_-	DDIO_PAIR2-/SDVO1_BLU	B76	

DDI0_PAIR3_+	DDI0_PAIR3+/SDVO1_CK+	B81	
DDI0_PAIR3_-	DDI0_PAIR3-/SDVO1_CK	B82	
DDI0_CTRLCLK_AUX_+	DDI0_CTRLCLK_AUX_+	B98	
DDI0_CTRLDAT_AUX_-	DDI0_CTRLDAT_AUX_-	B99	
DDI0_HPD	DDI0_HPD	B89	
DDI0_DDC_AUX_SEL	DDI0_DDC_AUX_SEL	B95	

- 存储

通过 COME 端在板卡上扩展了 AXD 嵌入式存储芯片，可实现极低的写入功耗，并延长 SSD 的寿命，同时提供极高的 IOPS 性能和具有高可靠性以及可以满足宽温级环境工作温度，可为嵌入式板卡板载存储解决方案，充分发挥 Gen4 的超高性能和低功耗特性，提供充足的存储容量以及读写速度。广泛适用于服务器、车载、舰载等应用领域。

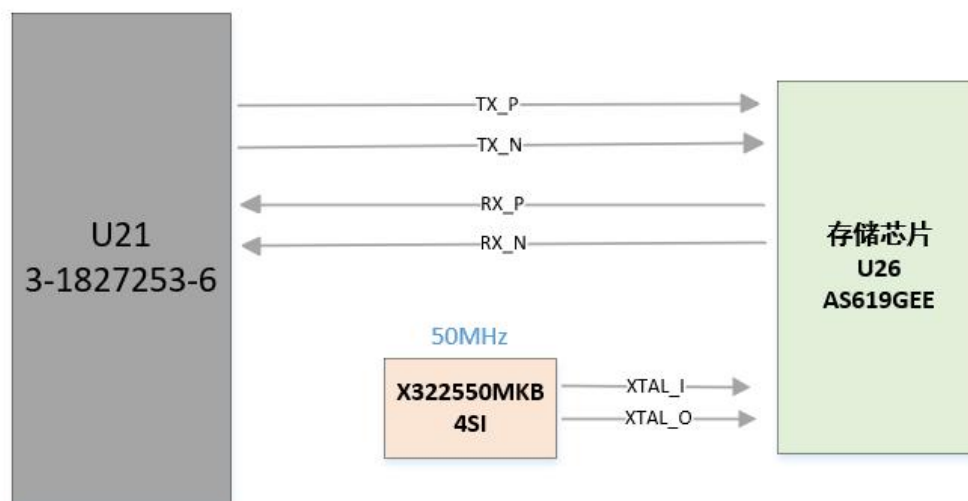


图 22 COME 端存储示意图

表 21 COME 端存储引脚分配表

信号名称	U21 引脚名	U21 引脚号	备注
RX_P	SATA0_TX+	A16	
RX_N	SATA0_TX-	A17	
TX_P	SATA0_RX+	A19	

TX_N	SATA0_RX-	A20	
------	-----------	-----	--

2.15 时钟配置

Zynq UltraScale RFSoc 提供多种时钟选择，核心模块上提供双晶振时钟，系统时钟默认使用 33.33MHz 有源晶振。X1 晶体 32.768KHz，驱动内部 RTC 电路。时钟电路设计的示意图如下图所示：

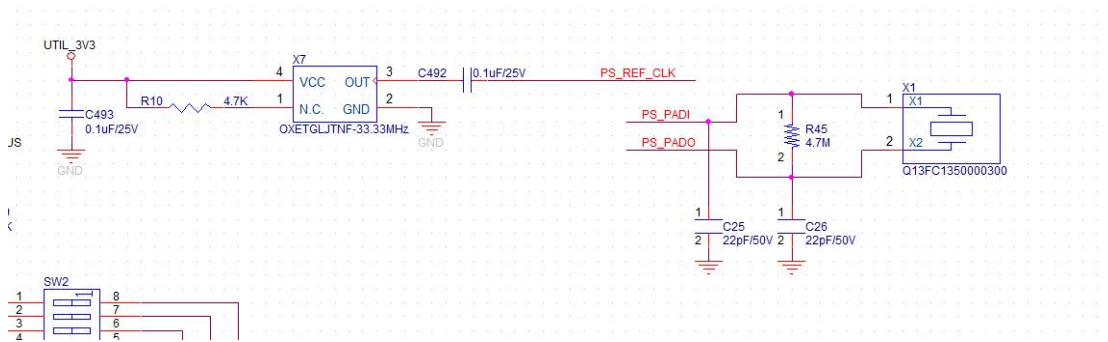


图 23 晶振原理图

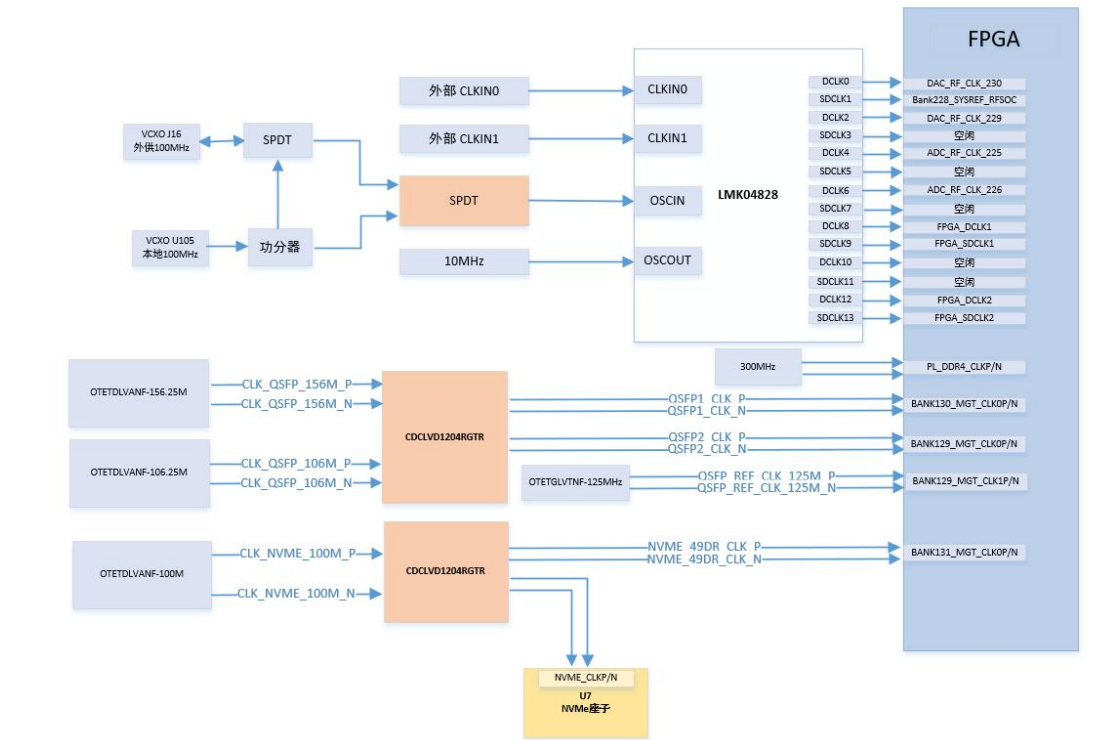


图 24 时钟分配连接示意图

系统采用 LMK04828 时钟芯片分配 ADC、DAC 所需时钟，LMK04828 的 CLKIN0 和 CLKIN1 采用的外部差分输入。OSCIN 提供两种输入方式，一种采用 100MHz 高稳 OCXO，另一种是外部输入时钟。同时板卡支持 1 路对外输出时钟（频率 100M），对外输出时钟和外部输入时钟共用一路 J16 SMP 通道，外部输

入和板卡输出时钟通道无法同时使用，同一时刻只能选择一种场景。

注意： OSCIN 外供时钟的时候需要把本地时钟的供电使能 disable，防止两个时钟之间产生干扰。

- **场景 1:** 输入源选用本地 OCXO,同时可对外输出 1 路 100M 时钟。同时需要把 OCXO 的供电使能 Enable。

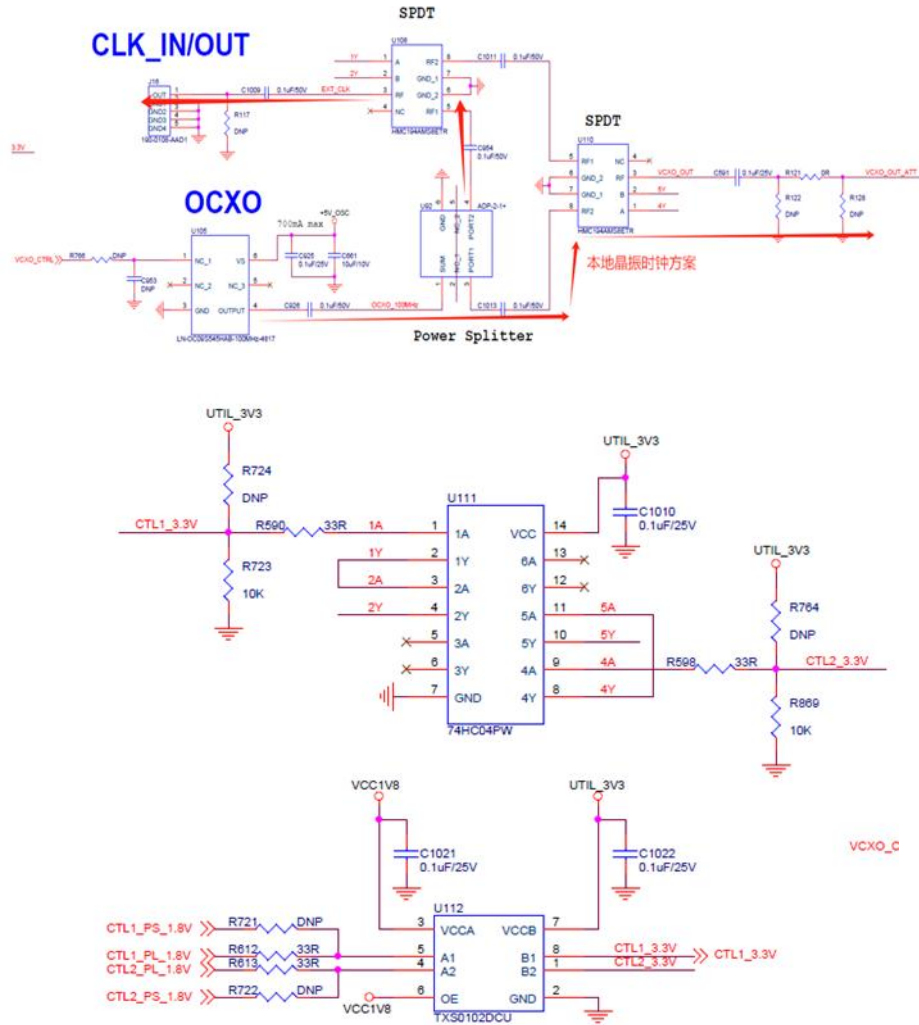
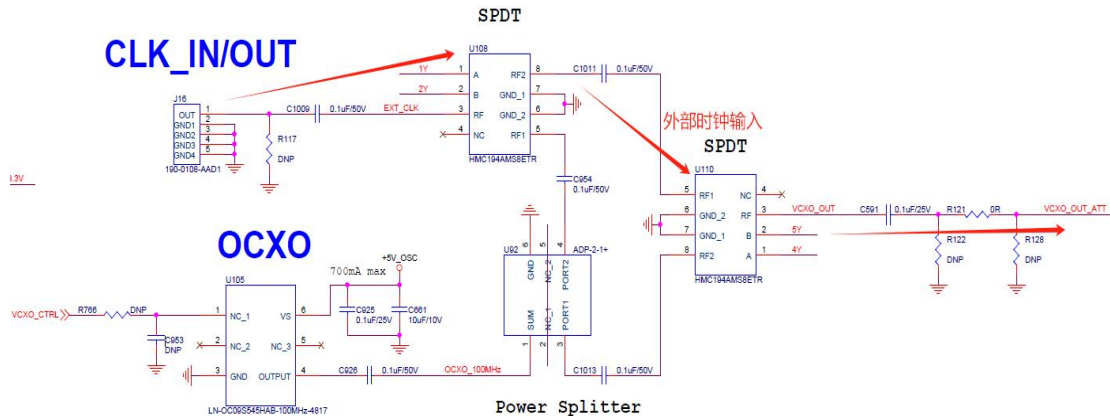


图 25 场景 1：输入源使用本地 OCXO100MHz 电路图

- **场景 2:** 输入源选用外供时钟，同时需要把 OCXO 的供电使能 disable。



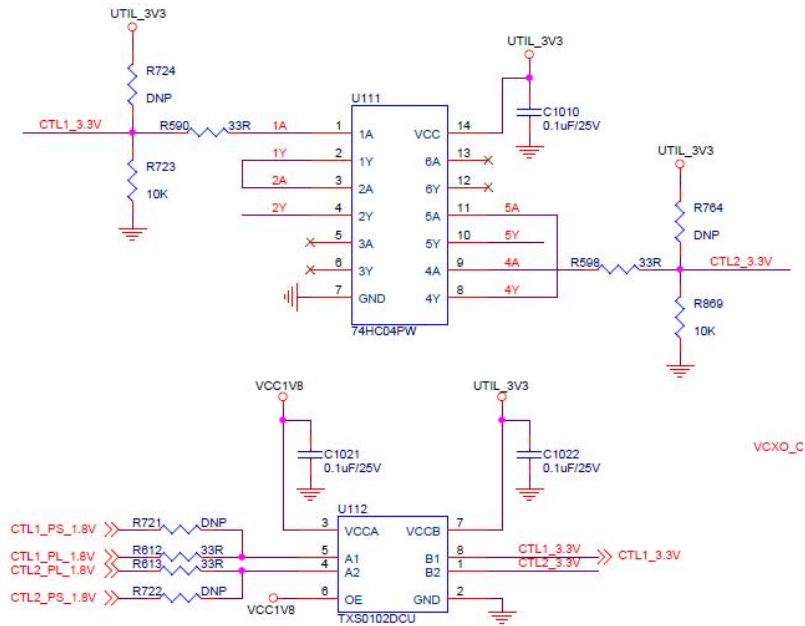


图 26 场景 2：输入源使用外供时钟电路图

以上两个场景的控制逻辑如下：

表 22 控制逻辑：

	场景一		场景二	
引脚	CTL2_PL_1.8V	CTL1_PL_1.8V	CTL1_PL_1.8V	CTL2_PL_1.8V
约束	BB9	AY9	AY9	BB9
电平	低	高	低	高
本地晶振	引脚	+5V_OSC_EN	引脚	+5V_OSC_EN
	约束	H30	约束	H30
	电平	高	电平	低

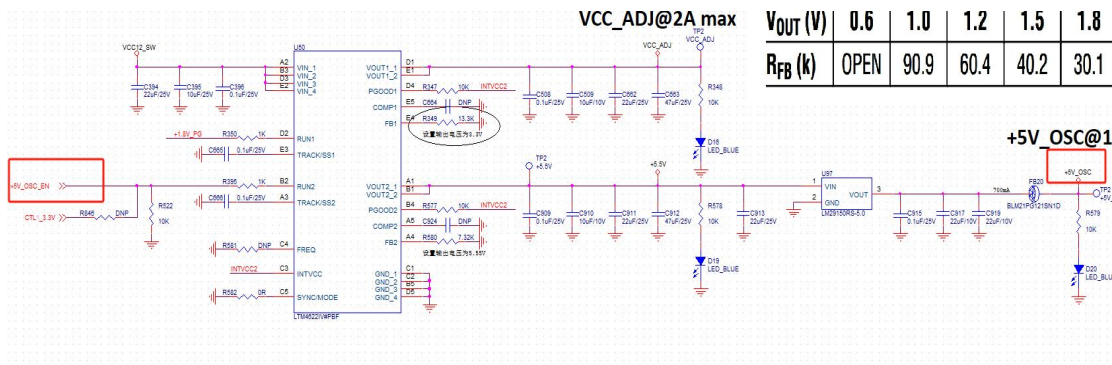


图 27 OXCO 电源+5V_OSC 以及+5V_OSC_EN 位置标记

2.16 电源

AXW49 采用直流 24V~32V 供电输入，通过 LTM4613 输出 12V 供电。12V 系统电源通过降压型稳压器变换不同的电压驱动板卡上的 FPGA 以及其它电路，板卡 ADC 与 DAC 的供电由线性低压 LDO 提供，具有较好的电源抑制（PSRR）。

表 23 AXW49 的 IO BANK 接口电平

BANK	电平 (V)	备注
BANK67、68、69	1.8V	HP BANK
BANK84、88	1.8V	HD BANK
BANK87、89	3.3V	HD BANK
BANK128、129、130、131	1.2V	QSFP(BANK129、130)、PCIE(BANK128)、NVME(BANK131)
BANK500、501、502	1.8V	MIO
BANK503	1.8V 固定	配置管脚输出，模式选择，系统复位信号

AXW49 电源设计框图如下所示：

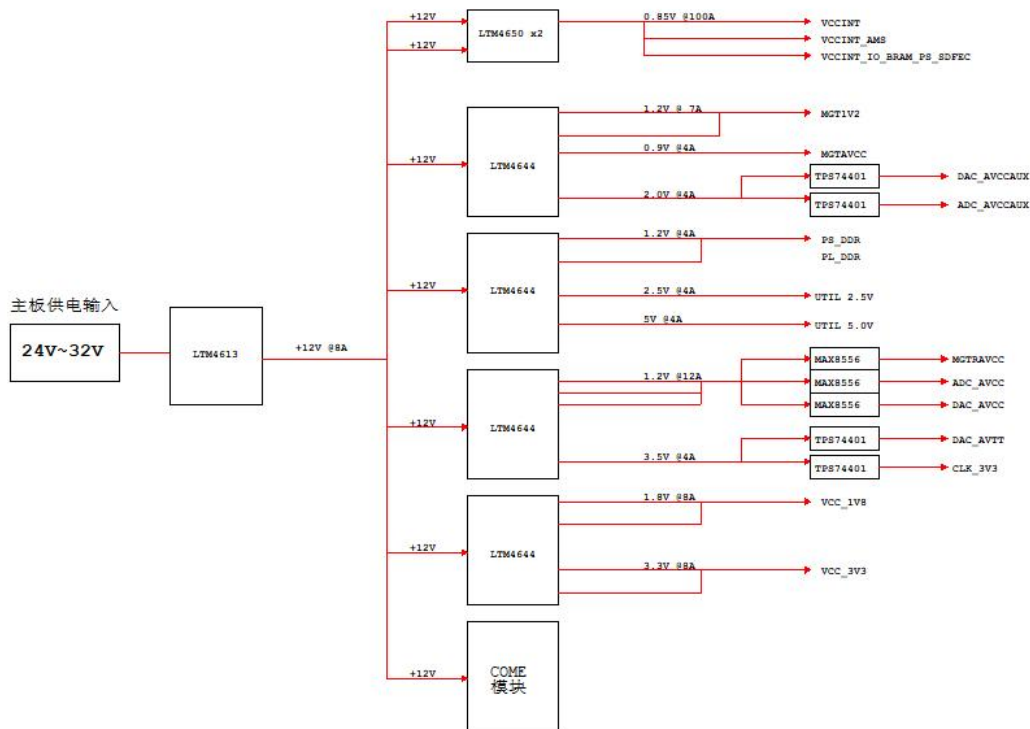


图 28 AXW49 电源设计框图

2.17 结构图

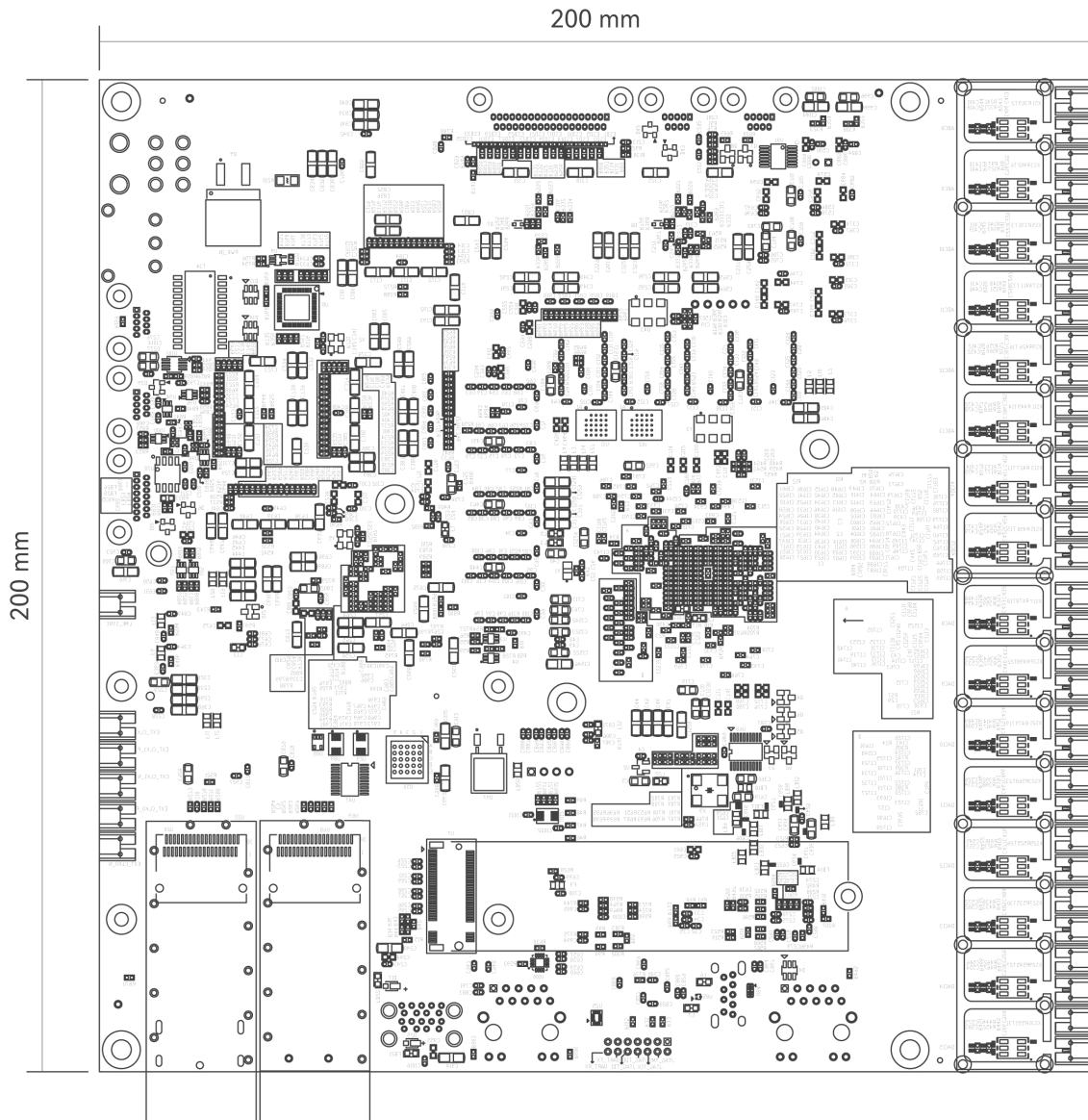


图 29 AXW49 结构图正面