

# **XR829 SCH PCB Checklist**

Version 1.0

2018-6-30

- SCH Checklist
- PCB Checklist
  - L2 Layer
  - L4 Layer

# 1. SCH Checklist

Block	No.	Item	Note
电源	1	供电电压及驱动能力符合datasheet要求，即VCC-BAT输入范围2.7~5.5V，最大峰值电流400mA；VDDIO输入范围为1.62~3.6V，推荐电压值为3.3V/1.8V，最大电流10mA。	
	2	方案如支持休眠唤醒功能，则VDDIO需要一直保持。	
	3	电源的去耦电容值使用参考原理图中推荐的值。	
	4	VDD14_xx可通过LDO和DCDC两种方式提供。	
IO	5	SDIO接口在AP端需要上拉电阻，默认选择33K Ohm。	
	6	BT-WAKE-AP和WL-WAKE-AP需要连接到AP上有中断功能的GPIO。	
	7	CLKREQOUT信号在搭配珠海全志科技股份有限公司部分AP芯片（集成有DCXO模块）的省晶振方案中使用，连接到DCXO模块的WREQIN，如不使用，该pin NC。	

## 2. SCH Checklist

Block	No.	Item	Note
RF	8	射频ANT可预留Pi电路为天线匹配。	
晶振	9	XR829的LPCLK信号 ( 32.768K ) 由外部提供。	
	10	高频晶振使用推荐的24M晶振时，两边电容20pf；使用无源晶振时可以通过调整外部电容使频率误差达到设计要求。	
	11	若选用主控和WIFI共用24M晶振方案时： XR829的XTAL2输入，并使XTAL1 NC（悬空）。	

## 2. PCB Checklist

### - L2 Layer

Block	No.	Item	Note
封装	1	封装尺寸、管脚顺序与实物相符。 PCB封装的pin焊盘比实际pin长度大12mil以上。	
	2	QFN封装的E-PAD开窗且打尽量多的过孔， E-PAD地孔均匀，保证每个地方都有地孔连接。	
电源	3	XR829的DCDC滤波电容靠近电感处， 其他电源去耦电容靠近对应pin放置。	
	4	VCC-BAT电源线保证25mil线宽以及DCDC供电VDD14_TX & VDD14_RX & VDD14_DIG保证20mil，VDDIO保证15mil线宽。	电源线宽根据走线长度可以适当调整，走线长时尽量加宽。
	5	电源线和信号线参考地平面交叉。	注意信号回流路径

## 2. PCB Checklist

### - L2 Layer

RF	6	天线辐射区域应尽量避免金属器件。 XR829整体布局需要远离DDR，显示屏，HDMI等干扰源。	板上的螺丝钉也尽量远离天线辐射区域。
	7	射频线两侧必须预留足够宽度的地，靠近XR829区域可以打一排地孔，较宽区域至少2排过孔。	
	8	控制射频线50欧姆，并保持阻抗连续。	
	9	RF线的BOT层参考地完整。	
晶振	10	高频晶振靠近XR829芯片放置，使XTAL1和XTAL2走线小于400mil，电容分别靠近晶振的XTAL1和XTAL2 pin管脚。	
	11	高频晶振线和LPCLK低频时钟线GND过孔包地。	
IO	12	SDIO线控制20cm以内。	

## 2. PCB Checklist

### - L4 Layer

L4 layer PCB，除上述L2 layer规则外，需特别注意以下几点。

Block	No.	Item	Note
电源与IO	1	TOP和BOT层走线，第2层为完整的参考地平面，第3层不走线或者走少量的线。	
RF	2	控制射频线50欧姆，并保持阻抗连续。 建议射频线隔层参考，使RF线宽与pi电路元件焊盘基本同宽。	天线馈电点焊盘如比较大时， 试情况挖空参考层。