

Проблемы реализации высокоскоростных каналов оперативной памяти DDR4 в российском многоядерном микропроцессоре нового поколения

И. Е. Билялетдинов^{1, 2}, Л. С. Тимин^{1, 3}

¹ ПАО «Институт электронных управляющих машин им. И. С. Брука», Москва, Россия

² МИРЭА – Российский технологический университет, Москва, Россия

³ АО «МЦСТ», Москва, Россия

Решение проблемы совместимости новых отечественных разработок с передовыми стандартами, постоянно осваиваемыми и используемыми в мировой микронэлектронной индустрии, требует основательной работы по анализу и оптимизации системной среды их внедрения. В статье приводятся результаты исследований работы канала оперативной памяти DDR4 нового микропроцессора «Эльбрус-8СВ». Основной проблемой явилась существенно меньшая, чем расчетная, скорость передачи данных по каналу. В связи с этим был реализован и внедрен в эксплуатацию метод исследования функционирования канала, основанный на формировании аналогов глазковых диаграмм, позволяющих судить об области работоспособности и устанавливать оптимальные настройки. Исследования, проведенные с использованием данного метода, позволили установить причины неудовлетворительных показателей работы канала и объективно оценить конструкторские решения, принятые при разработке. После учета этих результатов и внесения изменений в кристалл и коммутационную плату корпуса микропроцессора была выпущена усовершенствованная версия микропроцессора, в которой удалось достичь расчетной скорости передачи данных по каналу оперативной памяти.

Ключевые слова: DDR4, внутреннее самотестирование, глазковые диаграммы, высокоскоростные каналы

Для цитирования:

Билялетдинов И. Е., Тимин Л. С. Проблемы реализации высокоскоростных каналов оперативной памяти DDR4 в российском многоядерном микропроцессоре нового поколения // Радиопромышленность. 2020. Т. 30, № 1. С. 30–36. 10.21778/2413-9599-2020-30-1-30-36

© Билялетдинов И. Е., Тимин Л. С., 2020



Implementation problems of high-speed DDR4 channels in a new generation Russian multi-core microprocessor

I. E. Bilyaletdinov^{1, 2}, L. S. Timin^{1, 3}

¹ Institute of Electronic Control Computers named after I. S. Brook, Moscow, Russia

² MIREA – Russian Technological University, Moscow, Russia

³ MCST JSC, Moscow, Russia

Solving the issue of compatibility for the new domestic developments with continuously implemented and used in global microelectronics industry cutting-edge standards requires substantial work on analysis and optimization of the implementation environment. The results of the new Elbrus 8SV microprocessor DDR4 random access memory channel study are provided in this article. The much lower than estimated channel data transfer speed has become the main issue. In order to overcome it the channel functioning study method has been developed and implemented. It is based on forming the analogs of eye diagrams, which allow estimating the area of operability and using the optimal settings. Studies held using this method allowed establishing the cause for unsatisfactory performance of the channel and objectively assessing design decisions made during development. After taking these results into account and applying changes to the chip and the circuit board of the microprocessor case, an improved version of the microprocessor was released. It became possible to achieve the calculated data transfer speed via the memory channel.

Keywords: DDR4, internal self-test, eye diagrams, high-speed channels

For citation:

Bilyaletdinov I. E., Timin L. S. Implementation problems of high-speed DDR4 channels in a new generation Russian multi-core microprocessor. Radio industry (Russia), 2020, vol. 30, no. 1, pp. 30–36 (In Russian). 10.21778/2413-9599-2020-30-1-30-36

Введение

Первый опыт использования в продукции АО «МЦСТ» высокоскоростных каналов памяти, спроектированных в соответствии с повсеместно внедренным в компьютерной индустрии стандартом DDR4, был получен при разработке микропроцессора «Эльбрус-8СВ», который включал восемь ядер и четыре канала памяти. В первой итерации микропроцессора не удалось достичь предусмотренной стандартом и принятой в проектных расчетах скорости работы канала 2400 млн передач/с – скорость не превысила 1333 млн передач/с. В качестве одного из возможных путей решения проблемы авторами был предложен и применен представленный ниже метод исследования работоспособности канала памяти, основанный на получении глазковой диаграммы для передаваемых сигналов.

Глазковые диаграммы сигналов

Глазковая диаграмма – это суммарный вид всех битовых периодов измеряемого сигнала, наложенных друг на друга [1]. Глазковые диаграммы используются в мировой практике для оценки качества цифровых сигналов: в теории такая диаграмма должна выглядеть как правильный многоугольник, однако в реальности границы диаграмм размываются из-за различных факторов, таких как фазовое

дрожание сигналов, взаимные помехи сигналов, отражения в линии передачи и другие. Уменьшение влияния этих факторов становится одной из главных задач при проектировании сложных вычислительных устройств.

Компенсация искажений сигналов в канале памяти

Для улучшения характеристик сигналов в канале памяти DDR4 предусмотрены механизмы подстройки характеристик канала под внешние условия. Например, можно управлять согласующими сопротивлениями, выходными сопротивлениями сигналов, масками включения дополнительных сопротивлений на линии, длиной линий задержек и другими характеристиками. Предусмотрена возможность изменять параметры как со стороны микропроцессора, так и со стороны модуля памяти. Часть из них настраивается автоматически специальным внутренним алгоритмом тренировки канала. Другие задаются исходя из условий использования и зависят от конфигурации канала, применяемых модулей памяти, разброса характеристик микропроцессора и платы. Выбор неподходящего набора параметров может привести как к увеличению вероятности сбоя в процессе работы, так и к полной неработоспособности вычислительного комплекса.

Метод оценки работоспособности канала

Для оценки набора настроек можно использовать глазковые диаграммы, однако их получение для высокоскоростных сигналов связано с определенными трудностями: во-первых, необходимо дорогостоящее оборудование (например осциллограф и щупы к нему), во-вторых, многократное подключение этого оборудования к множеству сигналов на разных платах может вызывать трудности. Поэтому для оценки работоспособности канала предлагается построить аналог глазковой диаграммы сигналов канала памяти с помощью логики, реализованной во внутреннем блоке микропроцессора – контроллере памяти, которая используется при тренировке канала.

В канале памяти DDR4 данные передаются сигналами DQ со стробом DQS. Сигналы DQ представляют из себя шину данных, разделенную на байты (группы из восьми сигналов) или полубайты, в зависимости от используемой архитектуры модуля памяти. Каждому байту (полубайту) соответствует один дифференциальный строб DQS, по обоим фронтам которого данные захватываются процессором или модулем памяти. У разных сигналов могут различаться длины связей, поэтому внутри процессора предусмотрены управляемые линии задержек как для одиночных сигналов, так и общие – для байтов данных. Чтобы подсистема памяти заработала, необходимо правильно задать регистры процессора, отвечающие за настройки канала, и запустить процедуру тренировки. В процессе тренировки канала внутренний алгоритм выставляет задержки таким образом, чтобы все данные приходили одновременно, а также подбирает уровень опорного напряжения (V_{ref}), используемого как эталон для определения внутренних пороговых напряжений. На последних этапах тренировки подбирается сдвиг строба DQS относительно данных DQ для достижения наиболее близкой к оптимальной точки захвата данных (рис. 1).

Характеристиками качества выбранных настроек являются размер области работоспособности

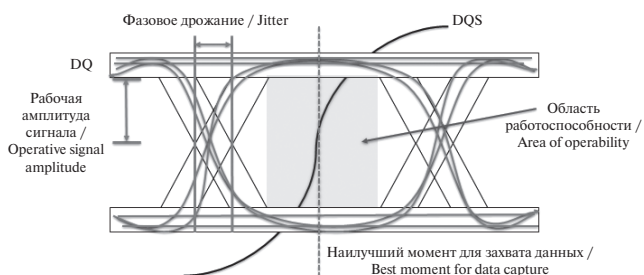


Рисунок 1. Область работоспособности и точка захвата данных на глазковой диаграмме
Figure 1. Area of operability in the eye diagram

ности – окно возможных положений DQS, а также амплитуда сигналов. Авторами предлагается следующий алгоритм оценки области работоспособности канала памяти:

1. Тренировка канала памяти с заданными параметрами.
2. Увеличение задержки строба DQS.
3. Запуск теста, контролирующего работоспособность.
4. Увеличение задержки и повторный запуск при успешном выполнении теста.
5. Завершение теста с ошибкой – это означает, что строб вышел из зоны работоспособности. Последняя рабочая задержка переводится в пикосекунды и запоминается как правая граница окна работоспособности.
6. Установка изначальной задержки.
7. Уменьшение задержки с запуском теста работоспособности.
8. Успешное завершение теста: в этом случае производится дальнейшее уменьшение задержки и запуск теста.
9. Завершение теста с ошибкой – это означает, что строб вышел из зоны работоспособности. Последняя рабочая задержка переводится в пикосекунды и запоминается как левая граница окна работоспособности.
10. Варьирование напряжения V_{ref} , повторение пп. 2–10.

По результатам работы алгоритма строится график зависимости границы окна работоспособности от напряжения V_{ref} . Так, ширина окна в пикосекундах соответствует ширине области работоспособности на глазковой диаграмме, в то время как V_{ref} отражает зависимость от амплитуды исследуемых сигналов. На основании получившихся графиков можно делать выводы о надежности канала, а также сравнивать различные варианты настроек памяти и разные конструкторские решения.

Применение метода для процессора «Эльбрус-8СВ»

В первой итерации микропроцессора «Эльбрус-8СВ» не удалось достичь принятой в проектных расчетах скорости работы канала 2400 млн передач/с. Одна из первых гипотез о причинах такого результата заключалась в неправильном выборе настроек канала памяти. Для поиска оптимального сочетания параметров канала был применен метод рационального перебора настроек с последующим измерением окна работоспособности. Чтобы ускорить получение результатов, было решено отказаться от варьирования напряжения V_{ref} . Данный способ исследования уже доказал

свою эффективность в предыдущих проектах с памятью DDR3 [2].

Для достижения максимальной объективности результатов все обращения к микропроцессору можно проводить через отладочный интерфейс JTAG [3–5]. Это позволяет исключить возможное влияние программного обеспечения (например программы начального старта и операционной системы). Дополнительно в «Эльбрус-8СВ» реализована возможность через отладочный порт обращаться напрямую к набору регистров, отвечающих за настройки канала памяти. Это позволяет отказаться от использования большей части внутренних блоков процессора, включая ядро. В этом случае в качестве теста на работоспособность канала следует использовать встроенный в контроллер памяти алгоритм встроенного самотестирования (Built-In Self-Test, BIST), который обеспечивает непрерывную нагрузку на канал и не зависит от других блоков микропроцессора [3, 4]. Дополнительным преимуществом BIST является возможность его запуска в отдельных байтах памяти, что позволяет строить отдельные аналогичные диаграммы для разных байтов.

График, полученный таким образом для одного из каналов процессора «Эльбрус-8СВ», представлен

на рис. 2. Данные были получены для скорости передачи данных 2166 млн передач/с, т. к. на более высоких скоростях не проходила тренировка канала. На основании графика можно сделать вывод, что канал работоспособен, а окно составляет около 200 из теоретически возможной 461 пикосекунды. Однако такой результат не соответствовал наблюдаемой неработоспособности памяти.

В качестве одной из первых причин расхождения результатов рассматривалась недостаточная нагрузка теста на канал памяти: для получения графика (рис. 2) данные одновременно передавались только по одному байту одного канала, что создает меньшую нагрузку, чем при тестах, запускаемых из операционной системы. При запуске BIST для всех байтов одновременно результаты не изменились. Поэтому было решено дополнительно нагрузить все каналы памяти и оценить связанные с этим эффекты.

Обнаружение взаимного влияния каналов

Увеличить число обращений в память можно несколькими методами, самый простой и наиболее интенсивный из которых – это применение уже используемого механизма встроенного

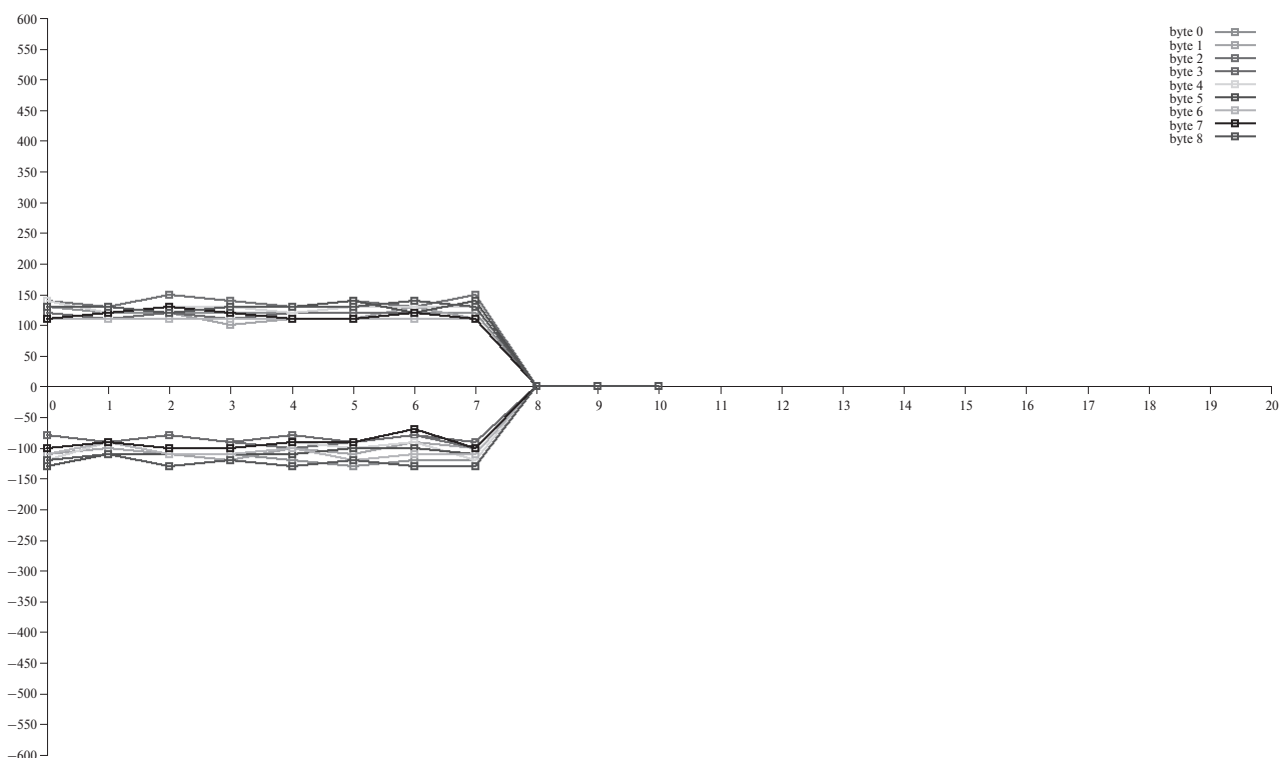


Рисунок 2. Границы окна работоспособности в зависимости от выбора настроек при слабой нагрузке: по оси абсцисс – номера в списке настроек; по оси ординат – граница окна работоспособности в пикосекундах

Figure 2. The boundaries of the operational capacity window depending on the choice of settings under light load: along the abscissa axis – numbers in the settings list; along the ordinate axis – the border of the operational capacity window in picoseconds

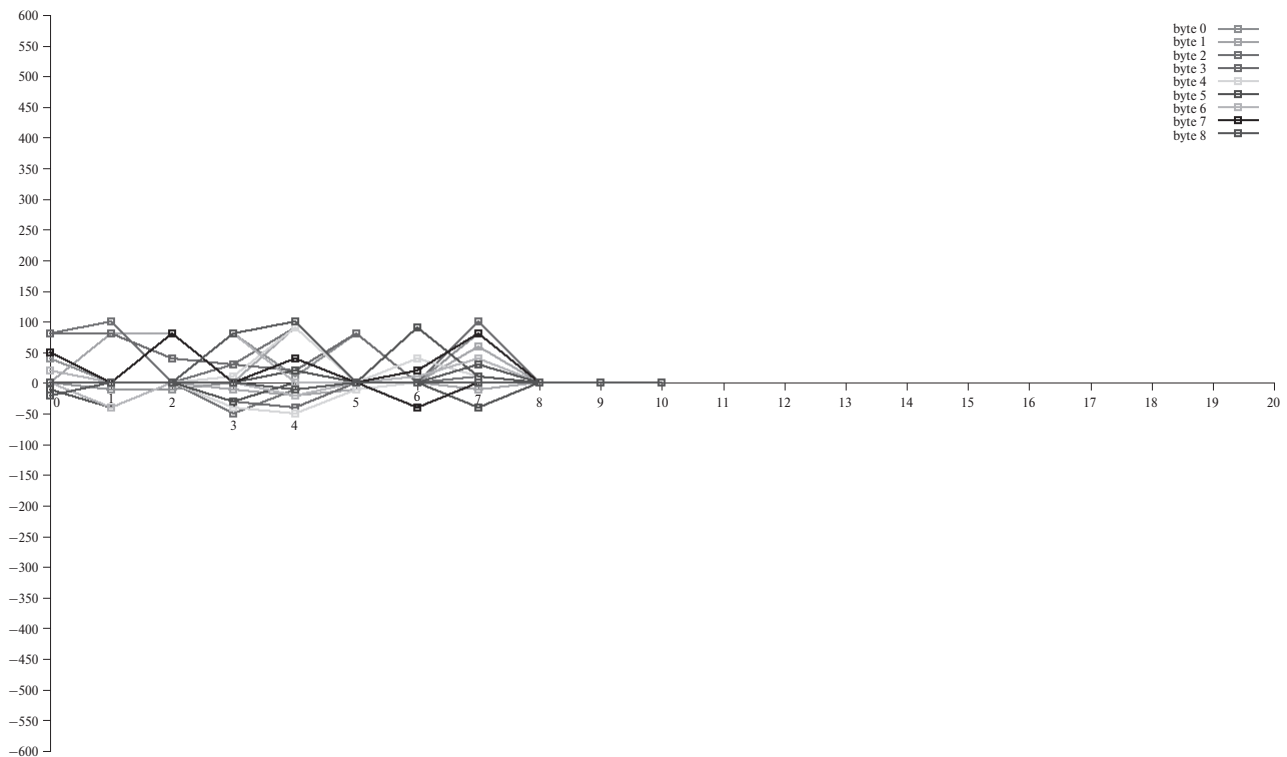


Рисунок 3. Границы окна работоспособности в зависимости от выбора настроек при интенсивной нагрузке на соседние каналы памяти: по оси абсцисс – номера в списке настроек; по оси ординат – граница окна работоспособности в пикосекундах

Figure 3. The boundaries of the operational capacity window depending on the choice of settings under intense load on neighboring memory channels: along the abscissa axis – numbers in the settings list; along the ordinate axis – the border of the operational capacity window in picoseconds

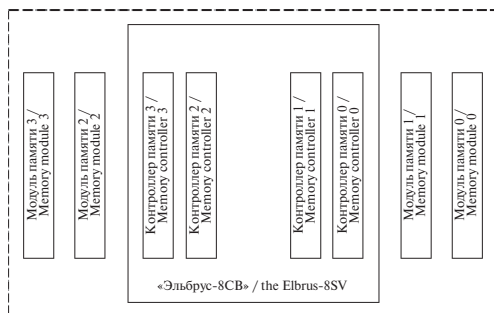


Рисунок 4. Расположение каналов памяти процессора «Эльбрус-8СВ»
Figure 4. The location of the memory channels of the Elbrus-8SV processor

самотестирования. Согласно измененному алгоритму, сначала настраиваются и тренируются все каналы памяти, а затем на всех каналах, кроме исследуемого, запускается бесконечный прогон BIST для всех байтов данных. И уже после этого выполняется измерение окна работоспособности. Полученные результаты отражены на рис. 3.

Из графика видно, что память абсолютно неработоспособна. Для уточнения причины проявления

неисправности были измерены окна для всех возможных комбинаций включения активных обращений в каналах памяти. Оказалось, что эффект неработоспособности проявляется при включении BIST-канала рядом с тестируемым (рис. 4), в то же время запуск тестов каналов на противоположной стороне микропроцессора на результат почти не влияет (например, на канал 0 влияет канал 1, но не каналы 2 и 3).

Произведенный анализ устройства корпуса процессора показал, что контакты соседних каналов были перемешаны между собой из соображений удобства трассировки. Это решение значительно снизило помехозащищенность, т.к. при относительной изолированности контактов определенного канала его сигналы переключаются почти одновременно, и все помехи оказывают свое влияние только во время предустановки сигналов, не затрагивая область удержания. При наличии рядом передатчиков другого канала (например соседнего, как в данном случае) помехи могут воздействовать на сигналы в случайный момент времени. Чтобы устранить этот эффект, необходимо изменить расположение контактов, а значит, нужно менять конструкцию не только корпуса, но и всех плат.

С учетом этого было принято решение проверить вторую гипотезу неработоспособности каналов – некондиционное состояние системы питания.

Исследование влияния напряжения питания

Для проверки версии о влиянии напряжения питания были измерены границы области работоспособности при различных напряжениях питания микропроцессора, начиная с расчетных 0,9 до 1,2 В. Верхняя граница была выбрана с учетом возможностей системы охлаждения процессора.

Для тестов была использована плата с управляемыми источниками питания. Эксперимент показал, что при повышении напряжения питания процессора искажения на графике окна работоспособности уменьшались, а при напряжении выше 1,09 В полностью исчезли, а также стала возможной работа на повышенной частоте. Зависимость работоспособности от питания стала очевидной.

Для измерения реальной просадки питания памяти разработчиками микропроцессора был предусмотрен аналоговый тестовый вывод. С помощью управляющих регистров на него можно мультиплексировать внутренние синхросигналы микропроцессора и уровни напряжения, включая напряжение внутри блока фазовой автоподстройки частоты, генерирующего синхросигнал для подсистемы памяти. Но при анализе рассматриваемой проблемы было учтено, что из-за дополнительного сопротивления связей, проводников и контактирующих площадок абсолютные значения напряжений могут выдаваться с ошибкой. Поэтому падение напряжения оценивалось следующим образом:

1. Проводились настройка и тренировка канала памяти.

2. Останавливались ядро процессора и обращения в память.
3. Производилось измерение напряжения с помощью высокоомного щупа.
4. Запускался бесконечно идущий BIST для всех каналов памяти.
5. Производилось измерение напряжения с помощью высокоомного щупа.

Данные измерения дали два существенных результата: во-первых, запуск BIST приводит к падению напряжения на 100 мВ (т.е. на 11% при расчетном номинале напряжения 900 мВ), во-вторых, измеренное значение напряжения заметно зависит от сопротивления щупа (при номинале 1 МОм значения получались в несколько раз меньше, чем при 10 МОм).

После получения этих результатов очевидной стала необходимость в улучшении подсистемы питания и проверке кристалла микропроцессора на наличие паразитных сопротивлений. В частности, было установлено, что проводники питания подсистемы памяти слишком тонкие. В новой итерации микропроцессора в корпусе была увеличена толщина проводников питания, а сетка питания была «почищена» от лишних сопротивлений, что фактически сняло проблему с выходом на планируемую при разработке скорость 2400 млн передач/с. Окно работоспособности, снятое при максимальной нагрузке, показано на рис. 5. Можно констатировать, что исправления подсистемы питания позволили устранить влияние соседнего канала.

Выводы

Представленные в статье результаты свидетельствуют о том, что решение проблемы совместимости

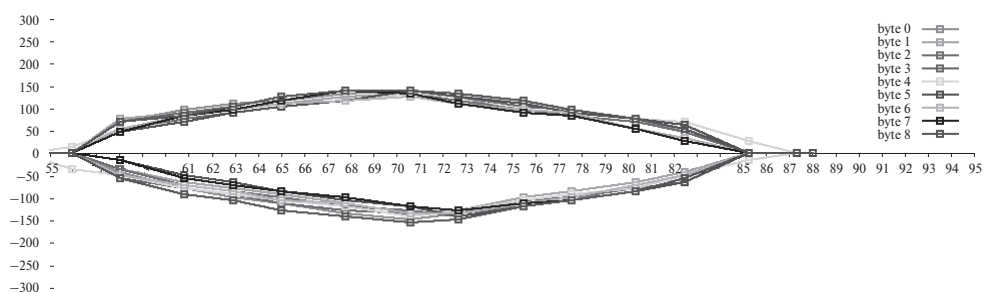


Рисунок 5. Окно работоспособности для усовершенствованной итерации микропроцессора «Эльбрус-8СВ»: по оси абсцисс – напряжение V_{ref} в процентах от напряжения питания выходных буферов сигналов канала памяти; по оси ординат – граница окна работоспособности в пикосекундах

Figure 5. The operational capacity window for the advanced iteration of the Elbrus-8SV microprocessor: along the abscissa axis – V_{ref} voltage as a percentage of the supply voltage of the output buffers of the memory channel signals; along the ordinate axis – the border of the operational capacity window in picoseconds

новых отечественных разработок с передовыми стандартами, постоянно осваиваемыми и используемыми в мировой микроэлектронной индустрии, требует основательной работы по анализу и оптимизации системной среды их внедрения. В этом смысле первая в стране реализация передового стандарта DDR4 в новом проекте высокопроизводительного микропроцессора показала очевидную недостаточность точного воспроизведения логики и физических установок стандарта на стадии

проектирования кристалла. Уже на стадии пост-силиконовой верификации с помощью специально разработанного инструментария были выявлены негативные эффекты, прямо связанные с компоновкой и обрамлением кристалла в составе вычислительного комплекса. Часть из них удалось нивелировать специальными методами, позволившими обеспечить нормальное функционирование конечного изделия. Другие стоит учитывать в последующих разработках.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Foster G. Anatomy of an Eye Diagram – a Primer. SyntheSys Research, Inc., 2004, 9 p.
2. Билялетдинов И.Е., Ометов А.Е., Тимин Л.С. Оптимизация параметров высокоскоростных каналов процессора с целью повышения отказоустойчивости вычислительного комплекса // Вопросы радиоэлектроники. 2018. № 2. С. 87–92.
3. Wang L., Stroud C.E., Toubia N.A. System-on-Chip Test Architectures: nanometer design for testability. Burlington, Morgan Kaufmann Publishers, 2008, 856 p.
4. Wang L., Wu Ch., Wen X. VLSI Test Principles and Architectures: Design for Testability. San Francisco, Morgan Kaufmann Publishers, 2006, 777 p.
5. IEEE Std 1149.1–2001: IEEE Standard Test Access Port and Boundary-Scan Architecture. New York, Institute of Electrical and Electronics Engineers, 2001, 208 p. [Электронный ресурс]. URL: http://fiona.dmcs.pl/~cmaj/JTAG/JTAG_IEEE-Std-1149.1-2001.pdf (дата обращения: 12.12.2019).

REFERENCES

1. Foster G. Anatomy of an Eye Diagram – a Primer. SyntheSys Research, Inc., 2004, 9 p.
2. Bilyaletdinov I. E., Ometov A. E., Timin L. S. Optimization of parameters of high-speed channels of the processor in order to increase the fault tolerance of the computer complex. *Voprosy radioelektroniki*, 2018, no. 2, pp. 87–92. (In Russian).
3. Wang L., Stroud C.E., Toubia N.A. *System-on-Chip Test Architectures: nanometer design for testability*. Burlington, Morgan Kaufmann Publishers, 2008, 856 p.
4. Wang L., Wu Ch., Wen X. *VLSI Test Principles and Architectures: Design for Testability*. San Francisco, Morgan Kaufmann Publishers, 2006, 777 p.
5. IEEE Std 1149.1–2001: IEEE Standard Test Access Port and Boundary-Scan Architecture. New York, Institute of Electrical and Electronics Engineers, 2001, 208 p. Available at: http://fiona.dmcs.pl/~cmaj/JTAG/JTAG_IEEE-Std-1149.1-2001.pdf (accessed 12.12.2019).

ИНФОРМАЦИЯ ОБ АВТОРАХ

Билялетдинов Илья Евгеньевич, аспирант, РТУ МИРЭА, инженер-программист, ПАО «Институт электронных управляющих машин им И.С. Брука», 119334, Москва, ул. Вавилова, д.24, тел.: +7 (495) 363-95-03, e-mail: Ilia.E.Bilyaletdinov@mcst.ru.

Тимин Леонид Сергеевич, начальник сектора, ПАО «Институт электронных управляющих машин им И.С. Брука», АО «МЦСТ», 119334, Москва, ул. Вавилова, д.24, тел.: +7 (495) 363-95-03, e-mail: le0@mcst.ru.

AUTHORS

Ilya E. Bilyaletdinov, postgraduate student, RTU MIREA, software engineer, Institute of Electronic Control Computers named after I.S. Brook, 24, ulitsa Vavilova, Moscow, 119334, tel.: +7 (495) 363-95-03, e-mail: Ilia.E.Bilyaletdinov@mcst.ru.

Leonid S. Timin, head of Sector, Institute of Electronic Control Computers named after I.S. Brook, MCST JSC, 24, ulitsa Vavilova, Moscow, 119334, Russia, tel.: +7 (495) 363-95-03, e-mail: le0@mcst.ru.

Поступила 14.05.2019; принята к публикации 05.10.2019; опубликована онлайн 25.02.2020.
Submitted 14.05.2019; revised 05.10.2019; published online 25.02.2020.